



(12) DEMANDE DE BREVET EUROPEEN

(43) Date de publication:
21.07.1999 Bulletin 1999/29

(51) Int Cl. 6: G09G 3/36, G09G 3/20

(21) Numéro de dépôt: 99400082.6

(22) Date de dépôt: 14.01.1999

(84) Etats contractants désignés:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Etats d'extension désignés:
AL LT LV MK RO SI

(72) Inventeurs:
• Noel, Christian
95220 Herblay (FR)
• Hubert, Vincent
95300 Pontoise (FR)

(30) Priorité: 14.01.1998 FR 9800307

(74) Mandataire: Bloch, Gérard
2, square de l'Avenue du Bois
75116 Paris (FR)

(71) Demandeur: SAGEM SA
75116 Paris (FR)

(54) Dispositif et procédé de synchronisation d'afficheur et afficheur comportant un tel dispositif

(57) Le dispositif de synchronisation d'un afficheur de signaux ligne d'image associés à un signal de synchronisation ligne comporte des circuits réglables de décalage temporel (20,21,22,26,27) agencés pour re-

cevoir le signal de synchronisation et pour le restituer à l'afficheur avec un décalage temporel déterminé par des circuits (24,25) de réglage des circuits de décalage, comportant une entrée (23) de réception d'une valeur de décalage de consigne.

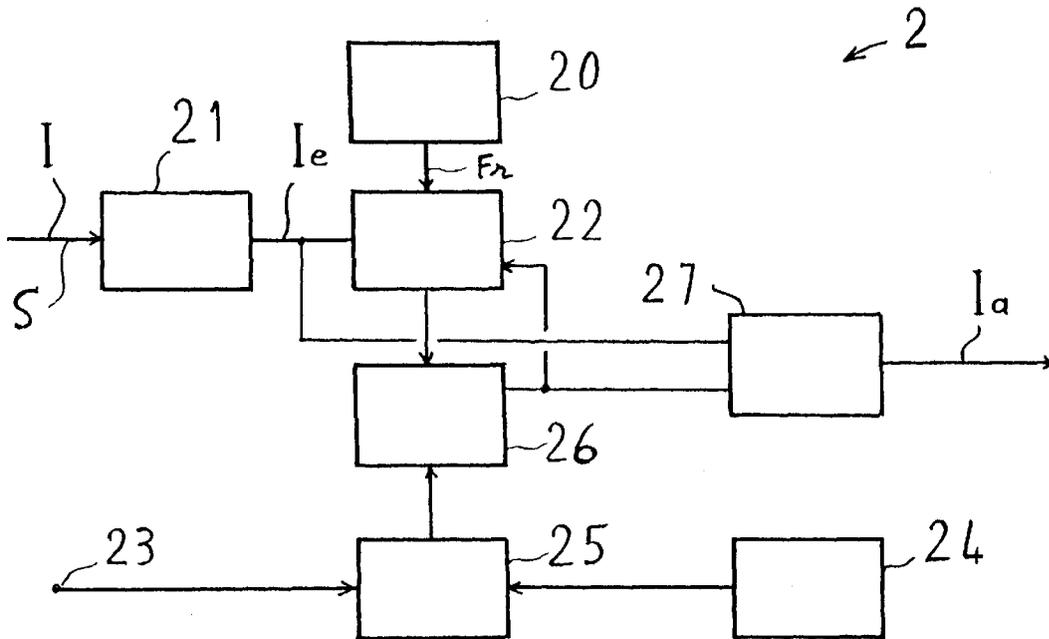


FIGURE 4

Description

[0001] L'invention a pour origine le problème de l'affichage d'une carte géographique sur l'écran à cristaux liquides, LCD, d'un navigateur de bord d'une voiture.

[0002] Un écran LCD comporte une matrice d'éléments d'affichage commandés chacun par un point-mémoire associé. Les points-mémoires sont cycliquement rafraîchis par une trame ligne de signal d'image vidéo comportant une succession de paliers représentant chacun l'intensité à restituer par l'un des éléments. Une logique de gestion de l'écran échantillonne chaque palier et mémorise les échantillons successifs dans les divers points-mémoires.

[0003] Afin de mémoriser avec précision l'amplitude de chaque palier, il faut l'échantillonner à un instant où il s'est stabilisé par rapport au palier précédent, tout en tolérant des fluctuations sur l'horloge qui commande l'échantillonnage, c'est-à-dire l'échantillonner sensiblement à un instant central de la période.

[0004] Pour cela, le calculateur du navigateur de bord fournit, en plus du signal d'image vidéo, un signal de synchronisation ligne, comportant une impulsion par rapport à laquelle le début du signal vidéo présente un retard d'une durée déterminée. La logique de gestion de l'écran initialise alors l'échantillonnage avec une horloge locale de période égale à la durée d'un palier, horloge présentant le retard ci-dessus, augmenté d'une demi-période afin d'échantillonner les paliers dans la zone centrale de leur période.

[0005] Le retard ci-dessus n'est cependant pas défini avec précision, car le calculateur ne peut le régler que par sauts, ou pas, égaux à la période d'un palier. De ce fait, si l'horloge d'échantillonnage dérive jusqu'à un déphasage d'une demi période de palier, elle échantillonnera les flancs des paliers au lieu de leur zone centrale stable, et le calculateur ne pourra effectuer le recalage précis nécessaire.

[0006] Or, les rues, dans une carte à afficher, sont représentées par un trait d'une simple rangée de pixels, compte tenu de la taille limitée de l'écran. Tout trait coupant une ligne de la matrice y est donc représenté par un seul point qui présente un fort contraste avec ceux qui l'encadrent dans la ligne, et qui représentent le fond de plan.

[0007] Comme ce sont les flancs qui sont échantillonnés, c'est à chaque fois une valeur intermédiaire entre deux paliers successifs qui est mémorisée et le point du trait est alors affiché à cheval sur deux éléments voisins, avec un contraste réduit. Le flou dû à cette réduction de moitié de la définition de l'image est alors nettement gênant, d'autant plus que l'image est quasiment statique.

[0008] EP-0 791 913A enseigne de déclencher, par un signal de synchronisation ligne, un oscillateur échantillonnant des signaux de pixels à travers un circuit à retard réglable par un circuit de contrôle en fonction d'une valeur de consigne en mémoire.

[0009] De même, "Automatic Phase adjustment", IBM

Technical Disclosure Bulletin, Vol. 37, No. 5, pages 203-204, enseigne de mesurer le retard entre le signal vidéo de pixels et le signal d'horloge d'échantillonnage pour choisir un retard parmi plusieurs pour un oscillateur par rapport au signal de synchronisation ligne.

[0010] Cela nécessite des circuits assez complexes puisque cela concerne l'échantillonnage, des pixels, à fréquence relativement élevée.

[0011] Pour régler le retard avec la finesse nécessaire, il est aussi connu de prévoir dans l'écran un potentiomètre intégré à un oscillateur fournissant l'horloge d'échantillonnage, pour en modifier en usine les constantes physiques déterminant la phase et donc le retard par rapport au signal de synchronisation, ce qui permet de livrer un écran fonctionnel.

[0012] Cependant, l'utilisateur de l'écran ne peut en corriger les dérives ou la dispersion de temps du calculateur de commande ou encore celle des câbles fournissant respectivement l'image et la synchronisation.

[0013] La présente invention vise à supprimer le défaut d'affichage exposé ci-dessus, d'une façon autre qu'exposé plus haut, afin d'éviter les inconvénients indiqués.

[0014] A cet effet, l'invention concerne, tout d'abord, un dispositif de synchronisation d'un afficheur de signaux ligne d'image associés à un signal de synchronisation ligne, dispositif dans lequel des moyens réglables de décalage temporel sont agencés pour recevoir le signal de synchronisation et pour le restituer à l'afficheur avec un décalage temporel déterminé par des moyens de réglage des moyens de décalage, comportant une entrée de réception d'une valeur de décalage de consigne.

[0015] Le dispositif de l'invention constitue ainsi un élément de réglage fin de l'afficheur, interposé entre celui-ci et le microprocesseur, ou équivalent, qui le commande. Ce dispositif peut en fait être mécaniquement autonome ou être incorporé, côté afficheur ou côté microprocesseur, et traite un signal à relativement basse fréquence, donc avec des contraintes de réalisation très limitées.

[0016] La valeur de consigne de décalage peut être appliquée par tout utilisateur, par exemple par deux boutons à impulsions, faisant respectivement croître et décroître cette valeur, à travers éventuellement le microprocesseur. En particulier, la valeur de consigne peut être transmise à toute vitesse souhaitée, c'est-à-dire que la vitesse de sa transmission est indépendante de la finesse du réglage temporel qu'elle commande, ce qui n'impose ainsi au microprocesseur aucune contrainte de vitesse. C'est l'opérateur qui joue le rôle d'une boucle de retour asservissant correctement l'afficheur, si ce dernier ne comporte pas de détecteur de défaut de synchronisation.

[0017] Avantageusement, il est prévu un oscillateur, à asservissement sur le signal de synchronisation restitué, agencé pour fournir à l'afficheur une horloge d'échantillonnage des signaux ligne, horloge corres-

pendant à une fréquence pixel de ceux-ci et calée en phase par rapport audit signal de synchronisation restitué.

[0018] L'invention concerne aussi un afficheur comportant un dispositif de synchronisation d'un écran d'affichage de signaux ligne d'image associés à un signal de synchronisation ligne, le dispositif comprenant des moyens réglables de décalage temporel agencés pour recevoir le signal de synchronisation et le restituer, à des moyens de commande de l'écran, avec un décalage temporel déterminé par des moyens de réglage des moyens de décalage, comportant une entrée de réception d'une valeur de décalage de consigne.

[0019] L'invention concerne enfin un procédé de commande d'un afficheur à balayage ligne agencé pour recevoir un signal d'image ligne et pour l'échantillonner cycliquement, et l'afficher, par une horloge pixel à phase asservie sur un signal reçu de synchronisation ligne, procédé caractérisé par le fait qu'on interpose, entre l'afficheur et un circuit de commande fournissant lesdits signaux, un circuit déphaseur du signal de synchronisation et on règle la phase de l'horloge, par rapport au signal d'image ligne, par action sur le circuit déphaseur.

[0020] L'invention sera mieux comprise à l'aide de la description suivante d'un mode préféré de mise en oeuvre du procédé de l'invention, en référence au dessin annexé, sur lequel :

- la figure 1 est un schéma par blocs d'un afficheur et d'un ensemble à microprocesseur le commandant à travers un dispositif de synchronisation ligne, pour la mise en oeuvre du procédé de l'invention,
- la figure 2 représente, en fonction du temps t , les amplitudes d'un signal ligne d'image L et d'un signal de synchronisation ligne S associé reçus par l'afficheur, et d'un signal d'horloge H_a d'échantillonnage pixel, de l'afficheur,
- la figure 3 représente schématiquement l'ensemble de commande,
- la figure 4 est un schéma par blocs du dispositif de synchronisation ligne,
- la figure 5 illustre plus en détails, en fonction du temps t , le signal de synchronisation, et
- la figure 6 est un schéma par blocs de l'afficheur.

[0021] L'ensemble de commande 1 de la figure 1 commande un afficheur 3 à travers un câble 4 de transmission de signal d'image ligne L et un câble de signal de synchronisation ligne S constitué de deux tronçons 5 et 6 entre lesquels est interposé un dispositif de déphasage 2. Tous ces circuits sont implantés à bord d'une voiture, pour y afficher des cartes géographiques et en particulier des plans détaillés de ville, les rues étant représentées par un trait de la largeur d'un pixel.

[0022] L'afficheur 3, à balayage ligne, recevant le signal d'image ligne L , l'échantillonne cycliquement, pour l'afficher, par une horloge pixel H_a à phase asservie sur le signal reçu de synchronisation ligne S . A cette fin,

entre l'afficheur 3 et le circuit de commande 1 fournissant les signaux L et S , est interposé le circuit 2 déphaseur du signal de synchronisation S et on règle la phase de l'horloge H_a , par rapport au signal d'image L , par action sur le circuit déphaseur 2.

[0023] Comme l'illustre la figure 2, l'image à afficher est représentée sous la forme d'une succession de signaux ligne L , transmis cycliquement par l'ensemble 1. Chaque signal ligne L comporte une pluralité de paliers élémentaires, ici 320, correspondant au nombre d'éléments par ligne de l'afficheur 3, ici du type afficheur à cristaux liquides, LCD. L'amplitude électrique de chaque palier, de durée T , représente l'intensité à afficher sur l'élément d'affichage de même rang.

[0024] Le signal de synchronisation S présente des impulsions négatives I (désignées par " I_a " après traversée du dispositif 2), une par période ligne P et de durée réglable D . Par un circuit oscillateur 31 asservi en phase à partir du signal S (fig. 5), l'afficheur 3 engendre le signal d'horloge H_a de période T , servant à échantillonner le signal L pour aiguiller les divers niveaux de paliers vers des points mémoires commandant chacun un élément particulier d'affichage de pixel. Le début du premier palier du signal L présente un retard R de temps de garde par rapport au front arrière, actif et ici remontant, de l'impulsion I (ou I_a). Pour un fonctionnement correct de l'afficheur 3, le signal d'horloge H_a doit présenter des fronts actifs, ici montants, d'échantillonnage du signal L , situés sensiblement au milieu de chaque période T de palier, c'est-à-dire retardés d'une durée $R + T/2$ sur le front arrière de l'impulsion I_a .

[0025] Comme le montre la figure 3, le circuit 1 comporte, pour l'émission des signaux L et S , un oscillateur 11 à fréquence F , ou période pixel T , suivi d'un diviseur par 400, référencé 12, de période ligne P . Un circuit de mise en forme 13, tel que monostable ou décodeur de plusieurs états successifs du diviseur 12, fournit sur le câble 5, à chaque période P , le signal S comportant l'impulsion négative I de durée D . Un microprocesseur, non représenté, gère le séquençage du fonctionnement des circuits représentés.

[0026] Un registre à décalage CCD 14, préalablement rempli par 320 valeurs de paliers de pixels, est vidé sur le câble 4 par l'oscillateur 11, sous la commande du circuit 13, avec un retard déterminé par rapport au front arrière de l'impulsion I . Ce retard est de R , l'oscillateur 31 produisant le retard ou déphasage complémentaire de $T/2$. Il aurait pu être prévu, en variante, que ce soit l'afficheur 3 qui comporte un circuit à retard D en entrée de signal L .

[0027] Le dispositif déphaseur 2 de la figure 4 permet de régler, en avance ou en retard, la position temporelle, ou phase, du front actif, arrière, de l'impulsion I par rapport au signal ligne L .

[0028] Le dispositif 2 comporte en entrée un circuit d'activation 21, genre monostable, sensible au front avant des impulsions I et déverrouillant alors, par une impulsion I élargie en arrière, le, (fig. 5), l'entrée de re-

mise à zéro d'un compteur 22. La durée de déverrouillage (le) est suffisamment longue, par exemple vingt périodes T, pour excéder nettement la durée de l'impulsion l reçue et ainsi permettre de régler, dans une large plage (zone rayée), la position du front arrière de l'impulsion la commandant la phase du circuit PLL 31 de l'afficheur 3, à travers un circuit 30 à retard R. Le front avant de l'impulsion l, inactif vis-à-vis de l'afficheur 3, est ainsi transformé en un front d'activation de l'afficheur 3. Sur la figure 5, le front arrière de l'impulsion la restituée est décalé en avant par rapport à son homologue de l'impulsion l d'origine.

[0029] Le dispositif 2 est donc activé par un front, avant, de l'impulsion l différent du front, arrière, qui synchronise l'afficheur 3, ce qui, outre le décalage arrière, permet facilement de décaler en avance le front, arrière, qui suit. Dans un cas où ce seraient les mêmes fronts des impulsions l qui activeraient le dispositif 2 et l'afficheur 3, un retard de ces fronts cycliques, d'une valeur réglable autour de la période ligne P, permettrait encore d'obtenir, outre un décalage arrière, un décalage en avant pour l'impulsion restituée la, modulo P, quitte à augmenter le nombre d'étages du compteur 22.

[0030] Un oscillateur 20, à fréquence d'horloge élevée, Fr, sensiblement plus élevée que celle de l'oscillateur 11, ici dix fois F, commande l'avance du compteur 22, initialement à l'état zéro, de détermination, ici numérique, du décalage. Les sorties du compteur 22 sont reliées à des premières entrées d'un comparateur 26 commandant une entrée d'une porte 27 dont une seconde entrée reçoit les impulsions le élargies du circuit 21.

[0031] Une entrée 23 du dispositif 2 reçoit, ici par un circuit 16 de l'ensemble 1, des valeurs de consigne R de réglage de décalage, choisies par un utilisateur au moyen d'un clavier 15. Il aurait pu être prévu que le dispositif 2 soit intégré dans l'ensemble 1 ou bien dans l'afficheur 3.

[0032] Dans cet exemple, il est prévu une compensation automatique en température de dérives du circuit à retard 30 de l'afficheur 3 et du circuit 13, si bien que la valeur de consigne est modifiée en fonction de la valeur de température ambiante fournie par une sonde thermique 24. Une légère dérive en fréquence du circuit PLL 31 peut de même être masquée par commande d'un déphasage compensateur de l'horloge Ha, par réglage de l'impulsion le, afin que les 320 échantillonnages s'effectuent chacun sur une partie stable du palier concerné, par exemple la seconde moitié. Une mémoire 25, contenant une loi ou table de correction ou compensation en température et adressée par les deux valeurs, de consigne et de température, fournit une valeur numérique corrigée de décalage temporel à des secondes entrées du comparateur 26.

[0033] Dans l'afficheur 3, le circuit 31 PLL élévateur de fréquence d'un facteur 400, fournissant l'horloge Ha avec le retard R du circuit 30, commande l'entrée d'horloge d'un registre à décalage CCD 32 recevant le signal ligne L du câble 4 et recopiant ainsi les 320 paliers ini-

tialement contenus dans le circuit CCD 14. Un compteur, non représenté, limite chaque train de signaux d'horloge Ha à 320 impulsions. En variante, il pourrait être prévu que les circuits 30 et 31 soient dans le dispositif 2 et que l'afficheur 3 en reçoive l'horloge Ha.

[0034] Une fois rempli, le CCD 32 est vidé en parallèle dans un registre tampon 33 dont les sorties parallèles commandent respectivement les 320 éléments d'une ligne spécifique 34 de l'afficheur 3. D'un cycle de ligne au suivant, un séquenceur, non représenté, aiguille les signaux des lignes successives vers autant de registres que celui référencé 33.

[0035] En variante, pour éviter des décalages successifs des valeurs analogiques des paliers, susceptibles de fausser leurs valeurs, il pourrait être prévu d'utiliser, en émission et/ou en réception, un multiplexeur adressé par un compteur avançant au rythme F. Les valeurs analogiques seraient alors directement transférées d'une mémoire d'émission, genre RAM ou registre à sorties parallèles, et mémorisées selon le même principe en réception, à travers un démultiplexeur.

[0036] Pour régler l'afficheur 3, afin d'éviter que les valeurs de palier ne soient échantillonnées pendant la durée des transitions de niveau entre paliers successifs, l'utilisateur saisit une valeur de décalage de consigne, qu'il modifie jusqu'à obtenir un fonctionnement correct, c'est-à-dire un échantillonnage par l'horloge Ha qui intervienne sensiblement à mi-durée de chaque période T, fonctionnement visible par le fait que l'afficheur ne présente pas de flou.

[0037] Lorsque parvient au dispositif 2 le front avant de l'impulsion l, le circuit 21 autorise l'avance du compteur 22, au rythme de l'horloge rapide Fr et l'impulsion élargie le commence à être transmise au câble 6 par la porte 27, le comparateur 26 laissant celle-ci ouverte. Lorsque le compteur 22 atteint une valeur égale à celle fournie par la mémoire 25, le comparateur 26 verrouille alors la porte 27, ainsi qu'une entrée de verrouillage d'horloge du compteur 22, ce qui fige l'état de celui-ci. Ainsi, la durée de l'impulsion la retransmise à l'afficheur 3 est réglée comme souhaité par le compteur 22 et le comparateur 26, qui forment ensemble un circuit à retard, programmable par la mémoire 25 commandée par l'entrée 23. Le front actif, arrière, de l'impulsion la, d'asservissement du circuit PLL 31 fournissant l'horloge Ha d'échantillonnage, est ainsi déphasé à souhait par rapport aux paliers du signal ligne L, inchangé. Ici, la fréquence Fr étant dix fois plus élevée que la fréquence F, le pas de réglage est donc de T/10, soit 36 degrés. Il aurait pu être prévu un simple réglage de 180 degrés ou moins, c'est-à-dire une fréquence Fr au moins double de la fréquence pixel F des paliers élémentaires.

[0038] Lorsque le circuit 21 verrouille à nouveau l'entrée de remise à zéro du compteur 22, déjà arrêté, sur le front arrière de l'impulsion élargie le, ce verrouillage remet à zéro le compteur 22, ce qui libère son entrée de verrouillage d'horloge, dans l'attente du cycle ligne suivant qui va déverrouiller l'entrée de remise à zéro.

[0039] En variante, il aurait pu être prévu un compteur programmable par la valeur de la mémoire 25, avec un décodeur, remplaçant le comparateur 26, pour détecter l'arrivée du compteur 22 à un état prédéterminé, par exemple l'état de comptage maximal "15" pour 4 bits, et donc pour détecter l'arrivée juste avant l'état repos de retombée. L'état "15" pourrait alors, avec une retenue permanente en entrée du compteur, autoriser la propagation de celle-ci en sortie, avec l'effet de blocage exposé pour la sortie du comparateur 26.

[0040] Selon une autre variante, le dispositif 2 pourrait comporter, à la place du compteur 22 et du comparateur 26, des circuits à retard analogiques, ne nécessitant donc pas d'horloge.

[0041] Il pourrait par exemple s'agir d'une ligne à retard comportant plusieurs sorties intermédiaires, c'est-à-dire constituée d'une pluralité de circuits à retard élémentaires en cascade. Un multiplexeur (équivalent fonctionnel du comparateur 26), dont les entrées de signal seraient reliées aux diverses sorties de la ligne à retard, permettrait alors de sélectionner toute sortie voulue et donc le décalage temporel correspondant, en fonction des commandes d'adresse reçues depuis l'entrée 23. Le pas de réglage peut ainsi être d'une grande finesse, tout en s'affranchissant des problèmes de rayonnement liés à la présence d'une horloge à haute fréquence dans le cas d'un retard numérique.

[0042] On conçoit qu'au lieu de monter en cascade des circuits à retard élémentaires, on pourrait prévoir d'implanter en parallèle plusieurs circuits, à retards différents, pour choisir celui qui convient par le multiplexeur ci-dessus.

Revendications

1. Dispositif de synchronisation d'un afficheur de signaux ligne d'image associés à un signal de synchronisation ligne, dispositif dans lequel des moyens réglables de décalage temporel (20, 21, 22, 26, 27) sont agencés pour recevoir le signal de synchronisation et pour le restituer à l'afficheur avec un décalage temporel déterminé par des moyens (23, 25) de réglage des moyens de décalage, comportant une entrée (23) de réception d'une valeur de décalage de consigne.
2. Dispositif selon la revendication 1, dans lequel les moyens de décalage (20, 21, 22, 26, 27) sont agencés pour transformer un front inactif du signal de synchronisation reçu en un front d'activation de l'afficheur.
3. Dispositif selon l'une des revendications 1 et 2, dans lequel les moyens de décalage comportent un circuit à retard (22, 26) programmable par les moyens de réglage (23, 25).

4. Dispositif selon la revendication 3, dans lequel le circuit à retard comporte un compteur (22) avec un circuit (26) de détection d'une valeur de comptage prédéterminée agencé pour engendrer un front actif du signal de synchronisation restitué.

5. Dispositif selon la revendication 4, dans lequel le compteur est programmable dans un état initial et le circuit de détection est agencé pour détecter l'arrivée à une retombée du compteur à un état repos.

6. Dispositif selon l'une des revendications 4 et 5, dans lequel il est prévu un oscillateur (20) de commande du compteur (22), agencé pour faire progresser celui-ci à une fréquence au moins double de celle de paliers élémentaires, représentant des pixels, dans le signal d'image.

7. Dispositif selon l'une des revendications 1 à 6, dans lequel les moyens de réglage comportent des moyens (24, 25) de compensation thermique de la valeur de consigne (23).

8. Dispositif selon la revendication 7, dans lequel les moyens de compensation thermique comportent une mémoire de loi de compensation (25) agencée pour fournir une valeur compensée de décalage de consigne en fonction d'une valeur de température adressant la mémoire.

9. Dispositif selon l'une des revendications 1 à 8, dans lequel il est prévu un oscillateur (31), à asservissement sur le signal de synchronisation restitué, agencé pour fournir à l'afficheur une horloge d'échantillonnage des signaux ligne, horloge correspondant à une fréquence pixel de ceux-ci et calée en phase par rapport audit signal de synchronisation restitué.

10. Afficheur comportant un dispositif (2) de synchronisation d'un écran (34) d'affichage de signaux ligne d'image associés à un signal de synchronisation ligne, le dispositif (2) comprenant des moyens réglables de décalage temporel (20, 21, 22, 26, 27) agencés pour recevoir le signal de synchronisation et le restituer, à des moyens (33) de commande de l'écran (34), avec un décalage temporel déterminé par des moyens (23, 25) de réglage des moyens de décalage, comportant une entrée (23) de réception d'une valeur de décalage de consigne.

11. Procédé de commande d'un afficheur à balayage ligne agencé pour recevoir un signal d'image ligne (L) et pour l'échantillonner cycliquement, et l'afficher, par une horloge pixel (Ha) à phase asservie sur un signal reçu de synchronisation ligne (S), procédé caractérisé par le fait qu'on interpose, entre l'afficheur (3) et un circuit de commande (1) fournis-

sant lesdits signaux (L, S), un circuit (2) déphaseur du signal de synchronisation (S) et on règle la phase de l'horloge (Ha), par rapport au signal d'image ligne (L), par action sur le circuit déphaseur (2).

5

10

15

20

25

30

35

40

45

50

55

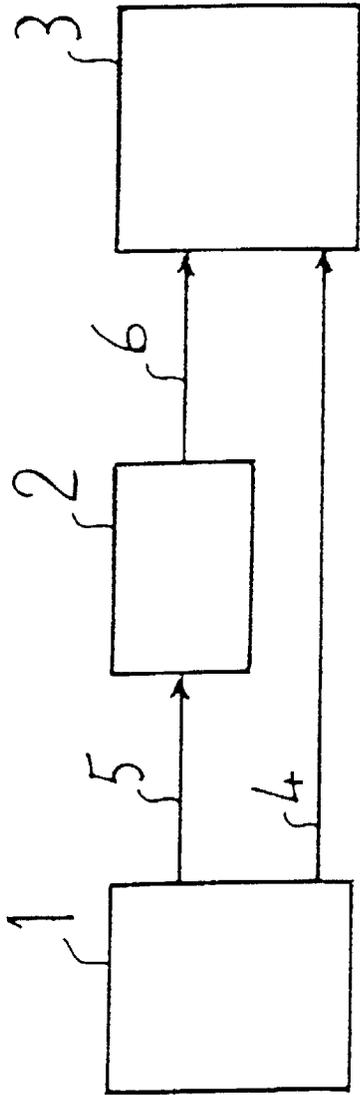


FIGURE 1

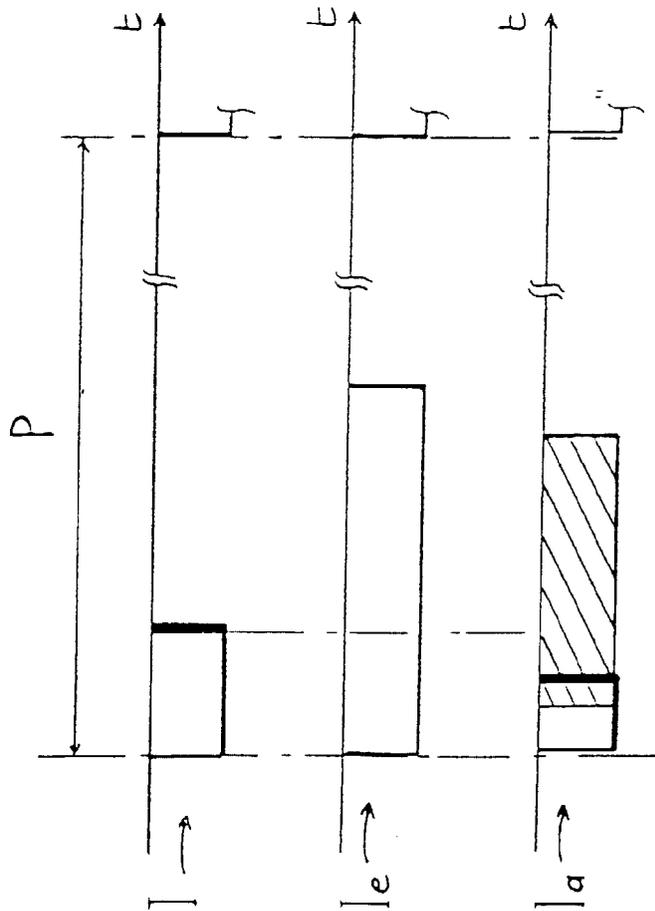


FIGURE 5

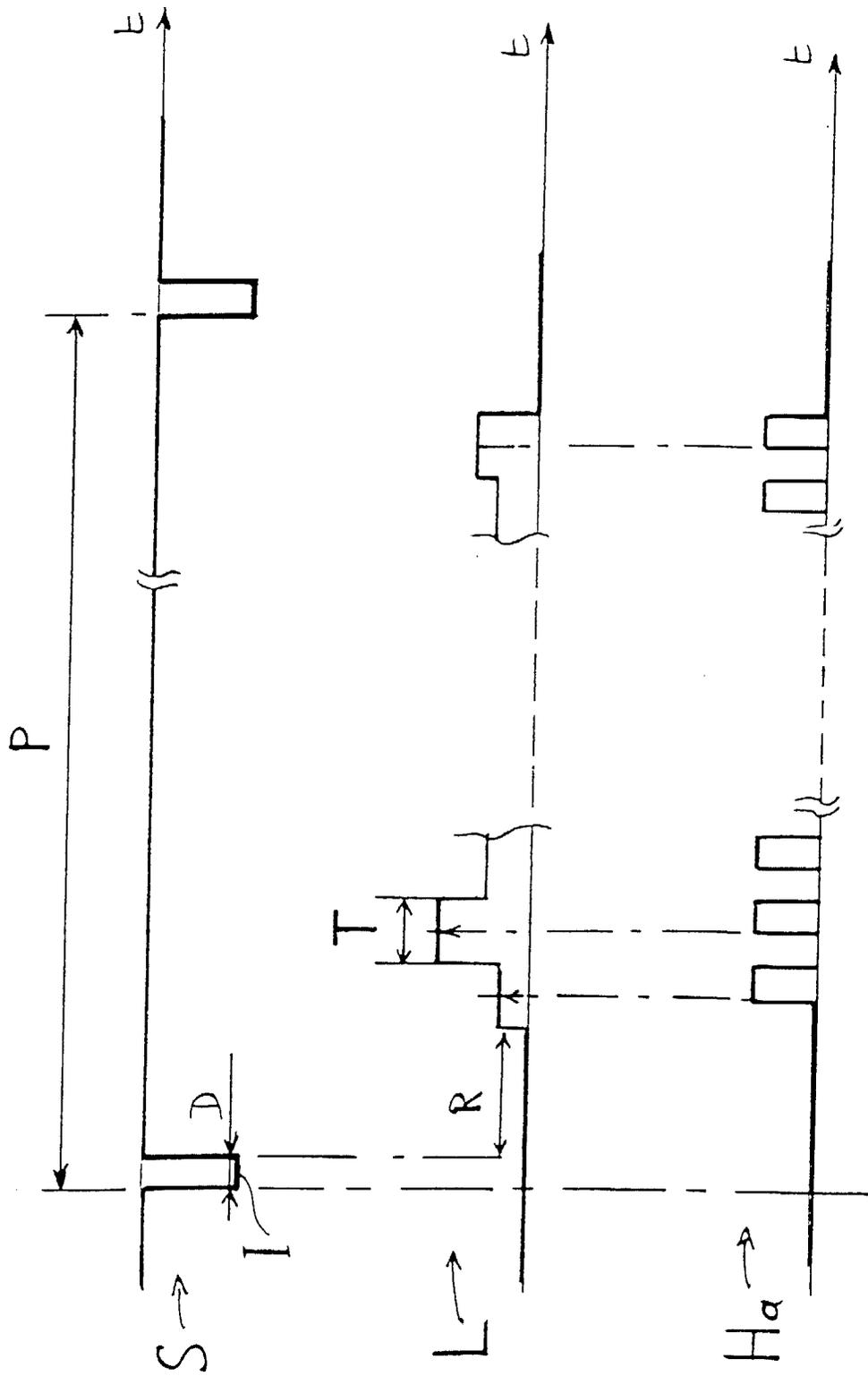


FIGURE 2

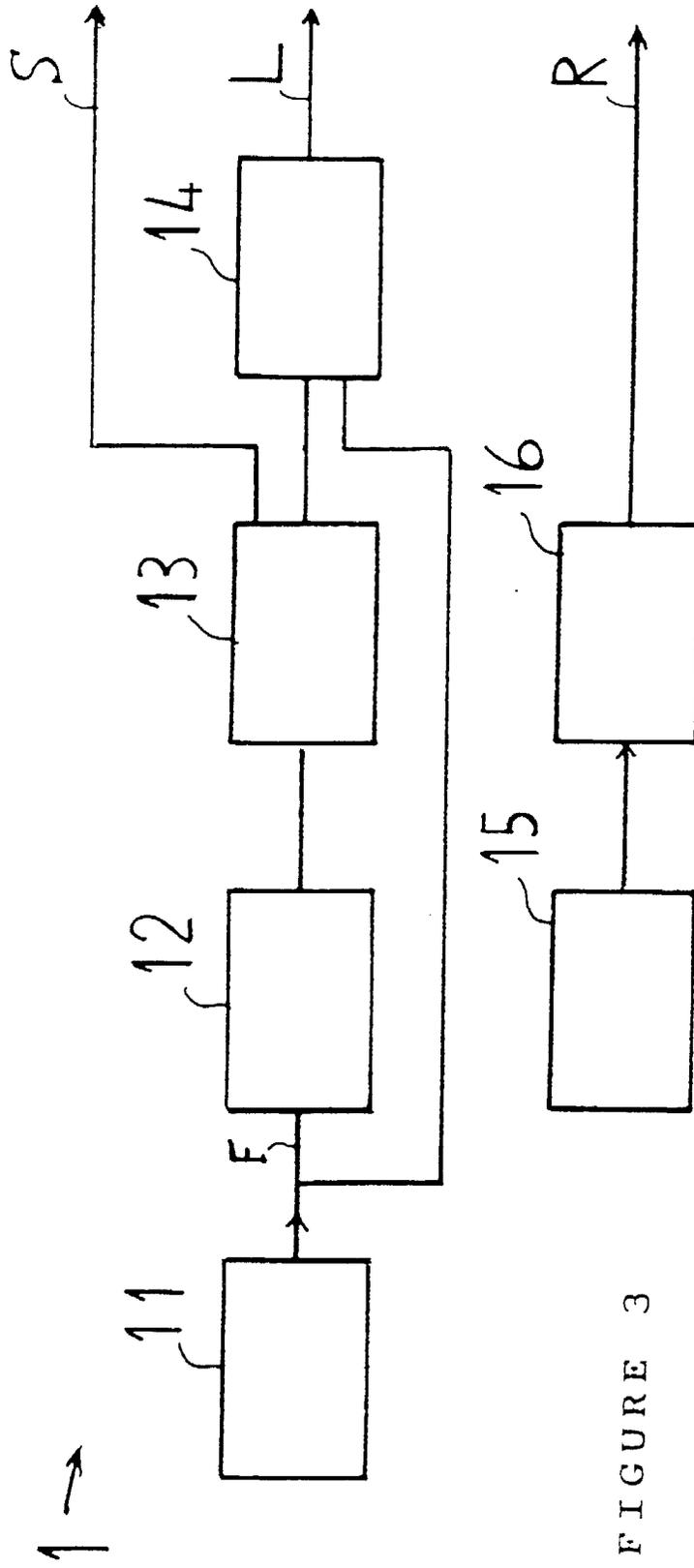


FIGURE 3

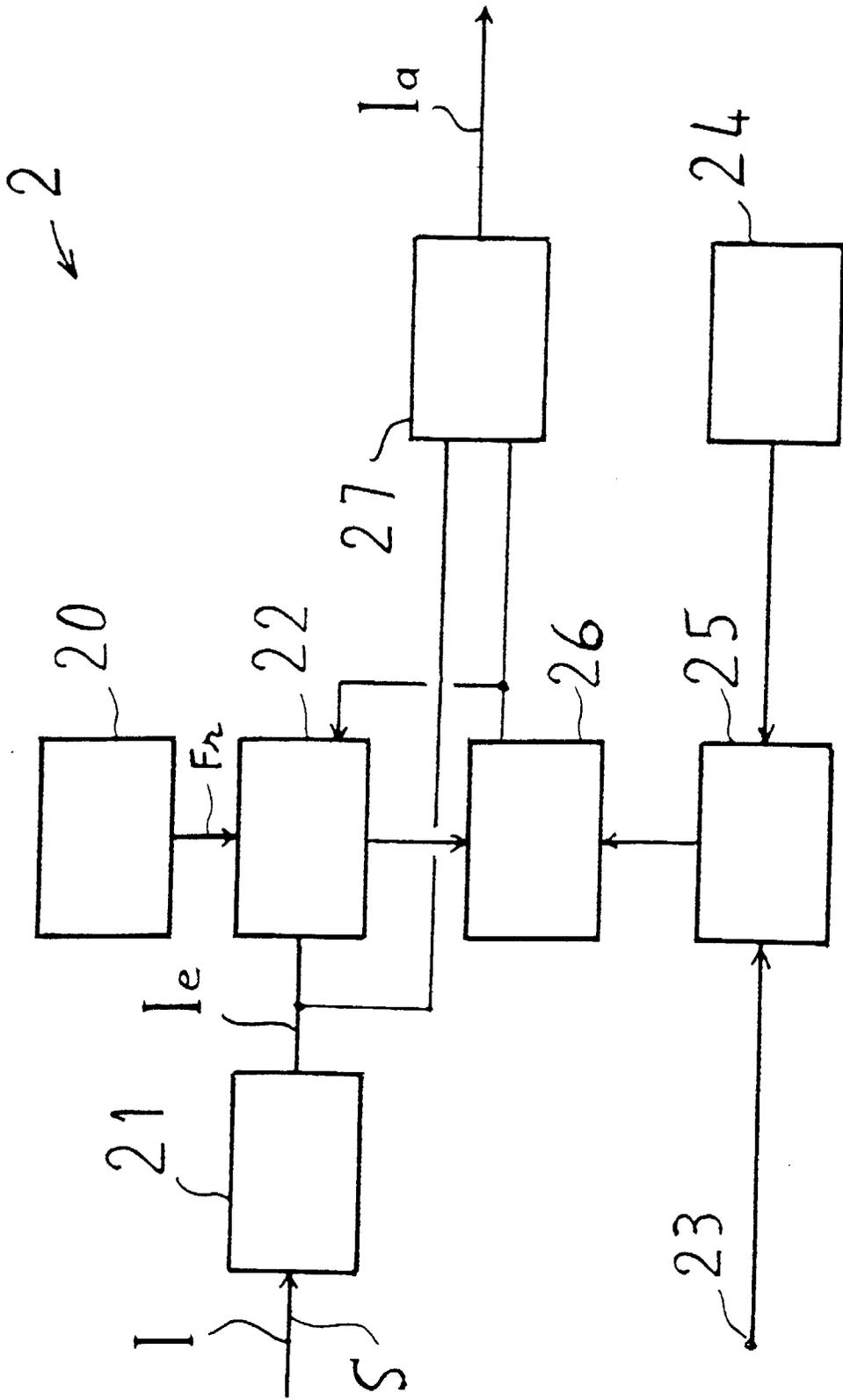


FIGURE 4

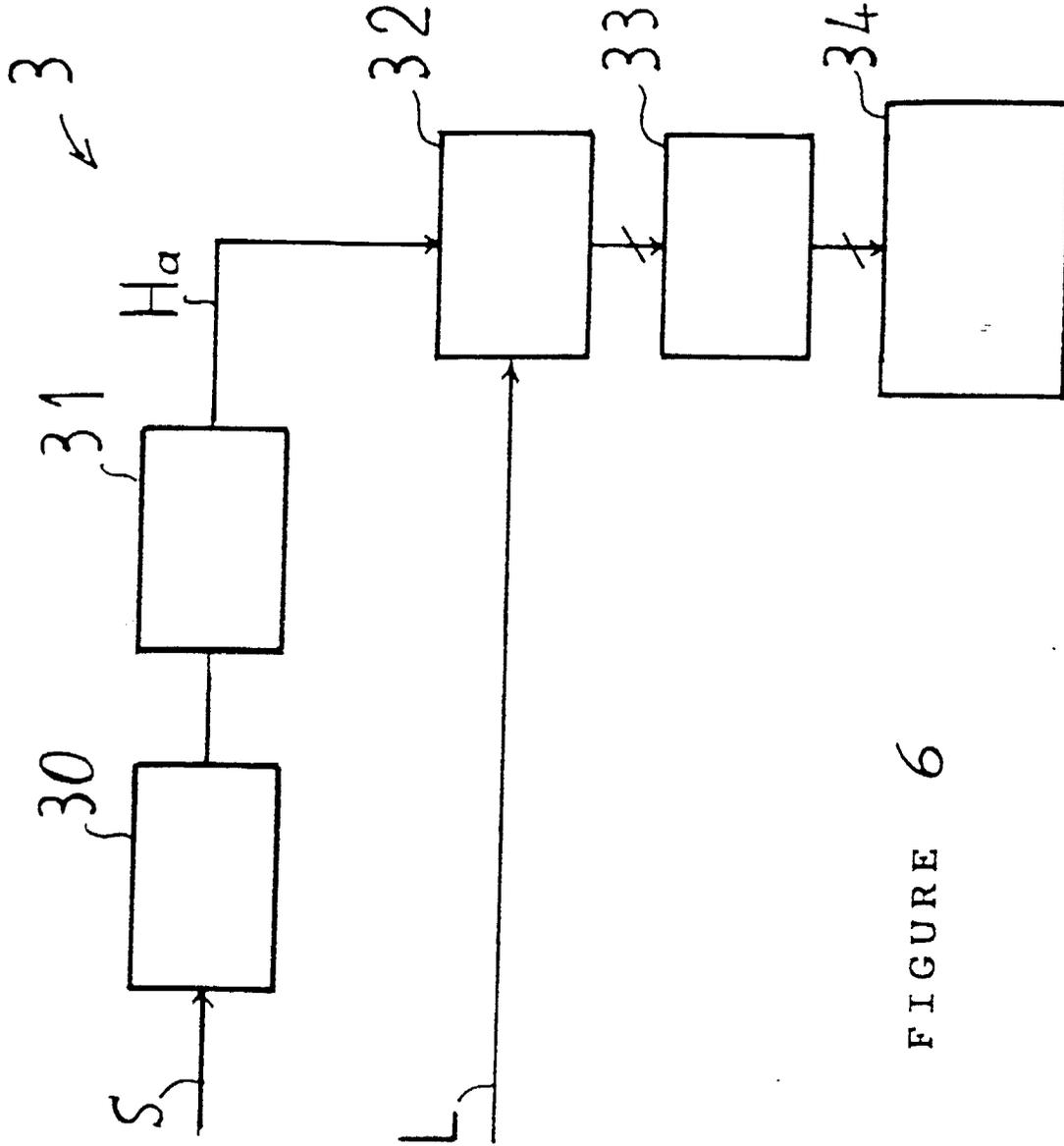


FIGURE 6



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 99 40 0082

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.CI.6)
X	EP 0 791 913 A (SEIKO EPSON CORP) 27 août 1997 * page 7, ligne 48 - page 8, ligne 40 * * page 26, ligne 11 - ligne 16 * * figures 1-3 * ---	1, 3, 7, 9-11	G09G3/36 G09G3/20
X	"AUTOMATIC PHASE ADJUSTMENT" IBM TECHNICAL DISCLOSURE BULLETIN, vol. 37, no. 5, 1 mai 1994, page 203/204 XP000453131	1, 3, 9-11	
Y	* le document en entier * ---	2, 4, 5	
Y	EP 0 244 978 A (SEIKO INSTR INC) 11 novembre 1987 * page 12, ligne 15 - page 15, ligne 4 * * page 22, ligne 10 - ligne 18 * * page 32, ligne 25 - page 33, ligne 15 * * page 70, ligne 2 - page 71, ligne 19 * * figures 1,5,10A,27 * ---	2, 4, 5	
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 362 (P-1766), 7 juillet 1994 & JP 06 095638 A (MATSUSHITA ELECTRIC IND CO LTD), 8 avril 1994 * abrégé * -----	4, 7	DOMAINES TECHNIQUES RECHERCHES (Int.CI.6) G09G
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 21 avril 1999	Examineur Amian, D
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

EPO FORM 1503 03.82 (P04/C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 99 40 0082

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

21-04-1999

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0791913 A	27-08-1997	JP 10133619 A	22-05-1998
EP 0244978 A	11-11-1987	JP 4076479 B	03-12-1992
		JP 62251794 A	02-11-1987
		JP 8016830 B	21-02-1996
		JP 62280898 A	05-12-1987
		JP 63068895 A	28-03-1988
		JP 1925990 C	25-04-1995
		JP 6054420 B	20-07-1994
		JP 63074099 A	04-04-1988
		DE 3782450 A	10-12-1992
		KR 9503980 B	21-04-1995

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82