



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
12.01.2000 Patentblatt 2000/02

(51) Int. Cl.⁷: G05F 1/56

(21) Anmeldenummer: 99113054.3

(22) Anmeldetag: 01.07.1999

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(71) Anmelder:
SIEMENS AKTIENGESELLSCHAFT
80333 München (DE)

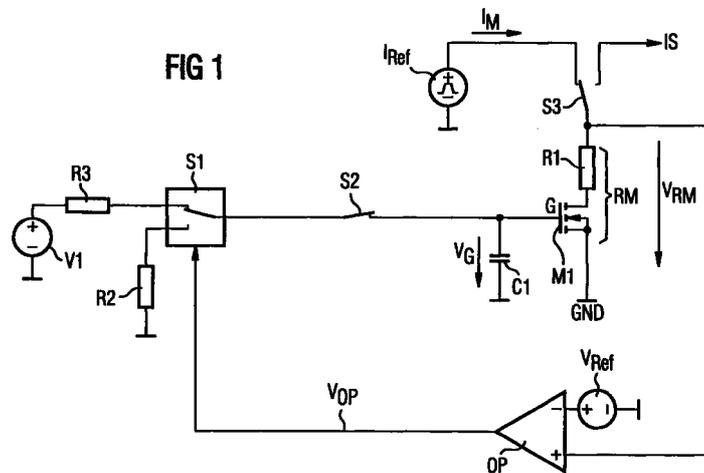
(72) Erfinder: Wagner, Ekkehart-Peter
93077 Bad Abbach (DE)

(30) Priorität: 07.07.1998 DE 19830356

(54) **Verfahren zum Abgleichen eines Widerstandes in einer integrierten Schaltung und Vorrichtung zur Durchführung dieses Verfahrens**

(57) Dem einen steuerbaren Widerstand M1 (FET) enthaltenden abzugleichenden Widerstand RM wird ein Konstantstrom I_M eingeprägt, dann der Istwert der durch den Konstantstrom I_M am abzugleichenden Widerstand RM verursachten Spannung V_{RM} mit einer als Sollwert vorgegebenen Referenzspannung V_{ref} ver-

glichen und der steuerbare Widerstand M1 solange verändert, bis der Istwert der am Widerstand RM abfallenden Spannung V_{RM} mit dem Sollwert der Referenzspannung V_{ref} übereinstimmt.



Beschreibung

[0001] Verfahren zum Abgleichen eines Widerstandes in einer integrierten Schaltung und Vorrichtung zur Durchführung dieses Verfahrens.

[0002] Die Erfindung betrifft ein Verfahren zum Abgleichen eines Widerstandes in einer integrierten Schaltung nach dem Oberbegriff des Anspruchs 1. Die Erfindung betrifft auch eine Vorrichtung zur Durchführung dieses Verfahrens.

[0003] Widerstände in integrierten Schaltungen, insbesondere in MOS-Technologie, weisen in der Regel einen Toleranzbereich von bis zu $\pm 30\%$ ihres Nennwertes auf. Genauere Widerstandswerte konnten bisher nur in aufwendigen Abgleichverfahren durch Lasereinschnitte in die Widerstandsfläche erreicht werden. Nachteilig an diesen Verfahren ist, daß solche Widerstände materialbedingt temperaturabhängig sind.

[0004] Aus DE 19520735 A1 ist eine Schaltungsanordnung zum Erfassen des Laststroms eines Leistungs-Halbleiterbauelements bekannt, welche eine Reihenschaltung eines an Masse liegenden Meßwiderstandes und eines steuerbaren Widerstandes aufweist, der so eingestellt wird, daß der Meßstrom dem Laststrom proportional wird.

[0005] Aus DE 4101492 A1 ist eine Schaltungsanordnung zum Erfassen des durch einen Verbraucher und eine Endstufe fließenden Laststroms bekannt, bei welcher in einem mit dem Laststromkreis verbundenen Schaltungszweig mittels eines steuerbaren Widerstandes dessen Strom so gesteuert wird, daß dieser an einem Widerstand eine zum Laststrom proportionale Spannung erzeugt.

[0006] Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren anzugeben, welches in der Lage ist, einen Widerstand in einer integrierten Schaltung auf wesentlich engere Toleranzwerte abzugleichen und dessen Temperaturabhängigkeit zu eliminieren. Aufgabe der Erfindung ist es auch, eine Vorrichtung zur Durchführung dieses Verfahrens zu schaffen.

[0007] Diese Aufgabe wird bezüglich des Verfahrens durch die Merkmale des Anspruchs 1 und bezüglich der Vorrichtung durch die Merkmale des Anspruchs 3 gelöst. Weitere vorteilhafte Ausgestaltungen der Erfindung sind den Unteransprüchen zu entnehmen.

[0008] Das erfindungsgemäße Verfahren hat den Vorteil, daß zum Abgleich des Widerstandes lediglich eine am abzugleichenden Widerstand abfallende Istspannung mittels einer externen Regelschaltung einer vorgegebenen Sollspannung anzugleichen ist. Ein weiteren Vorteil des erfindungsgemäßen Verfahrens ist, daß auf diese Weise abgegliche Widerstände temperaturunabhängig sind, weil der Abgleichvorgang kurz vor Verwendung des Widerstandes bei der jeweiligen Temperatur stattfindet. Mit dem erfindungsgemäßen Verfahren sind Toleranzwerte um den Sollwert von bis zu ca. $\pm 4\%$ erzielbar.

[0009] Ein schematisches Ausführungsbeispiel einer erfindungsgemäßen Vorrichtung zur Durchführung des Verfahrens ist in der Zeichnung dargestellt. Es zeigen:

- 5 Figur 1 ein Schaltbild einer erfindungsgemäßen Vorrichtung,
 Figur 2 den Verlauf der Gate-Spannung U_g über der Zeit, und
 10 Figur 3 den Verlauf des Widerstandwertes R_M über der Zeit.

[0010] Figur 1 zeigt einen in einer nicht dargestellten integrierten Schaltung IS angeordneten Feldeffekttransistor M1, dessen Drain-Source-Strecke als steuerbarer Widerstand in Reihe mit einem ebenfalls integrierten Widerstand R1 angeordnet ist. Der Source-Anschluß des Feldeffekttransistors M1 ist in diesem Ausführungsbeispiel mit dem Masseanschluß GND der Schaltung IS verbunden. Die Reihenschaltung aus Drain-Source-Strecke des Feldeffekttransistors M1 und Widerstand R1 stellt in diesem Ausführungsbeispiel den abzugleichenden, d.h., möglichst genau auf einen vorgegebenen Wert einzustellenden Widerstand R_M dar.

[0011] Zwischen dem Gateanschluß G des Feldeffekttransistors M1 und dem Masseanschluß GND ist ein Kondensator C1 angeordnet. Der Gateanschluß G ist über einen (Ein-AUS-)Schalter S2 und einen mit ihm in Reihe liegenden ersten Umschalter S1 entweder über einen Ladewiderstand R3 mit einer Spannungsquelle V1 oder über einen Entladewiderstand R2 mit dem Masseanschluß GND verbunden. (Das Laden und Entladen des Kondensators C1 kann jedoch auch auf andere Weise erfolgen, beispielsweise über aufladende und entladende Stromquellen.) Der erste Umschalter S1 wird vom Ausgangssignal V_{OP} eines als Komparator geschalteten Operationsverstärkers OP angesteuert, dessen invertierendem Eingang "-" eine vorgegebene Referenzspannung V_{ref} , wie nachstehend erläutert, zugeführt wird.

[0012] Der Widerstand R_M (in diesem Ausführungsbeispiel also R1, der jedoch auch zwischen Sourceanschluß und Massebezugspotential GND liegen kann) ist mit dem nichtinvertierenden Eingang "+" des Operationsverstärkers OP sowie über einen zweiten Umschalter S3 in der gezeichneten Stellung mit einer Referenzstromquelle I_{ref} und in der anderen Stellung mit der nicht dargestellten integrierten Schaltung IS, in welcher der abgegliche Widerstand R_M verwendet werden soll, verbunden..

[0013] Von der Referenzstromquelle I_{ref} fließt ein Konstantstrom I_M , beispielsweise $300\mu A$, durch $R_M = R1 + M1$ nach GND. Wenn der Widerstand R_M einen Wert von beispielsweise $10k\Omega$ aufweisen soll, so muß an ihn bei einem Strom $I_M = 300\mu A$ eine Spannung

$$V_{RM} = R_M * I_M = 10k\Omega * 300\mu A = 3V$$

abfallen. Dazu wird der Istwert der Spannung V_{RM} im

Komparator (Operationsverstärker OP) mit einer vorgegebenen Referenzspannung (als Sollwert) $V_{ref} = 3V$ verglichen. In der gezeichneten Abgleich-Stellung der Schalter S2 und S3, die von außen synchron gesteuert werden, sei angenommen, daß der Widerstand RN (hier R1 + M1) zu groß und dementsprechend auch die Spannung V_{RM} größer als die Referenzspannung V_{ref} ist. Da der Widerstand R1 sich nur mit der Temperatur ändern kann, muß der Widerstand der Drain-Source-Strecke des Feldeffekttransistors M1 verkleinert werden, wozu seine Gatespannung V_G vergrößert werden muß.

[0014] Dies geschieht dadurch, daß, vom Ausgangssignal V_{OP} des Operationsverstärkers OP gesteuert, der erste Umschalter S1 in die gezeichnete Stellung gebracht wird, wodurch der Kondensator C1 von der Spannungsquelle V1 über den Ladewiderstand R3 aufgeladen wird. Dadurch wird der Widerstand der Drain-Source-Strecke des Feldeffekttransistors M1 und damit die Spannung V_{RM} verkleinert.

[0015] Wird anschließend der Istwert der Spannung V_{RM} kleiner als der Sollwert der Referenzspannung V_{ref} , so wird der erste Umschalter S1 vom Ausgangssignal V_{OP} des Operationsverstärkers OP in die andere Stellung gebracht, wodurch der Kondensator C1 über den Entladewiderstand R2 entladen wird. Dadurch wird der Widerstand über der Drain-Source-Strecke des Feldeffekttransistors M1 und mit ihm der Istwert der Spannung V_{RM} wieder größer.

[0016] Der Istwert der Spannung V_{RM} pendelt dann um den vorgegebenen Sollwert der Referenzspannung V_{ref} . Die Bauelemente OP, V1, C1, S1, R2 und R3 stellen demnach einen Zweipunktregler dar. Wenn der erste Umschalter S1 zwischen seinen beiden Schaltstellungen hin- und herpendelt, hat der Widerstand RM seinen Sollwert von etwa $RM \pm 4\%$ erreicht.

[0017] Eng tolerierte Widerstandswerte können auf die gleiche Weise auch ohne integrierten Widerstand R1 erzeugt werden, indem lediglich die Drain-Source-Strecke des Feldeffekttransistors M1 als Widerstandswert RM dient.

[0018] Nach Beendigung des Abgleichvorgangs wird die Regelschaltung samt der Referenzstromquelle I_{ref} abgeschaltet, d.h., es werden (durch einen Befehl der integrierten Schaltung IS oder von außerhalb) der Schalter S2 geöffnet und der zweite Umschalter in seine andere Stellung umgeschaltet. Dadurch wird der Widerstand RM mit der integrierten Schaltung IS verbunden und die Gatespannung V_G für eine bestimmte Dauer, die von der Güte des Kondensators C1 abhängt, „eingefroren“. Der Widerstand RM bleibt für eine bestimmte Zeit konstant und kann durch wiederholte Abgleichvorgänge aufgefrischt werden.

[0019] Insbesondere bei ASIC's, auf denen üblicherweise ohnehin eine Referenzspannungsquelle sowie ein daraus mit Hilfe eines externen Referenzwiderstandes abgeleiteter Referenzstrom bereits vorhanden sind, ermöglicht das erfindungsgemäße Verfahren auf einfa-

che Weise, integrierte Widerstände dynamisch im Betrieb abzugleichen. Teure und zeitaufwendige Testschritte zum nachträglichen Lasertrimmen des Widerstandes können dadurch entfallen. Außerdem wird der Temperaturgang des integrierten Widerstandes dynamisch gleich mitabgeglichen.

[0020] Figur 2 zeigt den Verlauf der Gate-Spannung über der Zeit während des Abgleichvorgangs und danach und Figur 3 zeigt die Größe des Widerstandes RM als Quotient V_{RM}/I_M über der Zeit, ebenfalls während des Abgleichvorgangs und danach.

Patentansprüche

1. Verfahren zum Abgleichen eines Widerstandes (RM) in einer integrierten Schaltung (IS), insbesondere in einem ASIC, welcher eine Reihenschaltung eines Widerstandes (R1) und eines steuerbaren Widerstandes (M1) enthält, **dadurch gekennzeichnet,**

- daß dem abzugleichenden Widerstand (RM) ein Konstantstrom (I_M) vorgegebener Stärke eingeprägt wird,
- daß der Istwert der durch den Konstantstrom (I_M) am abzugleichenden Widerstand (RM) verursachten Spannung (V_{RM}) mit einer als Sollwert vorgegebenen Referenzspannung (V_{ref}) verglichen wird, und
- daß der steuerbare Widerstand (M1) solange verändert wird, bis der Istwert der am Widerstand (RM) abfallenden Spannung (V_{RM}) mit dem Sollwert der Referenzspannung (V_{ref}) übereinstimmt.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Wert des Widerstandes (RM) durch wiederholte Abgleichvorgänge aufgefrischt wird.

3. Vorrichtung zur Durchführung des Verfahrens nach Anspruch 1, bei welcher der abzugleichende Widerstand (RM) auf der einen Seite mit dem Masseanschluß (GND) der integrierten Schaltung verbunden ist, **dadurch gekennzeichnet,**

- daß der abzugleichende Widerstand (RM) auf der anderen Seite einerseits mit dem nichtinvertierenden Eingang (+) eines als Komparator geschalteten Operationsverstärkers (OP) und andererseits über einen zweiten Umschalter (S3) entweder mit einer Referenzstromquelle (I_{ref}) oder mit der integrierten Schaltung (IS) verbunden ist,
- daß zwischen dem Steueranschluß (G) des steuerbaren Widerstandes (M1) und dem Masseanschluß (GND) ein Kondensator (C1) ange-

ordnet ist,

- daß der Steueranschluß (G) über einen Schalter (S2) und einen mit ihm in Reihe liegenden ersten Umschalter (S1) entweder über einen Ladewiderstand (R3) mit einer Spannungsquelle (V1) oder über einen Entladewiderstand (R2) mit dem Masseanschluß(GND) verbunden ist, und 5
- daß der erste Umschalter (S1) vom Ausgangssignal (V_{OP}) des Operationsverstärkers (OP) angesteuert wird, dessen invertierendem Eingang (-) eine vorgegebene Referenzspannung (V_{ref}) zugeführt wird. 10

4. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß der steuerbare Widerstand (M1) ein Feldeffekttransistor ist. 15

5. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß nach erfolgten Abgleich 20

- der Widerstand (RM) über den zweiten Umschalter (S3) mit der integrierten Schaltung (IS) verbunden wird, und
- Schalter (S2) geöffnet wird. 25

6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß die Ansteuerung des Schalters (S2) und des zweiten Umschalters (S3) von der integrierten Schaltung (IS) oder von außerhalb derselben erfolgt. 30

7. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die Spannungsquelle (V1) und der Ladewiderstand (R3) durch eine den Kondensator (C1) ladende Stromquelle und der Entladewiderstand (R2) durch eine den Kondensator (C1) entladende Stromquelle gebildet sind. 35

40

45

50

55

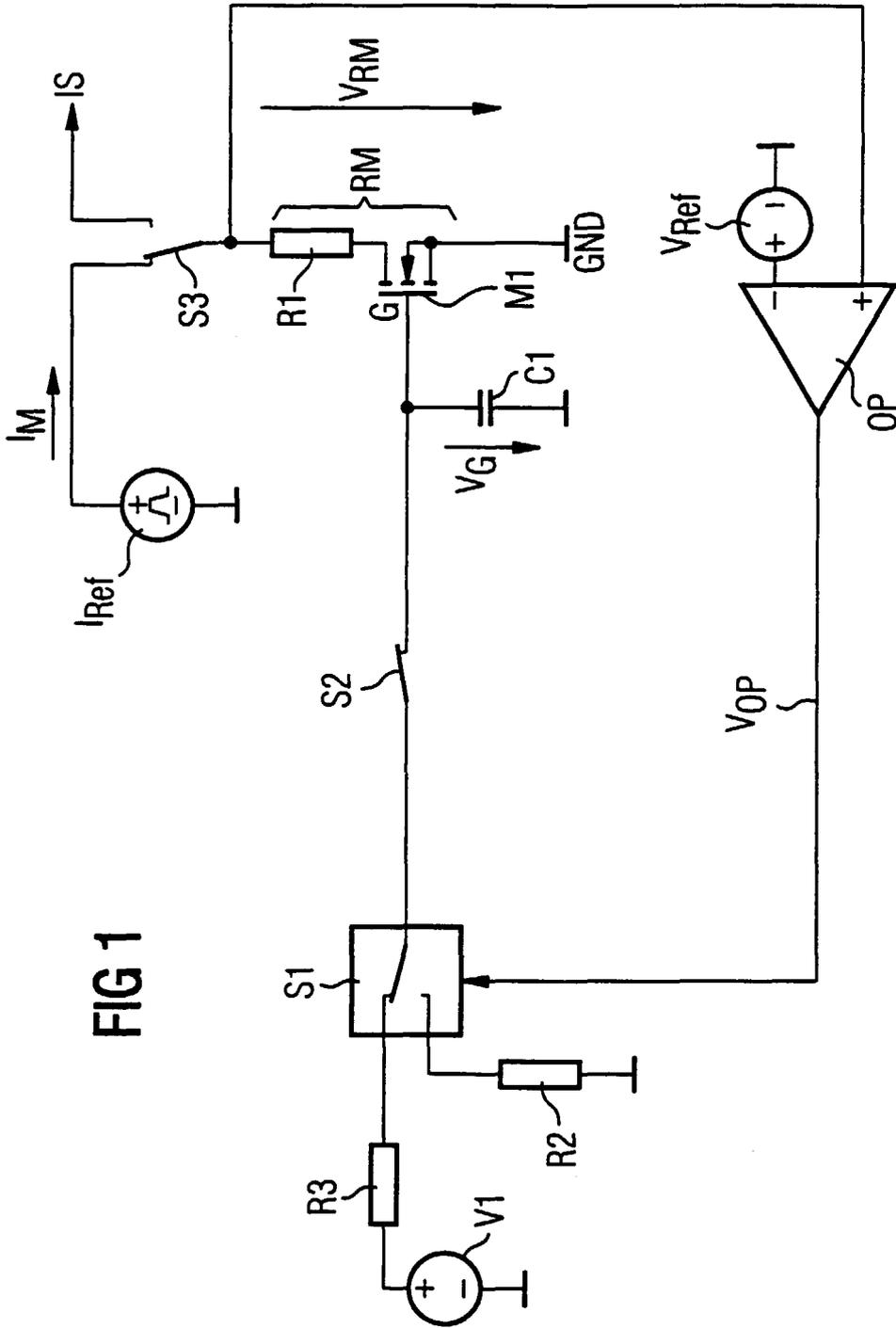
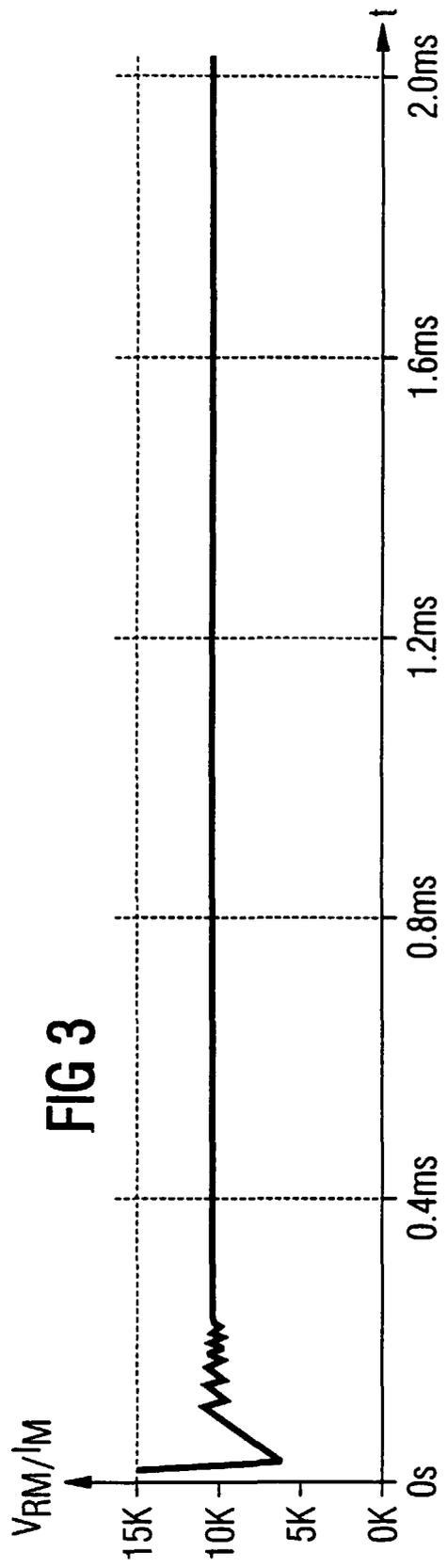
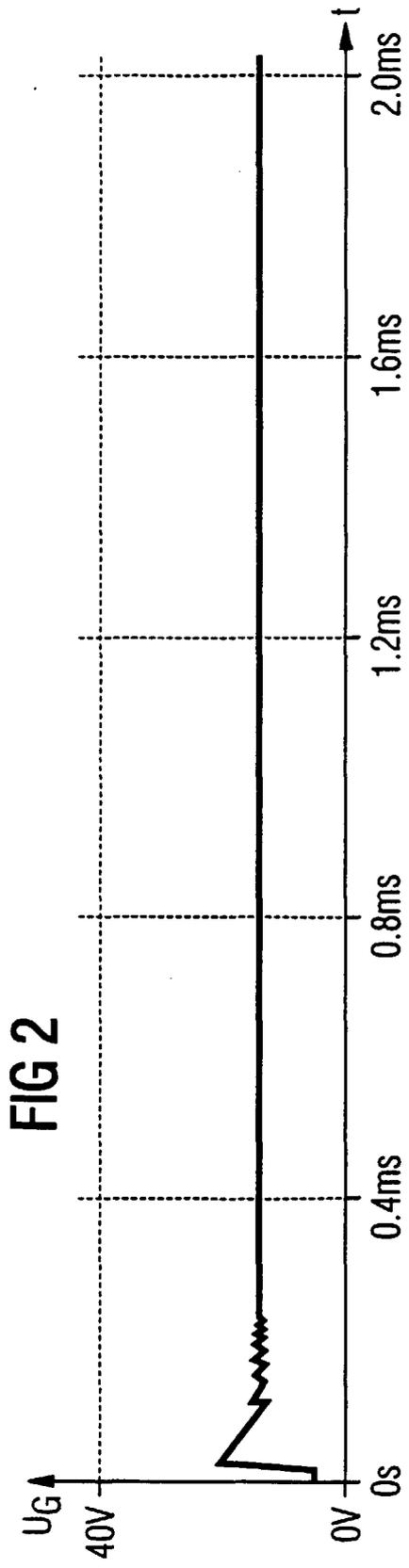


FIG 1





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 99 11 3054

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
A	EP 0 499 921 A (SGS THOMSON MICROELECTRONICS) 26. August 1992 (1992-08-26) * das ganze Dokument *	1-7	G05F1/56
A	US 5 488 328 A (LUDWIG MICHAEL ET AL) 30. Januar 1996 (1996-01-30) * Zusammenfassung *	1-7	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
			G05F
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 11. November 1999	Prüfer Schobert, D
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EPO FORM 1503 03.82 (P04C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 99 11 3054

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentdokumente angegeben.
 Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

11-11-1999

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0499921 A	26-08-1992	IT 1251011 B	28-04-1995
		DE 69220690 D	14-08-1997
		DE 69220690 T	02-01-1998
		JP 4337813 A	25-11-1992
		US 5172018 A	15-12-1992

US 5488328 A	30-01-1996	DE 4335683 A	27-04-1995
		DE 59406607 D	10-09-1998
		EP 0650112 A	26-04-1995
		ES 2121595 T	01-12-1998

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82