



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 1 004 972 A1

(12)

EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:
31.05.2000 Patentblatt 2000/22

(51) Int. Cl.⁷: **G06G 7/28**

(21) Anmeldenummer: **98122216.9**

(22) Anmeldetag: **23.11.1998**

(84) Benannte Vertragsstaaten:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE**
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(72) Erfinder:
• **Theus, Ulrich Dr.-Ing.**
79194 Gundelfingen (DE)
• **Bidenbach, Reiner Dipl.-Ing.**
79279 Vörsstetten (DE)

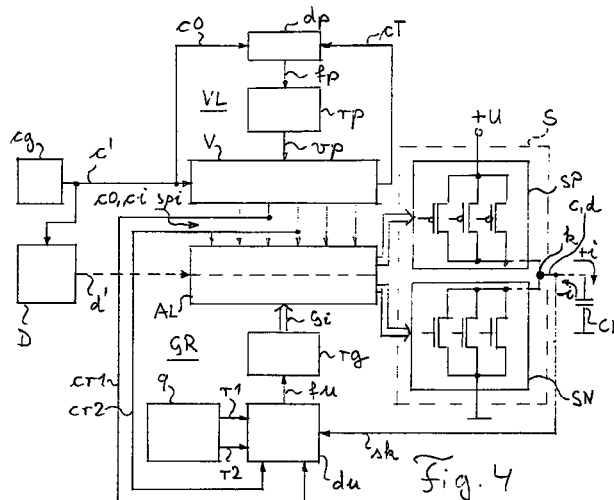
(71) Anmelder:
Micronas Intermetall GmbH
79108 Freiburg (DE)

(74) Vertreter: **Sauer, Wolfgang**
MICRONAS INTERMETALL GmbH,
Patentabteilung,
Hans-Bunte-Strasse 19
79108 Freiburg (DE)

(54) Kurvenformgenerator

(57) Kurvengenerator für ein ausgangsseitiges Signal (c, d) mit einer Schaltstufe (S) zur Bildung eines definierten Signalverlaufs mittels Schalttransistoren, die in einer vorgegebenen Abfolge von unverzögerten (c0) und verzögerten Taktsignalen (ci) eingeschaltet sind. Eine Verzögerungseinrichtung (V) bildet aus einem zugeführten Taktsignal (c') die unverzögerten (c0) und verzögerten Taktsignale (ci) wobei die Verzögerungs-

zeiten der verzögerten Taktsignale (ci) im Vergleich zur Periode (T) des zugeführten Taktsignals (c') in relativ kleinen vorgegebenen Schritten gestuft sind und die maximale Dauer der Verzögerungszeiten bezüglich einer Taktbezugsphase einen Bereich von weniger als einer halben Periode bis zu wenigen Perioden des zugeführten Taktsignals (c') umfaßt.



EP 1 004 972 A1

Beschreibung

[0001] Die Erfindung betrifft einen Kurvenformgenerator für interne oder externe Signale. Derartige Kurvenformgeneratoren werden verwendet, wenn bei Signalen nicht nur die Maximal-, Endwerte oder logischen Pegel sondern auch der Verlauf im Signalübergangsbereich zu beachten ist. So kann beispielsweise gefordert sein, daß Schwellwerte zu bestimmten Bezugszeiten erreicht werden, Impulse verbreitert oder schmaler gemacht oder unerwünschte Nebeneffekte beseitigt werden, beispielsweise störende Oberwellen. Störende Oberwellen entstehen vor allen Dingen durch Diskontinuitäten im Signalverlauf in Verbindung mit steilen Signalfanken. Besonders unangenehm sind die Oberwellen, die durch große Stromänderungen entstehen, auch bei monolithisch integrierten Schaltungen, wenn bei einer relativ großen kapazitiven Last innerhalb eines relativ kleinen Zeitintervalls der zugehörige Spannungspegel geändert wird. Dies tritt bei digital arbeitenden Schaltungen auf, die synchron zu einem gemeinsamen Takt eine Vielzahl von Schaltzuständen gleichzeitig ändern. Die zugehörigen Lastströme summieren sich auf den Takt- und Versorgungsleitungen und erzeugen über diese elektromagnetische Störungen. Wenn externe Lasten über Ausgangsstufen geschaltet werden, dann finden sich diese Lastströme auch auf den Ausgangsleitungen dieser Ausgangsstufen und erzeugen dort zusätzliche elektromagnetische Störungen. Die Größe der Störungen ist dabei von der Ausgangsstufe, der internen oder externen Last und der Art und Länge der verbindenden Leitungen abhängig. Der Beitrag der Leitungen ist durch die Geometrie relativ fest vorgegeben und nur geringen Toleranzen unterworfen. Anders jedoch die Beiträge der Ausgangsstufe und der Last, die von der jeweiligen Schaltungstechnologie, der Herstellungstoleranz, der Temperatur, der Anzahl und Größe der Transistoren und sonstigen Größen abhängig sind und daher sehr streuen können.

[0002] Bei der Verwendung von CMOS-Schaltungen besteht die Last in der Regel aus der Summe der Eingangskapazitäten der zu schaltenden Transistorgates. Typische Summenwerte für die zu berücksichtigenden Eingangskapazitäten liegen zwischen 5 pF und mehreren 100 pF. Auch wenn in der Regel nicht der gesamte Wertebereich überdeckt werden muß, ist sofort erkennbar, daß die üblichen komplementären Treiberschaltungen als Kurvenformgenerator für Ausgangssignale nicht geeignet sind, weil sie in Verbindung mit den angeschlossenen Lastkapazitäten näherungsweise eine exponentielle Auf- oder Entladung bewirken. Der Hauptnachteil der dabei entstehenden Schaltflanke ist, daß der Signalverlauf während des Überganges sehr unterschiedliche Steigungen aufweist. Am Anfang ist die Steigung sehr hoch, wodurch viele Oberwellen erzeugt werden und am Ende ist die Steigung sehr gering, wodurch der Endpegel erst sehr spät erreicht wird. Eine gleichzeitige Beseitigung beider Nachteile ist

durch bekannte komplementäre Schaltungen nicht möglich. Um die verschiedenen Toleranzen für die maximal zulässige Übergangszeit der Schaltflanke einzuhalten, wird die komplementäre Treiberschaltung für die ungünstigste Toleranzkombination ausgelegt, so daß die Signalfanken am Anfang viel zu steil sind und damit unerwünschte Oberwellen erzeugen.

[0003] Es gibt auch andere Fälle, wo die Form der Schaltflanken zu beachten ist, beispielsweise wenn bei auf- und absteigenden Flanken von Digitalsignalen die jeweiligen Schaltschwellen zu bestimmten Zeitpunkten erreicht werden sollen. Dies ist beispielsweise bei der Forderung nach Überlappung oder Nichtüberlappung wichtig. Bei anderen Digitalsignalen, bei denen beispielsweise nur eine Schaltflanke wichtig ist, ist nur die Form und Dauer dieser Schaltflanke von Interesse. Die Form und Dauer der zweiten Schaltflanke ist für die Betrachtung von Störungen unwesentlich, wenn sie relativ zur ersten Schaltflanke flach verläuft. Wieder gibt es andere Signale, deren Flanken möglichst trapezförmig oder symmetrisch sein sollen.

[0004] Das Problem der hochfrequenten elektromagnetischen Abstrahlung von Signal-, Versorgungs- und Taktleitungen tritt mit der Komplexität von monolithisch integrierten Schaltungen, der zunehmenden Transistoranzahl und der zunehmenden Verarbeitungsgeschwindigkeit immer mehr in den Vordergrund. Angaben hierüber, die sich auf Störungen von anderen Geräten oder auf Eigenstörung beziehen, finden sich oft unter der Kurzbezeichnung EMV (=Elektromagnetische Verträglichkeit). Eigenstörungen können beispielsweise auftreten, wenn außer digitalen auch analoge Schaltungsteile in der jeweiligen Schaltung vorhanden sind und dort eine Signalverfälschung durch die Überlagerung der analogen Signale mit eingestreuten digitalen Signalen stattfindet.

[0005] Wünschenswert ist somit eine Steuerung der jeweiligen Signalformen, insbesondere im Signalfankenbereich.

[0006] Es ist Aufgabe der Erfindung, einen monolithisch integrierbaren Kurvenformgenerator für interne oder externe Signale anzugeben, mit dem der Signalübergang und die damit verkoppelte Stromänderung vorgegeben werden kann.

[0007] Die Lösung dieser Aufgabe erfolgt entsprechend den Merkmalen des Anspruchs 1 durch:

- einen Kurvenformgenerator für ein ausgangsseitiges Signal mit
- einer Schaltstufe zur Bildung eines definierten Signalverlaufs, insbesondere bei einer kapazitiven Last, mittels Schalttransistoren, die in einer vorgegebenen Abfolge von unverzögerten und verzögerten Taktsignalen eingeschaltet sind, wobei ein Ausgangsknoten deren Ausgangsströme summiert, und
- einer Verzögerungseinrichtung, die aus einem zugeführten Taktsignal die unverzögerten und ver-

zögerten Taktsignale bildet, wobei

- die Verzögerungszeiten der verzögerten Taktsignale innerhalb mindestens einer Taktperiode des zugeführten Taktsignals vorgegebene Zeitpunkte definieren.

[0008] Der Hauptvorteil der Erfindung besteht darin, daß die Schaltflanke in verschiedene Zeitbereiche aufgeteilt ist, deren jeweilige Flankensteilheiten in Grenzen unabhängig voneinander einstellbar sind. Durch eine Punktspiegelung der Signalform an einem Mittenwert der Signalflanke werden Frequenzen bei der doppelten, vierfachen, sechsfachen usw. Frequenz der Signalgrundfrequenz reduziert. Durch eine sinusförmige Ausbildung der Schaltflanken läßt sich über die reduzierte Amplitude der Oberwellen die elektromagnetische Abstrahlung auf ein Minimum bringen. Dies gilt sowohl für reine Taktsignale als auch für digitale Signale und betrifft Takt-, Steuer-, Daten- oder Versorgungsleitungen. Zur Vereinfachung wird im nachfolgenden Text statt Takt-, Steuer- oder Datensignal meist nur „Signal“ angegeben.

[0009] Eine feinstufige Einstellung der Steilheit ohne großen Flächenaufwand wird mit der Zu- und/oder Abschaltung von gewichteten Schalttransistoren erreicht, wenn die gewichteten Transistoren gruppenweise schaltbar sind. Die Gewichtung der Stromergiebigkeit erfolgt bei Bipolartransistoren über die Emitterfläche oder bei CMOS-Transistoren über das Breiten-zu-Längenverhältnis ($=W/L$) der jeweiligen Gatezone. Die Gewichtungsstaffelung über Zweierpotenzen erlaubt die digitale Auswahl der Gruppenmitglieder oder ihre Ansteuerung mittels Binärzahlen. Die Einstellung der Gewichtung über die Parallelschaltung gleicher Transistoren ist zwar genauer, aber der Flächenaufwand ist größer.

[0010] Eine Erhöhung der Flexibilität des Kurvenformgenerators wird erreicht, wenn die Frequenz des Taktsignals nicht festgelegt ist, sondern sich in Grenzen ändern kann oder einstellbar ist. Dies bewirkt eine erste Regelschaltung, die die Verzögerungszeiten der verzögerten Taktsignale regelt. Die Regelung erfolgt bezüglich der jeweiligen Bezugsphase und Frequenz des Taktsignals. Derartige Regelschaltungen sind bekannt, sie verwenden zur Bildung der einzelnen Verzögerungszeiten Verzögerungsketten, deren Gesamt- oder Teilverzögerungszeit mittels einer Phasenregelschleife an das jeweilige Taktsignal gekoppelt ist. Ein ausführliches Beispiel hierfür ist in EP 0 116 669 A (intern: C-DIT-1179EP) beschrieben. Die an einen beliebigen Takt ankoppelbare Ausgestaltung ist dann von Vorteil, wenn in der jeweiligen Schaltung der Takt nicht als Systemtakt fest vorliegt, sondern variabel oder noch nicht bekannt ist. Diese Ausführung eignet sich auch als genereller Auslegebaustein in einer Programmbibliothek, weil innerhalb weiter Grenzen bei der Schaltungsanlegung keine Frequenzanpassung erforderlich ist.

[0011] Schließlich kann mittels eines zweiten

Regelkreises, der vom ersten Regelkreis unabhängig ist, eine weitere Verbesserung in der Flexibilität des Kurvenformgenerators erreicht werden, indem die Stromergiebigkeit der Schalttransistoren von der jeweiligen Last abhängig gemacht wird. Die Änderung der Stromergiebigkeit erfolgt am einfachsten durch das Zu- oder Abschalten von Schalttransistoren oder durch eine andere Gruppenauswahl. Die erforderliche Steuerung übernimmt eine zweite Regelschaltung, die mittels einer Spannungsvergleichsschaltung während der Schaltflanke einen momentanen Spannungswert (= Istwert) mit einem Sollwert vergleicht und aus dem Vergleich des Istwertes mit dem Sollwert das entsprechende Steuersignal bildet, das auch ein Auswahlsignal sein kann. Mit dem Auswahlsignal wird unter Wahrung der Stromergiebigkeitsverhältnisse die Gewichtung der zugeschalteten Schalttransistoren gemeinsam erhöht oder erniedrigt, bis die Abweichung von Soll- und Istwert wieder ausreichend klein geworden ist. Als Sollwerte eignen sich beispielsweise die Mittenpegel der positiven und negativen Schaltflanke. Je nach der Lage der Abweichung wird ein Auf- und Abwärtszähler angesteuert, dessen jeweiliger Zählerinhalt mittels einer Ansteuerlogik den Gewichtungswert anpaßt.

[0012] Mit einem sinusförmigen Verlauf der Schaltflanke erreicht man bei Takt-, Steuer oder Datensignalen die geringste Oberwellenanzahl. Ein derartiger Flankenverlauf läßt sich mit recht guter Näherung nachbilden, wie später ein Ausführungsbeispiel zeigt. Wenn bei Taktsignalen die beiden sinusförmigen Flanken einer halben Taktperiode entsprechen, dann hat man aus einem Rechtecksignal ein Sinussignal gebildet, das im Idealfall keinerlei Oberwellen enthält. Ein Nachteil kann die kurze Verweildauer im oberen oder unteren Pegelbereich sein. Diese Zeiten lassen sich vergrößern, wenn mittels des Kurvenformgenerators die Flanken kürzer als eine halbe Taktperiode eingestellt werden. Für Datensignale, die in der Regel zwei oder mehr Taktperioden umfassen, wird die sinusförmige Flankendauer länger als eine halbe Taktperiode gewählt. Über eine Taktperiode geht man zweckmäßigerweise nicht hinaus, weil dann der zusätzliche Effekt bezüglich der Störstrahlung vernachlässigbar ist, die Nachteile durch die verzögerte Datenübernahme jedoch zunehmen. Ein Dehnung der Flanken bei Datensignalen über einige Taktperioden kann jedoch in den Fällen angebracht sein, bei denen die Taktrate aus beliebigen Gründen wesentlich höher als die Datenrate ist.

[0013] Durch den Kurvenformgenerator lassen sich auch relativ komplizierte Signalformen einstellen, die sogar einer Frequenzverdoppelung oder Frequenzvervielfachung eines Taktsignals entsprechen können. Bei der Frequenzverdoppelung wird innerhalb einer einzigen Taktperiode über die Steuerung der verzögerten Taktsignale mittels zweier Anstiegs- und zweier Abstiegsflanken ein Doppelimpuls mit vorgegebenen Flanken erzeugt.

[0014] Zur Bildung von definiert an- und absteigenden Schaltflanken sind komplementäre Schalttransistoren erforderlich, deren Ausgangsströme in dem erwähnten Ausgangsknoten summiert sind. Ein derartiger Kurvenformgenerator, dessen komplementäre Schalttransistoren durch verzögerte Taktsignale angesteuert sind, kann eine übliche, aus einem komplementären Transistorpaar bestehende Treiberschaltung mit Vorteil ersetzen.

[0015] Die Erfindung und vorteilhafte Ausgestaltungen werden nun anhand der Figuren der Zeichnung näher erläutert:

- Fig. 1 zeigt im Zeitdiagramm ein übliches Takt- oder Datensignal,
- Fig. 2 zeigt im Zeitdiagramm ein Takt- oder Datensignal mit sinusförmigen Flanken,
- Fig. 3 gibt in Tabellenform ein Beispiel für eine zeitabhängige Gewichtung von n- und p-Kanal-Schalttransistoren bei sinusförmigem Flankenverlauf,
- Fig. 4 zeigt schematisch die Schaltung eines bevorzugten Ausführungsbeispiels des Kurvenformgenerators,
- Fig. 5 zeigt schematisch ein Teil der zugehörigen Ansteuerlogik und
- Fig. 6 zeigt in Tabellenform ein Beispiel für eine zeit- und lastabhängige Gewichtung über die Kanalweiten von n- und p-Kanal-Schalttransistoren.

[0016] Fig. 1 zeigt im Zeitdiagramm den eingangsseitigen Verlauf eines Takt- oder Datensignals c' bzw. d' und den etwa exponentiellen ausgangsseitigen Verlauf des Takt- oder Datensignals c bzw. d infolge der zu treibenden Lastkapazität. Mittels einer ersten und zweiten Schaltschwelle s₁, s₂ werden logische Zustandsbereiche für das Signal c, d definiert. Unterhalb der Schwelle s₁ liegt die logische „0“ und oberhalb der Schwelle s₂ die logische „1“. Die Lage der Schaltschwellen s₁, s₂ und der zugehörigen Schaltzeitpunkte ts₁, ts₂, ts₂*, ts₁* sind für die Signalverarbeitung und die Störsicherheit wichtig.

[0017] Die schematische Darstellung von Fig. 1 verdeutlicht, daß mit zunehmenden Taktraten und Verarbeitungsgeschwindigkeiten die Dauer der Signalübergänge gegenüber der Periodendauer T nicht mehr vernachlässigbar sind. Ab dem Zeitpunkt t₁ beginnt die positive Signalfanke mit einer recht großen Steigung. Die erste Schwelle s₁ wird zum Zeitpunkt ts₁ überschritten, danach nimmt die Steigung deutlich ab. Die zweite Schwelle s₂ wird zum Zeitpunkt ts₂ überschritten. Die zugehörigen Signalpegel sind S₁ und S₂. Schließlich nähert sich das Signal c, d mit immer geringerer werdender Steigung dem Maximalwert max. Die negative Flanke beginnt mit dem Zeitpunkt t₂. Die Schaltschwellen s₂ bzw. s₁ werden zu den Zeitpunkten ts₂* bzw. ts₁* überschritten, die zugehörigen Signal-

werte sind S₂* bzw. S₁*. Schließlich beginnt beim Zeitpunkt t₃ die positive Flanke wieder von neuem.

[0018] Die steilen Signalfanken zu den Zeitpunkten ts₁, ts₂* erzeugen durch die angeschlossene, jedoch nicht dargestellte Lastkapazität hohe Lade- bzw. Entladeströme. Fließen diese über Leitungen, dann erzeugen sie eine elektromagnetische Störstrahlung. Als störende Leitungen können hierbei schon Versorgungsleitungen, kurze Verbindungen zu anderen Schaltungen oder selbst Verbindungen zu Abblockeinrichtungen wirksam werden. Die Unsymmetrie innerhalb der Schaltflanke bewirkt zudem, daß bereits Störfrequenzen mit der doppelten Takt- oder Datenrate gebildet werden. Die in analoge Schaltungsteile eingekoppelten Störungen liegen damit oft auch dicht beim Nutzsignal und lassen sich später nur durch einen hohen Filteraufwand beseitigen.

[0019] In Fig. 2 ist ein Zeitdiagramm eines Taktsignals c und eines Datensignals d dargestellt, deren Signalfanken durch einen Kurvenformgenerator nach der Erfindung ein Verlauf aufgezwungen ist, der von dem exponentiellen Flankenverlauf von Fig. 1 abweicht. Die Flanken entsprechen dabei etwa einem sinusförmigen Verlauf. Im Fall des Taktsignals c wird eine Taktperiode T in zehn gleichlange Einzelschritte aufgeteilt. Die Aufteilung erfolgt über unverzögerte und verzögerte Taktsignale c₀ bzw. c₁ bis c₉, mit deren Zeitraster der Verlauf der an- und absteigenden Signalfanken geändert wird. Der gewünschte Flankenverlauf wird näherungsweise durch die Überlagerung verschiedener Lade- oder Entladekurven gebildet. Die Änderung des Lade- oder Entladevorgangs wird durch die unverzögerten und verzögerten Taktsignale c₀ bzw. c₁ bis c₉ gesteuert, ferner durch ein erstes oder zweites Sperrsignal sp₀, sp₁, die den vorausgehenden Lade- oder Entladevorgang beenden. In Fig. 2 wird mittels des ersten Sperrsignals sp₀ der vorausgehende Ladevorgang abgebrochen, weil die negative Signalfanke zum Zeitpunkt t₀ beginnt. Mittels des zweiten Sperrsignals sp₁ zum Zeitpunkt t₅ wird der vorausgehende Entladevorgang zwischen den Zeitpunkten t₀ bis t₄ beendet, weil zu diesem Zeitpunkt die positive Taktflanke beginnt. Diese wird zum Zeitpunkt t₁₀ bzw. t₀ durch das erste Sperrsignal sp₀ wieder beendet. Je feiner die Schrittweite wird, desto besser wird die Annäherung an den gewünschten Signalverlauf.

[0020] Fig. 2 zeigt als Beispiel auch den sinusförmigen Flankenverlauf bei Datensignalen d, die dann einige Zeit den jeweiligen logischen Zustand „1“ oder „0“ beibehalten. Die negative Datenflanke des Beispiels von Fig. 2 liegt in dem Zeitintervall t₀ bis t₅, danach bleibt der Datenpegel bis zum Zeitpunkt t₁₀ stabil, ab dem dann die positive Flanke beginnt, die zum Zeitpunkt t₁₅ abgeschlossen ist. Die Datenrate ist in diesem Beispiel genauso groß wie die Taktrate. Wenn die Datenrate kleiner/gleich der Taktrate ist, dann kann entweder der Verlauf der Datenflanken flacher als der Verlauf der Taktflanken ausgebildet werden oder bei

gleicher Flankenausbildung wird die Verweildauer im oberen oder unteren Logikzustand entsprechend größer.

[0021] Das Zeitdiagramm von Fig. 2 zeigt einen gewünschten Signalverlauf unter der Annahme, daß mindestens in den mit kleinen Kreisen dargestellten Signalwerten die idealen Signalwerte erreicht werden und der Verlauf dazwischen möglichst gleichförmig erfolgt. Im Falle einer sinusförmigen Flankenausbildung kann dies durch die zeitliche Überlagerung von Ent- bzw. Aufladekurven erreicht werden. Bei CMOS-Schaltungen erfolgt die Aufladung der kapazitiven Last mittels p-Kanal-Transistoren und die Entladung mittels n-Kanal-Transistoren, die durch die unverzögerten und verzögerten Taktsignale c0 bzw. c1 bis c9 aktiviert werden. Für ein Taktsignal mit sinusförmigen Taktflanken, deren Dauer einer halben Taktperiode entspricht, liefert die Tabelle von Fig. 3 die zugehörige Transistorgrößen. Es ist ferner angenommen, daß die Taktperiode T in dreißig Zeitintervalle aufgeteilt ist, die durch die äquidistanten Zeitpunkte t0 bis t29 definiert sind. Über ein Schaltungs-Simulationsprogramm können beispielsweise auf einfache Weise empirisch die Größen der zu den einzelnen Zeitpunkten t0 bis t29 aktiven Schalttransistoren ermittelt werden. Da die Transistor- und Schaltungsmodelle in den Simulationsprogrammen sehr genau sind, können die Ergebnisse ohne weiteres in das Layout übernommen werden.

[0022] Die Tabelle von Fig. 3 zeigt das Ergebnis einer derartigen Simulation. Die Größe der erforderlichen Schalttransistoren ist im Zeitintervall von t0 bis t15 für die Abstiegsflanke und im Zeitintervall t15 bis t30 (= t0) für die Anstiegsflanke in Einheitswerten „N“ bzw. „P“ angegeben, die die Größe der zugehörigen n- bzw. p-Kanal-Transistoren zur Erreichung eines sinusförmigen Flankenverlaufs definieren. Für gewisse Zeitintervalle bleiben die Größen konstant. Dies ergibt sich auch anschaulich aus dem Flankenverlauf von Fig. 1. Zu Beginn der Auf- oder Entladung sind sehr kleine Schalttransistoren erforderlich, weil die Spannungsdifferenz zwischen Taktsignal und Kondensatorspannung anfangs groß ist. Wenn der Lade- oder Entladevorgang fast beendet ist, dann ist die Spannungsdifferenz klein und die Anhebung der Flankensteilheit erfordert in diesem Bereich große Schalttransistoren. Als sehr effektives Kriterium bei der Simulation erweist sich das jeweils rechnerisch ermittelte Signalspektrum, das Änderungen der Gewichtung im Feinbereich erfassen kann. Die groben Änderungen ergeben sich aus einem einfachen Vergleich der Soll- und Istspannungen.

[0023] In Fig. 3 sind zum Zeitpunkt t0 und t15 die anfänglichen Größen der n- bzw. p-Kanal-Transistoren dargestellt, wobei als Einheitswert oder Bezugsgrößen „N“ bzw. „P“ für n- bzw. p-Kanal-Einheitstransistoren mit gleichen Stromergiebigkeiten stehen. Zum Zeitpunkt t1 werden sechs dieser Einheitstransistoren N hinzugeschaltet. Zum Zeitpunkt t2 weitere neun Einheitstransistoren N und zum Zeitpunkt t3 weitere zwölf. Bei den

Zeitpunkten t4 bis t7 werden keine weiteren Transistoren zugeschaltet, dies entspricht der Angabe 0N. Zum Zeitpunkt t8 erhöht sich die Anzahl der eingeschalteten n-Kanal-Transistoren um zehn Einheitstransistoren N, zum Zeitpunkt t9 um weitere zwölf, zum Zeitpunkt t10 um vierzehn und schließlich zum Zeitpunkt t11 um sechzehn Einheitstransistoren N. Dieser Wert ändert sich nicht mehr und bleibt konstant für die Zeitpunkte t12 bis t14. Zum Zeitpunkt t15 ist das Ende der Abstiegsflanke erreicht und die Anstiegsflanke beginnt. Das Ende der Abstiegsflanke wird durch Sperren sämtlicher n-Kanal-Transistoren erzwungen, die zwischen den Zeitpunkten t0 bis t15 aktiviert worden sind. Die Abschaltung erfolgt durch das Sperrsignal sp1.

[0024] Die positive Anstiegsflanke zwischen den Zeitpunkten t15 bis t30 wird durch das Hinzuschalten der in Tabelle 3 angegebenen p-Kanal-Transistoren zu den entsprechenden Zeitpunkten erzwungen. Die Tabelle bezieht sich dabei auf die Einheitstransistoren P. Die positive Signalfanke wird zum Zeitpunkt t30 bzw. t0 durch das erste Sperrsignal sp0 beendet, das alle zuvor aktivierten p-Kanal-Transistoren wieder sperrt.

[0025] Die Simulation der Transistorgrößen von Fig. 3 geht von einer beliebigen Lastkapazität aus, die als Bezugskapazität für die Simulation dann aber nicht mehr geändert werden darf. Wenn die Lastkapazität doppelt so groß ist, dann sind die Einheitstransistoren N, P ebenfalls zu verdoppeln, ansonsten funktioniert die Näherung nicht. Selbstverständlich können die Einheitstransistoren N und P für eine vorgegebene Lastkapazität größer oder kleiner gewählt werden, wenn der vorausgehende Faktor entsprechend angepaßt wird, so daß das Produkt (z.B. $12 \times N$) aus Multiplikationsfaktor und dem Bezugswert des Einheitstransistors N bei dem jeweiligen Zeitpunkt ti konstant bleibt.

[0026] Eine Anpassung an unterschiedliche Lastkapazitäten bei festen Einheitsgrößen N, P kann somit auch über die jeweiligen Multiplikationsfaktoren erreicht werden, die dann als Gewichtungsfaktoren dienen. In jedem Fall besteht eine direkte Proportionalität zwischen dem jeweiligen Gewichtungsfaktor und der jeweiligen Größe der kapazitiven Last. Unterscheiden sich die kapazitiven Lasten durch einen festen Faktor G, dann unterscheiden sich auch die zugehörigen Gewichtungsfaktoren durch den gleichen Faktor G. Die proportionale Steuerung sämtlicher Gewichtungsfaktoren durch einen einzigen gemeinsamen Faktor G entspricht der Multiplikation der durch den Kurvenverlauf vorgegebenen Gewichtungsfaktoren mit dem Faktor G. Diese Multiplikation wird bei den üblichen Binärsystemen durch eine Schiebefunktion oder durch eine andere Gruppierung erreicht werden, vgl. hierzu das Ausführungsbeispiel von Fig. 5. Die Gewichtung in der Tabelle von Fig. 3 ist noch etwas grob und entspricht einer ersten Näherung der gewünschten Stromflanken. Die Tabellenwerte können durch das bereits erwähnte Simulationsverfahren verbessert werden. Nach Möglichkeiten ist bei der Näherung und Simulation zu versu-

chen, die Anzahl der erforderlichen Schaltzeitpunkte möglichst klein zu halten, weil ansonsten der Schaltungsaufwand steigt. Eine gute Lösung hierzu zeigt die Tabelle von Fig. 6.

[0027] In Fig. 4 ist als Blockschaltbild ein Ausführungsbeispiel für den Kurvenformgenerator nach der Erfindung dargestellt. Eine Verzögerungseinrichtung V erzeugt aus einem eingangsseitigen Taktsignal c' unverzögerte und verzögerte Taktsignale $c0$ bzw. ci und Sperrsignale spi . Diese Signale steuern eine Ansteuerlogik AL an, die in Abhängigkeit von diesen Signalen Steuersignale für p- und n-Kanal-Schalttransistoren einer Schaltstufe S liefert. Die Ausgangsströme der einzelnen Schalttransistoren werden mittels eines Ausgangsknotens k summiert und dienen als Lade- bzw. Entladestrom $+i$ bzw. $-i$ einer internen oder externen Lastkapazität CL.

[0028] Das Taktsignal c' ist entweder mit einem Systemtakt verkoppelt oder stammt aus einem Taktgenerator cg. Die Taktperiode T wird in der Verzögerungseinrichtung V in insbesondere äquidistante Zeitintervalle aufgeteilt, denen jeweils eines der verzögerten Taktsignale ci zugeordnet ist. Um die Verzögerungszeiten exakt an die Taktperiode T zu koppeln, werden die Verzögerungszeiten der einzelnen Elemente in der Verzögerungseinrichtung V mittels einer Verzögerungsregelschleife VL an die Taktperiode T und die Bezugsphase des Taktsignals c' angekoppelt. Wenn der Kurvenformgenerator den Verlauf von Datensignalen d modifizieren soll, dann ist die Ansteuerlogik AL außer mit den unverzögerten und verzögerten Taktsignalen $c0$ bis ci und den Sperrsignalen spi eingangsseitig mit dem Datensignal d' aus einer Datenquelle D gespeist. Da das Datensignal d' mit dem Taktsignal c' verkoppelt ist, wird die Schaltflanke nach wie vor von dem Taktsignal c' gesteuert, wobei das Datensignal d' lediglich die Auswahl einer positiven oder negativen Flanke bewirkt oder den vorhandenen Logikzustand des Ausgangssignals d beibehält.

[0029] Die Schaltstufe S enthält eine p-Schaltstufe SP, in der die p-Kanal-Schalttransistoren zwischen der positiven Spannungsversorgung $+U$ und dem Ausgangsknoten k parallelgeschaltet sind. Jeder Schalttransistor ist dabei separat über eine eigene Steuerleitung von der Ansteuerlogik AL angesteuert. In gleicher Weise enthält die Schaltstufe S eine n-Schaltstufe SN mit n-Kanal-Schalttransistoren, die zwischen dem Ausgangsknoten k und dem Massebezugspunkt parallelgeschaltet sind. Jeder n-Kanal-Schalttransistor ist über eine eigene Steuerleitung mit dem zugehörigen Steuerbereich der Ansteuerlogik AL verbunden. In der p- und n-Schaltstufe SP bzw. SN ist für jeden Schaltzeitpunkt ti eine Transistorgruppe vorhanden, sofern in diesem Schaltzeitpunkt die Größe des resultierenden Schalttransistors zu ändern ist. Für das Tabellenbeispiel von Fig. 3 sind dies bei der negativen sinusförmigen Schaltflanke acht Transistorgruppen, die nacheinander zu den Zeitpunkten $t0, t1, t2, t3, t8, t9, t10$ und $t11$ auf-

einanderfolgend zugeschaltet werden.

[0030] Eine Anpassung der Stromergiebigkeit der Schalttransistoren in der Schaltstufe S an die Lastkapazität CL ermöglicht nach dem Ausführungsbeispiel von Fig. 4 eine Gewichtungsregelschleife GR. Hinter der Gewichtungsregelschleife GR steht beispielsweise die Annahme, daß die kapazitive Last CL im Minimalfall einen Wert von 10 pF aufweist. Dies wird als Grundlast bezeichnet. Aus der besprochenen Schaltungssimulation ergeben sich zu den jeweiligen Zeitpunkten ti die Größen der zugehörigen Schalttransistoren, die damit auch als Grundlasttransistoren bezeichnet werden. Soll nun mittels der Gewichtungsregelschleife GR automatisch ein kapazitiver Lastbereich überdeckt werden, der von 10 pF bis zu 100 pF reicht, dann ist die Größe der jeweiligen Schalttransistoren entsprechend anzupassen. Es reicht dabei völlig aus, wenn die Anpassung nicht kontinuierlich sondern in Schritten erfolgt. Stehen für den angegebenen Bereich von 10 pF bis 100 pF fünfzehn Anpassungsstufen zur Verfügung, dann kann die Lastkapazität in Stufen von jeweils 6pF-Schritten angepaßt werden. Diese Auflösung ist völlig ausreichend. Die fünfzehn Stufen lassen sich beispielsweise durch die Kombination von vier Gewichtungsstufen erreichen, wenn diese Zweierpotenzen entsprechen. Die kleinste Gewichtungseinheit entspricht dabei einer Lastkapazität von 6 pF, die zweite Gewichtungsstufe einer Lastkapazität von 12 pF, die dritte Gewichtungsstufe einer Lastkapazität von 24 pF und die vierte Gewichtungsstufe schließlich einer Lastkapazität von 48 pF.

[0031] Die Gewichtungsregelschleife GR enthält einen Spannungsvergleicher du , der zu einem bestimmten Flankenzeitpunkt die Spannung sk des Ausgangsknotens k mit einem Referenzwert $r1, r2$ vergleicht. Als Referenzwert kann der Mittenpegel des ausgangssseitigen Signals c, d dienen. Der Spannungsvergleich kann auch zu anderen Zeitpunkten stattfinden, die durch einen ersten oder zweiten Vergleichstakt $cr1, cr2$ definiert sind, die entsprechende Referenzsignale $r1, r2$ aus einem Referenzspannungsgenerator q abrufen. Als Referenzspannungsgenerator q können beispielsweise die Abgriffe eines Spannungsteilers dienen. Ob der Spannungsvergleich bei der auf- oder absteigenden Schaltflanke stattfindet, wird durch die Vergleichstakte $cr1, cr2$ gesteuert. Das Ausgangssignal des Spannungsvergleichers du ist ein Fehlersignal fu , das einem Gewichtungsregler rg zugeführt ist. Im einfachsten Fall ist dies ein 4-Bit-Zähler, der durch das Fehlersignal fu jeweils um eine Zählstufe aufwärts oder abwärts geschaltet wird. Das 4-Bit-Ausgangssignal des Zählers ist der Gewichtungswert Gi , der die 15 Anpassungsstufen in der Schaltstufe S setzt.

[0032] Die Verzögerungsregelschleife VL vergleicht das unverzögerte Taktsignal $c0$ mit dem um eine Taktperiode verzögerten Taktsignal cT der Verzögerungseinrichtung V, beispielsweise einer Verzögerungskette, und bildet mittels eines Phasendetektors dp daraus ein

Phasenfehlersignal fp. Dieses wird in einem Phasenregler rp, beispielsweise ein PID-Regler (=Proportional, Integral, Differenzial), gefiltert, und bildet ein Steuersignal vp, mit dem die Verzögerungszeiten der Verzögerungskette angepaßt werden.

[0033] In Fig. 5 ist für einen bestimmten Zeitpunkt die Ansteuerlogik AL und die Schaltstufe S ausführlicher dargestellt. Der Schaltzeitpunkt entspricht t18 von Fig. 3. Bis auf den Gewichtungsregler rg, hier ein 4-Bit-Zähler Z (ein Auf-und-Abwärtszähler), ist für jeden Schaltzeitpunkt, in dem sich die Größe der Schalttransistoren ändert, eine derartige Stufe vorhanden. Das verzögerte Taktsignal c18 speist den einen Eingang eines Flip-Flops f, dessen Reset-Eingang R mit dem ersten Sperrsignal sp1 gespeist ist. Der Q-Ausgang Q des Flip-Flops f ist jeweils mit einem Eingang von vier NICHT-UND-Toren u0, u1, u2, u3 (=NAND-Tor) verbunden. Der jeweils andere Eingang der vier Tore ist mit einem Binärstellenausgang des 4-Bit-Zählers Z verbunden. Das Tor u3 ist von der MSB-Stelle des Vier-Bit-Zählers abhängig. In der Wertigkeit folgen die Tore u2, u1 und schließlich u0, das schließlich von der LSB-Stelle abhängig ist. In Abhängigkeit vom Stellenwert steuern die vier Tore u3, u2, u1, u0 zugeordnete Schalttransistoren P3, P2, P1, P0 an. Unabhängig von der Gewichtung wird durch das Flip-Flop f der Grundlasttransistor Pg angesteuert. Alle p-Kanal-Schalttransistoren liegen parallel zwischen dem positiven Versorgungsanschluß +U und dem Ausgangsknoten k, so daß sich die Ströme dort als Ladestrom +i summieren. Das verzögerte Taktsignal c18 setzt das Flip-Flop f, wodurch am Q-Ausgang eine logische „1“ anliegt. Wenn das entsprechende Stellensignal aus dem 4-Bit-Binärzähler ebenfalls einer logischen „1“ entspricht, dann schaltet das zugehörige NICHT-UND-Tor den angeschlossenen p-Kanal-Schalttransistor ein. Der Q-Ausgang des Flip-Flops f verharrt so lange im logischen „1“-Zustand bis am Reset-Eingang R das Sperrsignal sp1 auftritt, das den Q-Ausgang in den logischen „0“-Zustand zurücksetzt, wodurch alle NICHT-UND-Tore u0 bis u3 wieder in den Sperrzustand gebracht und damit die zugeordneten Schalttransistoren P0 bis P3 ebenfalls gesperrt werden. Der Grundlasttransistor pg wird über einen Inverter in gesperrt, dessen Eingang ebenfalls am Flipflop-Ausgang Q liegt.

[0034] In Fig. 6 ist in Tabellenform ein Beispiel für die zeit- und lastabhängige Gewichtung von p- und n-Kanal-Schalttransistoren bei für einem sinusförmigen Flankenverlauf dargestellt, wobei die Taktperiode T in 20 gleichlange Taktinkremente eingeteilt ist. Bei einer vorgegebenen Kanallänge L von 0,7 Mikrometer für die p- und n-Kanal-Schalttransistoren werden die einzelnen Gewichtungswerte über die Kanalweiten W eingestellt. Diese Kanalweiten W sind in der Tabelle von Fig. 6 in den Zeilen Pg und Ng für eine Grundlast von 10 pF angegeben. Von den 20 Taktzeitpunkten finden nur an 10 Taktzeitpunkten Änderungen bezüglich der Schalttransistoren statt. Die entsprechenden Zeitpunkte ti sind

in den beiden Tabellenzeilen ti angegeben. Für die p-Kanal-Schalttransistoren sind dies die Zeitpunkte t0, t1, t2, t4 und t7 und für die n-Kanal-Schalttransistoren die Zeitpunkte t10, t11, t12, t14 und t17. Für die Anpassung der Schalttransistoren an eine beliebige kapazitive Last zwischen 10 pF und 100 pF sind für jeden Taktzeitpunkt ti vier gewichtete Transistoren vorhanden, deren Gewichtungsfaktoren die Zweierpotenzen $2^0, 2^1, 2^2$ und 2^3 aufweisen und damit eine kapazitive Last-Schrittgröße von 6pF ermöglichen. Die Tabelle von Fig. 6 zeigt die zugehörigen Kanalweiten, die sich aus den vorgegebenen Gewichtungsfaktoren G0 bis G3 ergeben.

Patentansprüche

1. Kurvengenerator für ein ausgangsseitiges Signal (c, d) mit
 - einer Schaltstufe (S) zur Bildung eines definierten Signalverlaufs, insbesondere bei einer kapazitiven Last, mittels Schalttransistoren, die in einer vorgegebenen Abfolge von unverzögerten (c0) und verzögerten Taktsignalen (ci) eingeschaltet sind, wobei ein Ausgangsknoten (k) deren Ausgangsströme (+i, -i) summiert, und
 - einer Verzögerungseinrichtung (V), die aus einem zugeführten Taktsignal (c') die unverzögerten (co) und die verzögerten Taktsignale (ci) bildet, wobei
 - die Verzögerungszeiten der verzögerten Taktsignale (ci) innerhalb mindestens einer Taktperiode (T) des zugeführten Taktsignals (c') vorgegebene Zeitpunkte (ti) definieren.
2. Kurvenformgenerator nach Anspruch 1, dadurch gekennzeichnet, daß die Schalttransistoren bezüglich ihrer Stromergiebigkeit gewichtet sind.
3. Kurvenformgenerator nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Schalttransistoren von den verzögerten und/oder unverzögerten Taktsignalen (ci) bzw. (c0) einzeln und/oder gruppenweise ansteuerbar sind.
4. Kurvenformgenerator nach Anspruch 1, dadurch gekennzeichnet, daß die Verzögerungseinrichtung (V) mit einer ersten Regelschaltung (VL) verkoppelt ist, die die einzelnen Verzögerungszeiten bezüglich der jeweiligen Bezugsphase und Frequenz des zugeführten Taktsignals (c') synchronisiert.
5. Kurvenformgenerator nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die jeweiligen Verzögerungszeiten und/oder die Auswahl der einzelnen oder gruppenweise von den jeweiligen unver-

zögerten (c0) oder verzögerten Taktsignalen (ci) angesteuerten Schalttransistoren von einer zweiten Regelschaltung (GR) abhängig ist, die aus einem Vergleich eines Istwertes (sk) mit einem Sollwert (r1, r2) des ausgangsseitigen Signals (c, d) ein 5
Regelsignal bildet, das insbesondere einem Gewichtungsfaktor (Gi) entspricht.

6. Kurvenformgenerator nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Verlauf der Schaltflanken des ausgangsseitigen Signals (c, d) angenähert sinusförmig ist. 10
7. Kurvenformgenerator nach Anspruch 6, dadurch gekennzeichnet, daß die Dauer der sinusförmigen Schaltflanken für die ausgangsseitigen Datensignale (d) größer als eine halbe Taktperiode ist. 15
8. Kurvenformgenerator nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß der vorgegebene Flankenverlauf des ausgangsseitigen Signals (c, d), insbesondere ein im wesentlichen punktgespiegelter Verlauf der An- bzw. Abstiegsflanke, mittels ersten bzw. dazu komplementären zweiten Schalttransistoren bewirkt wird, die über eine erste bzw. zweite Abfolge von unverzögerten (c0) und verzögerten Taktsignalen (ci) geschaltet sind und deren Ausgangsströme (+i, -i) im Ausgangsknoten (k) summiert sind. 20
25
30
9. Kurvenformgenerator nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die Schalttransistoren mittels zugeordneter Sperrsignale (spi) gesperrt werden, die insbesondere zeitgleich zu mindestens einem der unverzögerten (c0) und/oder verzögerten Taktsignale (ci) gebildet sind. 35

40

45

50

55

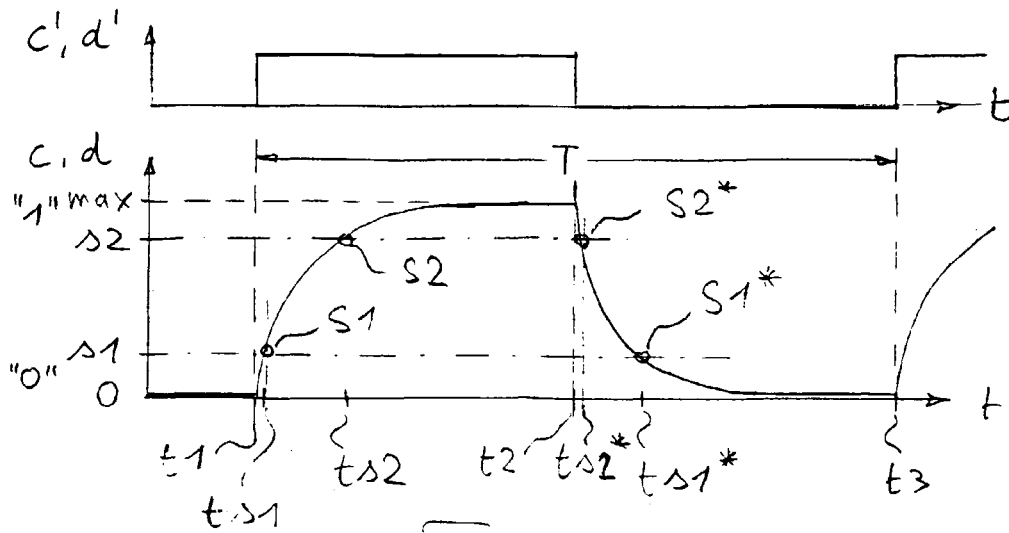


Fig. 1

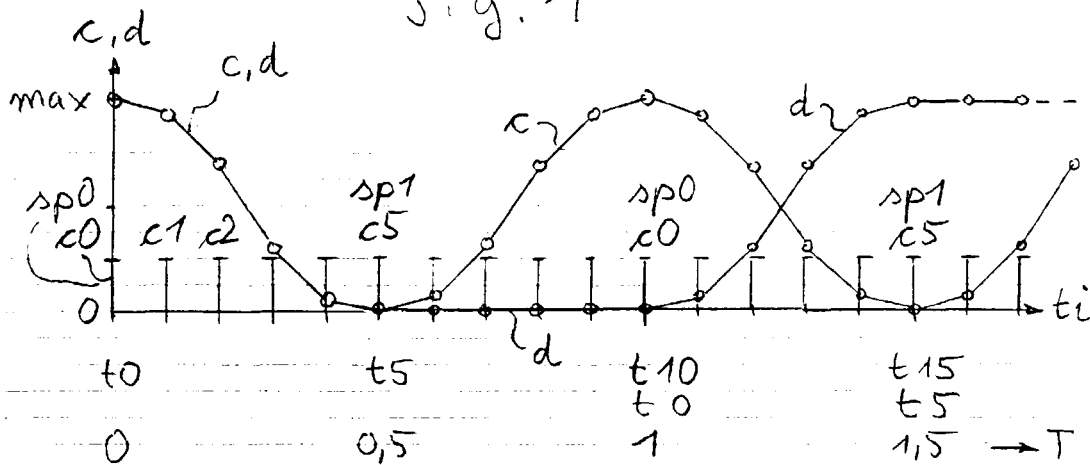
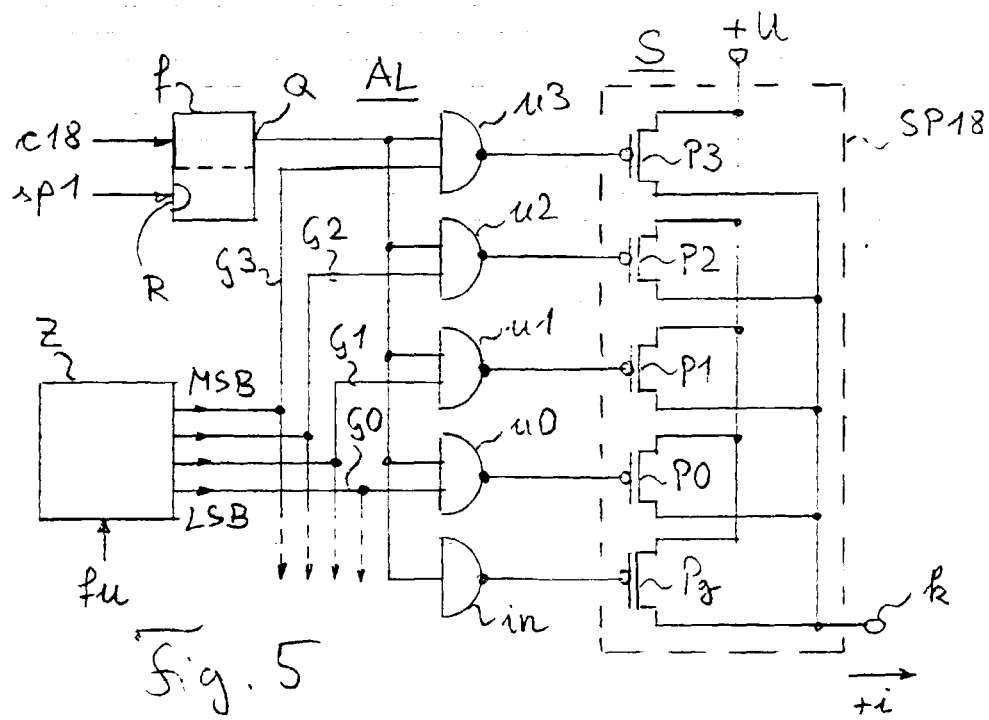
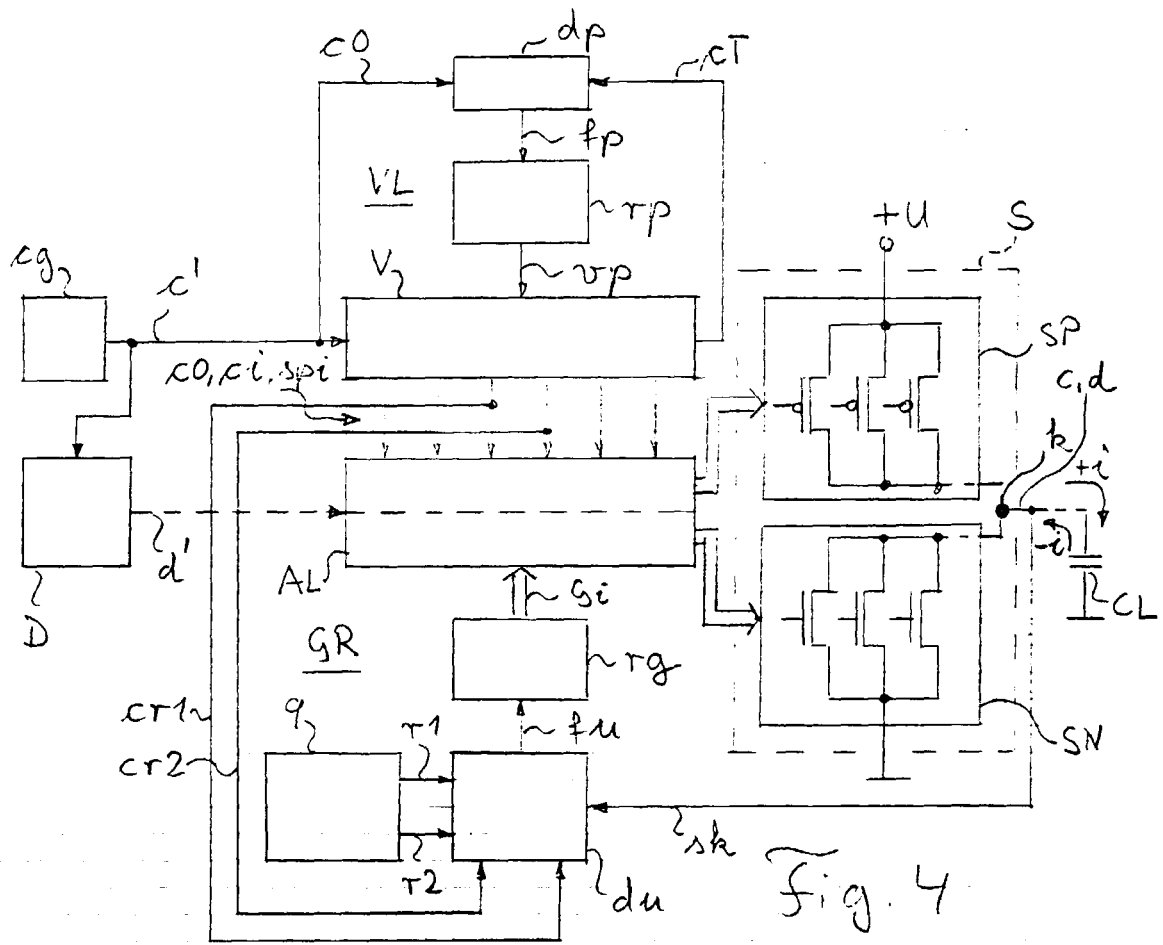


Fig. 2

t_i	N	P	t_i	P	N
t_0	3N	0 sp0	t_{15}	3P	0 sp1
t_1	+ 6N	"	t_{16}	+ 6P	"
t_2	+ 9N	"	t_{17}	+ 9P	"
t_3	+ 12N	"	t_{18}	+ 12P	"
t_4-t_7	+ 0N	"	$t_{19}-t_{22}$	+ 0P	"
t_8	+ 10N	"	t_{23}	+ 10P	"
t_9	+ 12N	"	t_{24}	+ 12P	"
t_{10}	+ 14N	"	t_{25}	+ 14P	"
t_{11}	+ 16N	"	t_{26}	+ 16P	"
$t_{12}-t_{14}$	+ 0N	"	$t_{27}-t_{29}$	+ 0P	"

Fig. 3



t_i	t_0	t_1	t_2	t_4	t_7	t_{10}
$G_3 = 2^3$	5,9/0,7	50	33,7	57,6	177,2	-
$G_2 = 2^2$	3,2/0,7	25,3	16,8	29,1	88,8	-
$G_1 = 2^1$	1,9/0,7	12,9	8,6	14,8	44,7	-
$G_0 = 2^0$	1,2/0,7	6,7	4,6	7,7	22,6	-
P_g	1,5/0,7	9,5	6,4	10,8	32,4	-
t_i	t_{10}	t_{11}	t_{12}	t_{14}	t_{17}	t_{20}, t_0
$G_3 = 2^3$	7,1/0,7	13,3	29,6	18,1	47,5	-
$G_2 = 2^2$	3,7/0,7	6,8	14,9	9,1	23,9	-
$G_1 = 2^1$	1,9/0,7	3,5	7,6	4,7	12	-
$G_0 = 2^0$	1,1/0,7	1,9	3,9	2,5	6,1	-
N_g	1,5/0,7	2,6	5,5	3,4	8,8	-

W / L W W W W W

Fig. 6



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 98 12 2216

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
X	US 5 268 847 A (POTETZ RICHARD J ET AL) 7. Dezember 1993 * Spalte 8, Zeile 15 - Spalte 10, Zeile 14; Abbildungen 6,7 *	1,3,6-8	G06G7/28
A	US 4 816 830 A (COOPER JAMES C) 28. März 1989 * Spalte 2, Zeile 22 - Spalte 3, Zeile 41; Abbildung 1 *	1,6	
D,A	EP 0 116 669 A (ITT IND GMBH DEUTSCHE ;ITT (US)) 29. August 1984 * Zusammenfassung; Abbildungen 1,2A,2B *	1	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.6)
			G06G
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 14. April 1999	Prüfer Ledrut, P
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patendokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EPO FORM 1503 03.82 (P4/C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 98 12 2216

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentdokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am

Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

14-04-1999

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5268847	A	07-12-1993	KEINE		
US 4816830	A	28-03-1989	KEINE		
EP 0116669	A	29-08-1984	AU 2450384	A	23-08-1984
			JP 1696467	C	28-09-1992
			JP 3060207	B	13-09-1991
			JP 60172814	A	06-09-1985
			US 4618788	A	21-10-1986

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82