

(19)



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11)

**EP 1 010 048 B1**

(12)

**FASCICULE DE BREVET EUROPEEN**

(45) Date de publication et mention  
de la délivrance du brevet:  
**02.05.2002 Bulletin 2002/18**

(21) Numéro de dépôt: **98929294.1**

(22) Date de dépôt: **11.05.1998**

(51) Int Cl.7: **G05F 1/00, G05F 1/575**

(86) Numéro de dépôt international:  
**PCT/EP98/02749**

(87) Numéro de publication internationale:  
**WO 98/52111 (19.11.1998 Gazette 1998/46)**

(54) **CIRCUIT DE REGULATION DE TENSION DESTINE A SUPPRIMER UN PHENOMENE DIT  
"LATCH-UP"**

SPANNUNGSREGELUNGSSCHALTUNG ZUR UNTERDRÜCKUNG DES LATCH-UP PHÄNOMENS  
VOLTAGE REGULATING CIRCUIT FOR ELIMINATING "LATCH-UP"

(84) Etats contractants désignés:  
**AT BE DE FR GB NL**

(30) Priorité: **12.05.1997 EP 97107722**

(43) Date de publication de la demande:  
**21.06.2000 Bulletin 2000/25**

(73) Titulaire: **EM Microelectronic-Marin SA  
2074 Marin (CH)**

(72) Inventeur: **PONZETTA, Antonio, Martino  
CH-2013 Colombier (CH)**

(74) Mandataire: **Ravenel, Thierry Gérard Louis  
I C B,  
Ingénieurs Conseils en Brevets SA,  
7, rue des Sors  
2074 Marin (CH)**

(56) Documents cités:  
**GB-A- 2 298 939 US-A- 5 212 616**

- **PREDIGER R ET AL: "BIPOLARE  
KONSTANTSTROMQUELLE QUERSTROM  
NACH BEDARF BEGRENZBAR" ELEKTRONIK,  
vol. 42, no. 21, 19 octobre 1993, page 132/133  
XP000402798**
- **ANTHONY S.CHAMBERS: "Programmable D.C  
Power Supplies" INDUSTRIAL ELECTRONICS,  
vol. 6, no. 12, décembre 1968, pages 480-483,  
XP002044484**

**EP 1 010 048 B1**

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

## Description

**[0001]** La présente invention concerne un circuit de régulation de tension destinée à réguler une tension perturbée par un phénomène dit "latch-up".

**[0002]** Il existe dans l'art antérieur de nombreux circuits de régulation de tension.

**[0003]** Un circuit de ce type est décrit dans le document GB 2 298 939, et est représenté à la figure 1A de la présente description. Ce circuit comprend un transistor de commande Q1 connecté en série entre une borne d'entrée I et une borne de sortie O, et un détecteur de tension de sortie D constitué de deux résistances Ra et Rb connectées en série entre la borne de sortie O et la masse du circuit.

**[0004]** Une tension correspondant à la tension de sortie détectée par le détecteur D est comparée à une tension de référence E3 par un amplificateur opérationnel AO, et la tension de sortie de ce dernier est appliquée à la borne de base d'un transistor Q2. Ainsi, un courant de base du transistor de commande Q1 peut être commandé par la tension de sortie de l'amplificateur opérationnel AO, par l'intermédiaire du transistor Q2, de sorte que l'impédance du transistor de commande Q1 est commandée pour fournir une tension prédéterminée à la borne de sortie O.

**[0005]** Un problème rencontré lors du fonctionnement d'un tel circuit réside dans l'apparition involontaire de phénomènes dits "latch-up" qui se produisent dans un composant électronique du circuit, suite à des perturbations externes telle que la fourniture d'une tension électrique, d'un courant électrique ou d'un rayonnement.

**[0006]** On désigne communément par phénomène "latch-up" tout phénomène se produisant dans un circuit intégré suite à des perturbations externes telles que la fourniture d'une tension, d'un courant ou d'un rayonnement.

**[0007]** Il existe dans l'art antérieur de nombreux dispositifs pour détecter le phénomène "latch-up" dans un substrat et, en particulier, des dispositifs analysant un courant susceptible d'être perturbé par ledit phénomène.

**[0008]** Un dispositif de ce type est décrit dans la demande de brevet japonais publiée sous le No 5 326 825 au nom de FUNAI ELECTRIC CO LTD, et est représenté dans la figure 1B de la présente description. Ce dispositif comprend un circuit intégré IC1 à une première borne duquel est fournie une tension d'alimentation Vdd, par l'intermédiaire d'un transistor T1 bipolaire, et à la seconde borne duquel est connecté un circuit résonant constitué d'une résistance R3 et d'un condensateur C3. Un circuit intégré IC2 de détection comprend une borne de masse, une première borne sur laquelle est fournie la tension d'alimentation Vdd, et une seconde borne connectée audit circuit résonnant ainsi qu'à la borne de base d'un transistor T2 bipolaire par une résistance R2. La borne de base du transistor T1 est connectée à la borne de collecteur du transistor T2 par une résistance

R1, et la borne d'émetteur du transistor T2 est mise à la masse.

**[0009]** Dans le dispositif décrit ci-dessus en relation avec la figure 1B, s'il se produit un phénomène "latch-up", une chute notable de la tension d'alimentation Vdd est détectée par le circuit intégré IC2. Dans ce cas, les transistors T1 et T2 sont bloqués, et la tension alimentant le circuit intégré IC1 est interrompue, ce qui initialise ce circuit. Par suite, le circuit intégré IC1 fonctionne à nouveau normalement.

**[0010]** Toutefois, ces dispositifs ont des structures complexes, et nécessitent un grand nombre de composants électroniques pour réaliser les fonctions de détection et de régulation.

**[0011]** Un objet de la présente invention est de prévoir un circuit de régulation de tension destiné à supprimer un phénomène "latch-up" inopportun.

**[0012]** Un autre objet de la présente invention est de prévoir un tel circuit répondant aux critères de coût et de simplicité.

**[0013]** Ces objets, ainsi que d'autres, sont atteints par le circuit de régulation de tension selon la revendication 1.

**[0014]** Un avantage du circuit selon la présente invention est de fournir un circuit de régulation de tension ayant une structure peu complexe, ce qui le rend bon marché.

**[0015]** Un autre avantage du circuit selon la présente invention est de fournir un circuit comprenant des moyens de comparaison de tension à l'entrée desquels est fournie la tension régulée, ces moyens étant agencés de manière à définir deux seuils de tension susceptibles d'être prédéterminés pour répondre aux exigences de l'utilisateur.

**[0016]** Ces objets, caractéristiques et avantages, ainsi que d'autres, de la présente invention apparaîtront plus clairement à la lecture de la description détaillée d'un mode de réalisation préféré de l'invention, donné à titre d'exemple uniquement, en relation avec les figures jointes, parmi lesquelles :

- les figures 1A et 1B déjà citées représentent deux circuits de régulation de tension selon l'art antérieur;
- la figure 2 représente un mode de réalisation préféré d'un circuit de régulation de tension selon la présente invention;
- la figure 3 représente de façon détaillée le mode de réalisation préféré des moyens de détection du circuit de la figure 2;
- la figure 4 représente la relation entre trois tensions présentes dans le circuit de régulation de tension selon le mode de réalisation préféré de la présente invention; et
- les figures 5A et 5B représentent les chronogrammes de la tension régulée et du signal fourni par le circuit de régulation de tension selon le mode de réalisation préféré de la présente invention.

**[0017]** La figure 2 représente un mode de réalisation préféré d'un circuit 1 selon la présente invention.

**[0018]** Le circuit 1 comprend une borne d'entrée I et une borne de sortie O de laquelle une tension régulée Vreg doit être fournie, la tension Vreg étant fournie de manière à être sensiblement égale à un niveau de tension Vo. Le circuit 1 comprend en outre un transistor bipolaire 2, deux condensateurs 3 et 9, une résistance 5, une diode Zener 6, et des moyens de détection de tension 11.

**[0019]** Le transistor bipolaire 2 comprend typiquement une borne de collecteur C, une borne d'émetteur E et une borne de base B, les bornes C et E étant connectées respectivement aux bornes I et O. La résistance 5 est connectée entre la borne B et la borne C du transistor 2.

**[0020]** La diode Zener 6 est agencée de sorte qu'elle fournit une tension ayant une valeur choisie de manière à former le niveau de tension Vo sur la borne de sortie O.

**[0021]** Les condensateurs 3 et 9 sont connectés entre la borne d'entrée I et la masse, et entre la borne de sortie O et la masse, respectivement. L'homme de l'art notera que le condensateur 3 est classiquement utilisé en tant que condensateur de déparasitage, et que le condensateur 9 est classiquement utilisé en tant que condensateur de lissage et/ou de déparasitage. Le condensateur 3 n'est utilisé qu'à titre de perfectionnement dans la présente invention, et ne présente donc pas de caractère limitatif pour la présente invention.

**[0022]** Les moyens 11 comprennent une borne d'entrée connectée à la borne O, de façon à recevoir en entrée la tension Vreg, une borne de masse, et une borne de sortie connectée à la borne B, de façon à fournir en sortie une tension de commande Vres pour commander le transistor 2. Les moyens 11 sont agencés de sorte qu'ils détectent si la tension Vreg est perturbée par un phénomène "latch-up" et, le cas échéant, commandent une initialisation de cette tension à son niveau de tension initial Vo, comme cela est expliqué de façon plus détaillée ci-après.

**[0023]** En effet, suite à de nombreuses expérimentations, la demanderesse de la présente invention a constaté qu'une des solutions les plus efficaces pour supprimer un phénomène "latch-up" dans un circuit intégré consiste à amener au potentiel de masse le niveau de la tension d'alimentation du circuit intégré perturbé par ledit phénomène, pendant une durée suffisante pour que ce circuit chute en-dessous d'un certain seuil de tension.

**[0024]** A cet effet, le circuit de régulation de tension selon la présente invention comprend des moyens de détection de tension qui, suite à une perturbation de type "latch-up", amènent au potentiel de masse la tension régulée, ce qui a pour effet de supprimer cette perturbation.

**[0025]** La figure 3 représente de façon détaillée le mode de réalisation préféré des moyens 11, selon la présente invention.

**[0026]** Les moyens 11 comprennent des moyens de fourniture de tension de référence 20 pour fournir une tension de référence Vref à partir de la tension Vreg, un diviseur de tension 21 destiné à fournir deux tensions régulées corrigées Vreg' et Vreg" à partir de la tension régulée Vreg, deux comparateurs de tension 23 et 22 pour comparer la tension Vref aux tensions Vreg' et Vreg", respectivement, et des moyens de commande 24 pour fournir, le cas échéant, la tension Vres susceptible de commander le transistor 2, et de réguler la tension Vreg.

**[0027]** Les moyens 20 comprennent une borne d'entrée connectée à la borne d'entrée des moyens 11 (c'est-à-dire à la borne O), de sorte que les moyens 20 reçoivent en entrée la tension Vreg, une borne de masse connectée à la masse, et une borne de sortie connectée aux comparateurs 22 et 23, de sorte que les moyens 20 fournissent en sortie la tension Vref. Les moyens 20 sont connus dans la technique, voir par exemple les articles "CMOS Analog Integrated Circuits Based on Weak Inversion Operation", de E. Vittoz et al, IEEE Journal of Solid States Circuits, vol. SC-12, No. 3, Juin 1977, et "CMOS Voltage References Using Lateral Bipolar Transistors", de M. Degrauwe et al, IEEE Journal of Solid States Circuits, vol. SC-20, No 6, décembre 1985.

**[0028]** On rappelle brièvement le fonctionnement de moyens en se référant à la figure 4. La figure 4 représente une courbe 31 correspondant à la relation entre la tension Vref et la tension Vreg. Dans cet exemple, les moyens 20 sont agencés de sorte que, pour une valeur de la tension d'entrée Vreg supérieure à 1,5 V, la tension de sortie Vref est sensiblement égale à un seuil de tension Vr' de l'ordre de 1,2 V, et qu'il existe un palier de tension sur lequel la tension Vref est sensiblement égale à un seuil de tension Vr", pour de faibles valeurs de la tension Vreg.

**[0029]** On définit un premier niveau de tension A"Vr' comme le niveau de tension au-dessous duquel un phénomène "latch-up" est supposé se produire. Autrement dit, quand la tension Vreg chute notablement, un phénomène "latch-up" est supposé responsable de cette chute, dès que la tension Vreg devient inférieure à A"Vr'. On définit également un second niveau de tension A"Vr" comme le niveau de tension au-dessous duquel un phénomène "latch-up" est supprimé. Autrement dit, lors d'une chute de la tension Vreg, comme cela est le cas quand il se produit un phénomène "latch-up", cette perturbation est supprimée, dès que la tension Vreg devient inférieure à A"Vr". Les niveaux de tension A"Vr' et A"Vr" sont des valeurs prédéterminées selon des spécificités propres aux exigences de l'utilisateur.

**[0030]** Dans le mode de réalisation préféré représenté en figure 3, le diviseur de tension 21 est formé par un pont résistif constitué de trois résistances 25, 26 et 27 montées en série entre la borne de sortie O et la masse. Le point de raccordement entre les deux résistances 26 et 27 est connecté à une première entrée du comparateur 23, de façon à fournir en entrée la tension Vreg'.

Cette tension est, par définition, proportionnelle à la tension Vreg, le rapport de proportionnalité, référencé par A', étant prédéterminé et dépendant des valeurs des résistances 27, 26 et 25. A titre illustratif, la figure 4 représente une courbe 32 correspondant à la relation entre la tension Vreg' et la tension Vreg. Le point de raccordement entre les deux résistances 25 et 26 est connecté à une première entrée du comparateur 22, de façon à fournir en entrée la tension Vreg". Cette tension est, par définition, proportionnelle à la tension Vreg, le rapport de proportionnalité, référencé par A", étant prédéterminé et dépendant des valeurs des résistances 25, 26 et 27. A titre illustratif, la figure 4 représente une courbe 33 correspondant à la relation entre la tension Vreg" et la tension Vreg.

**[0031]** Chaque comparateur 23, 22 comprend une première borne d'entrée sur laquelle est fournie une tension régulée corrigée Vreg', Vreg", respectivement, comme cela est décrit ci-dessus, et une seconde borne d'entrée sur laquelle est fournie la tension Vref, comme cela est également décrit ci-dessus. Ainsi, le comparateur 23 compare la tension Vreg' à la tension Vref, tandis que le comparateur 22 compare la tension Vreg" à la tension Vref. Chaque comparateur 22, 23 comprend en outre une borne de sortie connectée à une borne d'entrée respective des moyens de commande 24.

**[0032]** Les moyens de commande 24 comprennent en outre une borne de sortie servant de borne de sortie des moyens 11, de façon à commuter la tension Vres, quand l'un des comparateurs 22, 23 commute, ce qui commande la régulation de la tension Vreg, comme cela va être décrit de façon plus détaillée. Les moyens 24 peuvent être formés par une bascule connue en soi de l'homme de l'art, et agencée de sorte qu'elle commute pour fournir en sortie un niveau logique de tension suffisamment bas pour amener le transistor 2 dans un état bloqué, ou un niveau logique de tension suffisamment élevé pour amener le transistor 2 dans un état conducteur, ces deux niveaux logiques étant désignés "0L" et "1L", respectivement.

**[0033]** Le fonctionnement du circuit 1 selon la présente invention va être expliqué en se référant aux figures 5A et 5B.

**[0034]** Les figures 5A et 5B représentent de façon schématique des chronogrammes des tensions Vreg et Vres présentes dans le circuit 1, respectivement.

**[0035]** Quand le circuit 1 fonctionne normalement, c'est-à-dire quand il n'est pas perturbé par un phénomène "latch-up", la tension Vreg est sensiblement égale au niveau de tension Vo, et les moyens de détection de tension 11 fournissent en sortie un niveau logique "1L" comme tension Vres. En conséquence, le transistor 2 est maintenu dans un état conducteur, de sorte que la tension entre ses bornes de base et d'émetteur soustraite à la tension aux bornes de la diode Zener 6 est égale au niveau de tension Vo.

**[0036]** Considérons, à un instant t1, qu'une perturbation apparaît de telle sorte que la tension Vreg commen-

ce à chuter notablement au-dessous du niveau de tension Vo. Cette chute se poursuit jusqu'à un instant t2 où la tension Vreg atteint le niveau de tension A'Vr', puis devient inférieure à ce niveau.

**[0037]** Un phénomène "latch-up" est dès lors déclaré responsable de la perte de contrôle sur la tension Vreg. Comme cela est représenté en figure 4, quand la tension Vreg devient inférieure au niveau de tension A'Vr', la tension Vreg' (courbe 32) devient inférieure au seuil de tension Vr' (courbe 31), ce qui entraîne la commutation du comparateur 23. Comme le comparateur 23 commute, les moyens 24 amènent avantageusement la tension Vres à "0L", ce niveau logique étant suffisant pour bloquer le transistor 2. Le circuit intégré sous l'emprise du phénomène "latch-up" n'est donc plus alimenté sous le niveau de tension Vo. Ceci a pour effet de faire chuter notablement la tension Vreg et, par conséquent, la tension Vref.

**[0038]** Cette chute se poursuit jusqu'à un instant t3 où la tension Vreg atteint le niveau de tension A"Vr", puis devient inférieure à ce niveau. Le phénomène "latch-up" responsable de la perturbation de la tension Vreg en dessous du niveau de tension Vo à l'instant t2 est dès lors supprimé. Comme cela est représenté en figure 4, quand la tension Vreg devient inférieure au niveau de tension A"Vr", la tension Vreg" (courbe 33) devient inférieure au seuil de tension Vr" (courbe 31), ce qui entraîne la commutation du comparateur 22. Comme le comparateur 22 commute, les moyens 24 amènent avantageusement la tension Vres au niveau logique "1L". Comme ce niveau logique est suffisant pour rendre conducteur le transistor 2, la tension entre ses bornes de base et d'émetteur augmentée de la tension aux bornes de la diode Zener 6 est à nouveau égale, à un instant t4, au niveau de tension Vo. Le fonctionnement du circuit 1 redevient donc normal, jusqu'à ce qu'un phénomène "latch-up" perturbe à nouveau le circuit 1, et que la situation semblable à celle de l'instant t1 se répète.

**[0039]** Il va de soi pour l'homme de l'art que la description détaillée ci-dessus peut subir diverses modifications sans sortir du cadre de la présente invention. Comme variante de réalisation, on peut utiliser d'autres moyens de fourniture de tension constante que la diode Zener.

## Revendications

1. Circuit de régulation de tension (1) pour fournir une tension régulée (Vreg) ayant un niveau prédéterminé, ce circuit pouvant détecter un phénomène "latch-up" perturbant ladite tension, supprimer ce phénomène et rétablir la tension audit niveau prédéterminé, ce circuit comportant une borne d'entrée (I) et une borne de sortie (O) de laquelle est fournie la tension régulée (Vreg), ce circuit comprenant un transistor bipolaire (2) dont la borne de collecteur (C) est connectée à ladite borne d'entrée (I), et dont

la borne d'émetteur (E) est connectée à ladite borne de sortie (O), une résistance (5) connectée entre la borne de collecteur (C) et la borne de base (B) dudit transistor (2), des moyens (6) pour fournir une tension sensiblement constante sur la borne de base dudit transistor (2), et des moyens de détection de tension (11) connectés entre la borne de sortie (O) de la tension régulée et la borne de base du transistor (2), **caractérisé en ce que** les moyens de détection comprennent :

- des moyens de fourniture d'une tension de référence (20) à partir de la tension régulée, ces moyens étant reliés à une borne de masse des moyens de détection, l'entrée de ces moyens de fourniture étant connectée à la borne de sortie (O) de la tension régulée, alors que la sortie de ces moyens fournit la tension de référence susceptible d'être sensiblement égale à des premier et second seuils de tension, en fonction de la valeur de la tension régulée, ces premier et second seuils correspondant à des premier et second niveaux de tension prédéterminés, respectivement;
- un diviseur de tension (21) pour fournir par deux bornes de sortie, respectivement des première et seconde tensions régulées corrigées en fonction de ladite tension régulée, ce diviseur étant connecté d'une part à la borne de sortie (O) de la tension régulée, et d'autre part à la borne de masse desdits moyens de détection de tension (11),
- un premier comparateur de tension (23) destiné à comparer la première tension régulée corrigée au premier seuil de la tension de référence, ce comparateur (23) étant agencé pour commuter quand la première tension régulée corrigée devient inférieure audit premier seuil de la tension de référence;
- un second comparateur de tension (22) destiné à comparer la seconde tension régulée corrigée au second seuil de la tension de référence, ce comparateur (22) étant agencé pour commuter quand la seconde tension régulée corrigée devient inférieure audit second seuil de la tension de référence;
- des moyens de commande (24) pour commander la commutation dudit transistor (2) à l'état bloqué ou à l'état conducteur, deux entrées des moyens (24) de commande étant connectées aux sorties des premier et second comparateurs de tension (23, 22), respectivement, la sortie des moyens de commande étant connectée à la borne de base du transistor (2), ces moyens de commande (24) étant agencés de sorte que le transistor (2) est dans l'état bloqué quand une perturbation amène ladite tension régulée à chuter en-dessous d'un premier ni-

veau de tension prédéterminé, niveau en-dessous duquel un phénomène "latch-up" est défini responsable de cette perturbation, la commutation dudit transistor (2) à l'état bloqué amenant ladite tension régulée vers le potentiel de masse, et que le transistor (2) est dans l'état conducteur, quand ladite tension régulée est sensiblement égale au niveau prédéterminé, c'est-à-dire supérieure au premier niveau de tension, ou quand elle est inférieure à un second niveau de tension prédéterminé, niveau en-dessous duquel le phénomène "latch-up" est supprimé.

2. Circuit de détection et de régulation de tension (1) selon la revendication 1, **caractérisé en ce que** ledit diviseur de tension (21) comprend en outre trois résistances (25, 26, 27) connectées en série, de sorte qu'elles réalisent un pont résistif fournissant en sortie les première et seconde tensions régulées corrigées.
3. Circuit de détection et de régulation de tension (1) selon la revendication 1, **caractérisé en ce que** les moyens de fourniture de tension (6) sont constitués d'une diode Zener.
4. Circuit de régulation de tension (1) selon la revendication 1, **caractérisé en ce qu'il** comprend en outre un premier condensateur (3) connecté entre ladite borne d'entrée (I) dudit circuit (1) et la masse, ce condensateur étant agencé en tant que condensateur de déparasitage.
5. Circuit de régulation de tension (1) selon la revendication 1, **caractérisé en ce qu'il** comprend en outre un second condensateur (9) connecté entre ladite borne de sortie (O) dudit circuit (1) et la masse, ce condensateur étant agencé en tant que condensateur de déparasitage et de lissage.

#### Patentansprüche

1. Spannungsregulierungsschaltung (1) zum Liefern einer regulierten Spannung (Vreg), die einen vorgegebenen Pegel hat, wobei diese Schaltung ein die Spannung störendes "Latch-up"-Phänomen erfassen kann, dieses Phänomen unterdrücken kann und die Spannung auf den vorgegebenen Pegel zurückstellen kann, wobei diese Schaltung einen Eingangsanschluß (I) und einen Ausgangsanschluß (O), von dem die regulierte Spannung (Vreg) geliefert wird, umfaßt, wobei diese Schaltung einen Bipolartransistor (2), dessen Kollektorschluß (C) an den Eingangsanschluß (I) angeschlossen ist und dessen Emitteranschluß (E) an den Ausgangsanschluß (O) angeschlossen ist, einen Widerstand

(5), der zwischen den Kollektoranschluß (C) und den Basisanschluß (B) des Transistors (2) geschaltet ist, Mittel (6) zum Liefern einer im wesentlichen konstanten Spannung an den Basisanschluß des Transistors (2) sowie Spannungserfassungsmittel (11), die zwischen den Ausgangsanschluß (O) für die regulierte Spannung und den Basisanschluß des Transistors (2) geschaltet sind, umfaßt, **dadurch gekennzeichnet, daß** die Erfassungsmittel umfassen:

- Mittel zum Liefern einer Referenzspannung (20) anhand der regulierten Spannung, wobei diese Mittel mit einem Masseanschluß der Erfassungsmittel verbunden sind, wobei der Eingang dieser Liefermittel an den Ausgangsanschluß (O) für die regulierte Spannung angeschlossen ist, während der Ausgang dieser Mittel die Referenzspannung liefert, die je nach dem Wert der regulierten Spannung im wesentlichen gleich ersten und zweiten Spannungsschwellenwerten sein kann, wobei diese ersten und zweiten Schwellenwerte ersten bzw. zweiten vorgegebenen Spannungspegeln entsprechen;
- einen Spannungsteiler (21), der an zwei Ausgangsanschlüssen eine erste bzw. eine zweite regulierte Spannung liefert, die in Abhängigkeit von der regulierten Spannung korrigiert sind, wobei dieser Teiler einerseits an den Ausgangsanschluß (O) für die regulierte Spannung und andererseits an den Masseanschluß der Spannungserfassungsmittel (11) angeschlossen ist,
- einen ersten Spannungskomparator (23), der dazu bestimmt ist, die erste korrigierte regulierte Spannung mit dem ersten Schwellenwert der Referenzspannung zu vergleichen, wobei dieser Komparator (23) so beschaffen ist, daß er umschaltet, wenn die erste korrigierte regulierte Spannung kleiner als der erste Schwellenwert der Referenzspannung wird;
- einen zweiten Spannungskomparator (22), der dazu bestimmt ist, die zweite korrigierte regulierte Spannung mit dem zweiten Schwellenwert der Referenzspannung zu vergleichen, wobei dieser Komparator (22) so beschaffen ist, daß er umschaltet, wenn die zweite korrigierte regulierte Spannung niedriger als der zweite Schwellenwert der Referenzspannung wird;
- Steuermittel (24) zum Steuern des Umschaltens des Transistors (2) in den gesperrten Zustand oder in den leitenden Zustand, wobei zwei Eingänge der Steuermittel (24) an die Ausgänge des ersten bzw. des zweiten Spannungskomparators (23, 22) angeschlossen sind, während der Ausgang der Steuermittel an

den Basisanschluß des Transistors (2) angeschlossen ist, wobei diese Steuermittel (24) so beschaffen sind, daß der Transistor (2) im gesperrten Zustand ist, wenn eine Störung dazu führt, daß die regulierte Spannung unter einen ersten vorgegebenen Spannungspegel abfällt, unterhalb dessen ein "Latch-up"-Phänomen, das für diese Störung verantwortlich ist, definiert ist, wobei das Umschalten des Transistors (2) in den gesperrten Zustand die regulierte Spannung auf Massepotential legt, und daß der Transistor (2) im leitenden Zustand ist, wenn die regulierte Spannung im wesentlichen gleich dem vorgegebenen Pegel ist, d. h. höher als der erste Spannungspegel ist, oder wenn sie niedriger als ein zweiter vorgegebener Spannungspegel ist, unterhalb dessen das "Latch-up"-Phänomen unterdrückt wird.

2. Spannungserfassungs- und Spannungsregulierungsschaltung (1) nach Anspruch 1, **dadurch gekennzeichnet, daß** der Spannungsteiler (21) außerdem drei in Reihe geschaltete Widerstände (25, 26, 27) umfaßt, derart, daß sie eine Widerstandsbrücke bilden, die am Ausgang die ersten und zweiten korrigierten regulierten Spannungen liefert.
3. Spannungserfassungs- und Spannungsregulierungsschaltung (1) nach Anspruch 1, **dadurch gekennzeichnet, daß** die Spannungsliefermittel (6) aus einer Zener-Diode gebildet sind.
4. Spannungsregulierungsschaltung (1) nach Anspruch 1, **dadurch gekennzeichnet, daß** sie außerdem einen ersten Kondensator (3) umfaßt, der zwischen den Eingangsanschluß (I) der Schaltung (1) und Masse geschaltet und als Entstörungskondensator ausgebildet ist.
5. Spannungsregulierungsschaltung (1) nach Anspruch 1, **dadurch gekennzeichnet, daß** sie außerdem einen zweiten Kondensator (9) umfaßt, der zwischen den Ausgangsanschluß (O) der Schaltung (1) und Masse geschaltet und als Entstörungs- und Glättungskondensator ausgebildet ist.

#### Claims

1. Voltage regulator circuit (1) for supplying a regulated voltage (Vreg) having a predetermined level, this circuit being able to detect a latch-up phenomenon disturbing said voltage, to suppress this phenomenon and re-establish the voltage at said predetermined level, this circuit including an input terminal (I) and an output terminal (O) from which the regulated voltage (Vreg) is supplied, this circuit including a bipolar transistor (2) whose collector terminal (C)

is connected to said input terminal (I), and whose emitter terminal (E) is connected to said output terminal (O), a resistor (5) connected across the collector terminal (C) and the base terminal (B) of said transistor (2), means (6) for supplying a substantially constant voltage at the base terminal of said transistor (2) and voltage detection means (11) connected across the output terminal (O) of the regulated voltage and the base terminal of said transistor (2), **characterised in that** detection means include :

- reference voltage supply means (20) from the regulated voltage, said means being connected to an earth terminal of said detection means, the input of said supply means being connected to the output terminal (O) of the regulated voltage and the output of said supply means supplying the reference voltage capable of being substantially equal to first and second voltage thresholds, as a function of the value of the regulated voltage, these first and second thresholds corresponding to said first and second predetermined voltage levels, respectively;
- a voltage divider (21) for supplying via two output terminals, respectively first and second regulated voltages corrected as a function of said regulated voltage, this divider being connected to the output terminal (O) of the regulated voltage and to the earth terminal of said voltage detection means (11),
- a first voltage comparator (23) intended to compare the first corrected regulated voltage to the first reference voltage threshold, this comparator (23) being arranged to switch when the first corrected regulated voltage becomes lower than said first reference voltage threshold;
- a second voltage comparator (22) intended to compare the second corrected regulated voltage to the second reference voltage threshold, this comparator (22) being arranged to switch when the second corrected regulated voltage becomes lower than said second reference voltage threshold;
- control means (24) for controlling the switching of said transistor (2) into the blocked state or the conducting state, two inputs of said control means (24) being connected to the outputs of the first and second voltage comparators (23, 22), respectively, the output of said control means being connected to the base terminal of the transistor (2), these control means (24) being arranged so that the transistor (2) is in the blocked state when a disturbance causes said regulated voltage to drop below a first predetermined voltage level, a level below which a latch-up phenomenon is defined as being responsible for said disturbance, the switching of said transistor (2) into the blocked state bring-

ing said regulated voltage to the earth potential, and so that the transistor (2) is in the conducting state when said regulated voltage is substantially equal to the predetermined level, i.e. higher than the first voltage level, or when it is lower than a second predetermined voltage level, the latch-up phenomenon being suppressed below such level.

2. Voltage detection and regulator circuit (1) according to claim 1, **characterised in that** said voltage divider (21) further includes three resistors (25, 26, 27) connected in series, so that they form a resistive bridge supplying at its output the first and second corrected regulated voltages.
3. Voltage detection and regulator circuit (1) according to claim 1, **characterised in that** the voltage supply means (6) are formed of a Zener diode.
4. Voltage regulator circuit (1) according to claim 1, **characterised in that** it further includes a first capacitor (3) connected across said input terminal (I) of said circuit (1) and earth, this capacitor being arranged as an interference suppression capacitor.
5. Voltage regulator circuit (1) according to claim 1, **characterised in that** it further includes a second capacitor (9) connected across said output terminal (O) of said circuit (1) and earth, this capacitor being arranged as an interference suppression and smoother capacitor.

Fig. 1 A  
( ART ANTERIEUR )

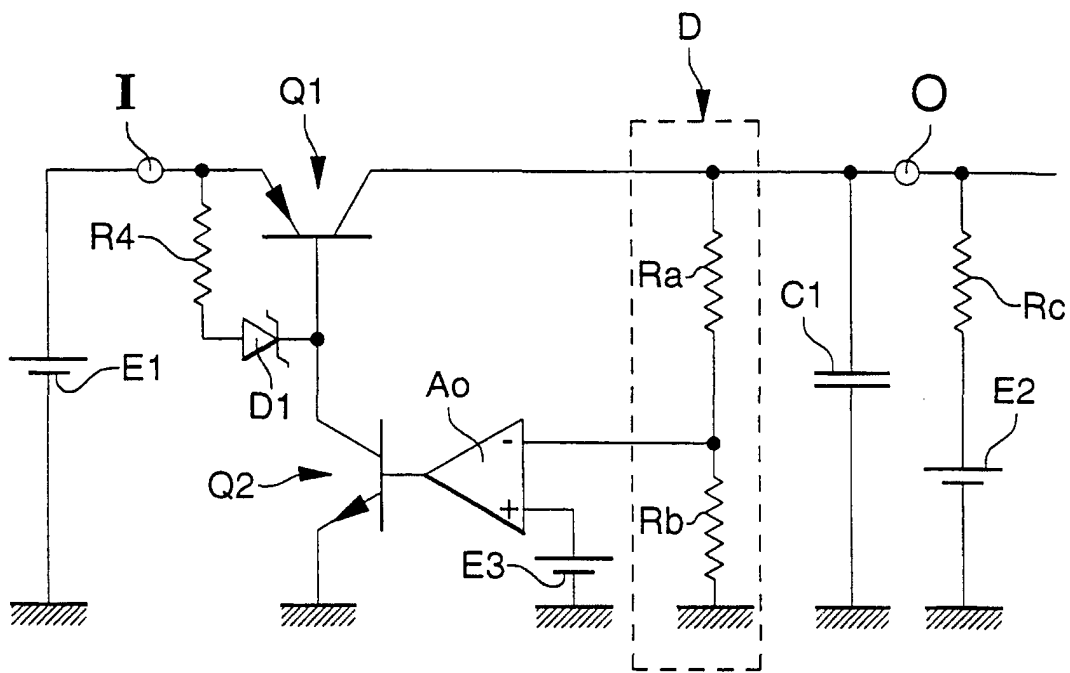




Fig. 1B  
( ART ANTERIEUR )

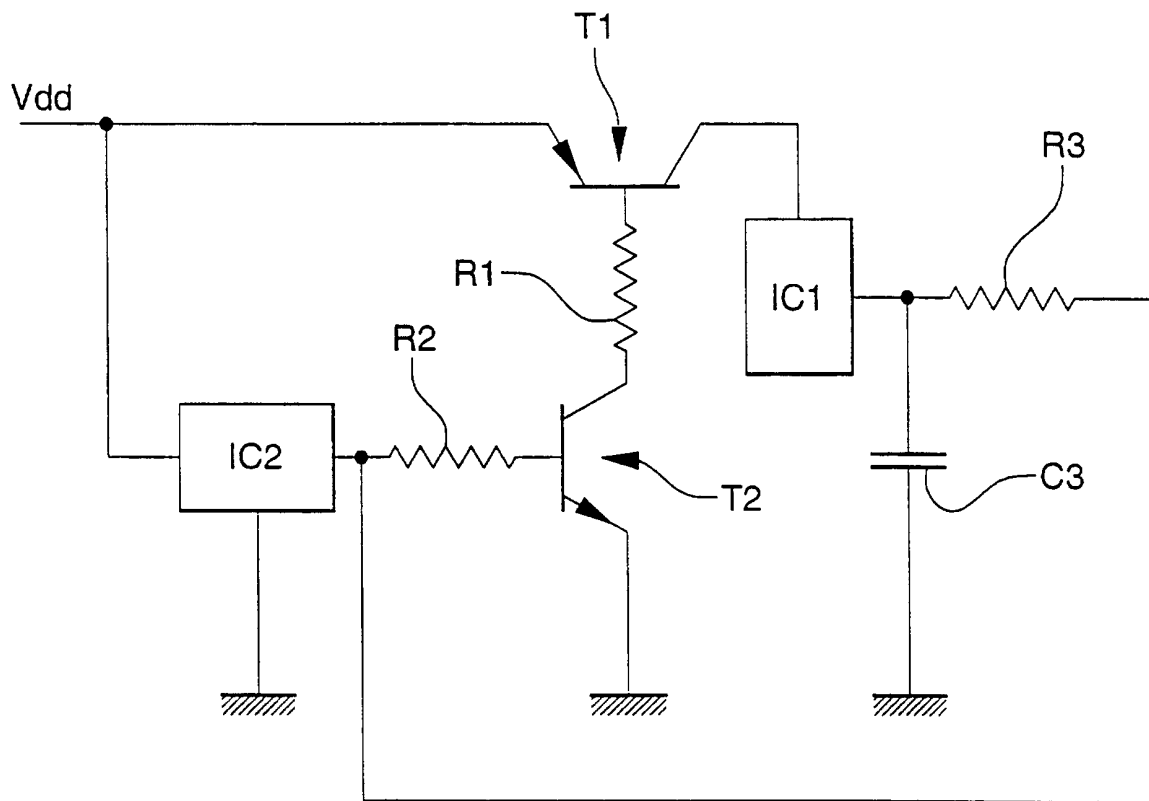


Fig. 2

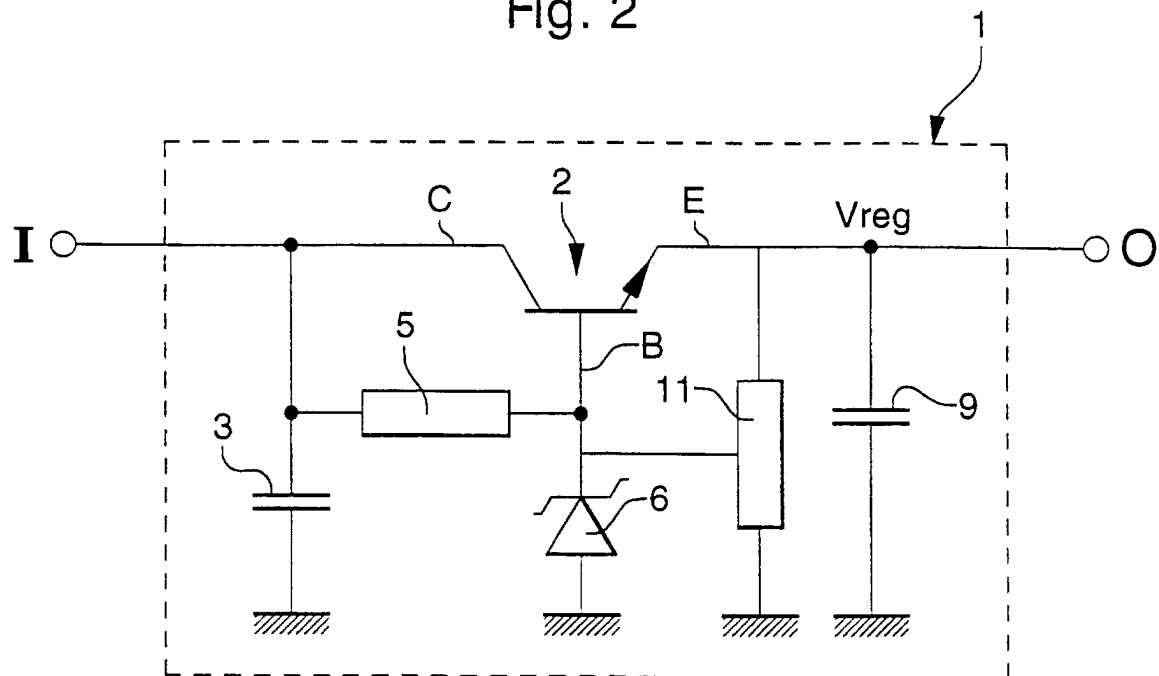


Fig. 3

