



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
07.03.2001 Bulletin 2001/10

(51) Int Cl.7: **G05F 1/59**

(21) Numéro de dépôt: **00410109.3**

(22) Date de dépôt: **30.08.2000**

(84) Etats contractants désignés:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE**
Etats d'extension désignés:
AL LT LV MK RO SI

(71) Demandeur: **STMicroelectronics SA
94250 Gentilly Cedex (FR)**

(72) Inventeur: **Renous, Claude
38100 Grenoble (FR)**

(30) Priorité: **31.08.1999 FR 9911033**

(74) Mandataire: **de Beaumont, Michel
1, rue Champollion
38000 Grenoble (FR)**

(54) **Circuit d'alimentation à sélecteur de tension**

(57) L'invention concerne un circuit d'alimentation recevant plusieurs tensions d'alimentation (V1, V2, V3) sur des commutateurs respectifs (T1, T2, T3), au moins un des commutateurs (T1) étant un premier transistor PMOS connecté entre une des tensions d'alimentation (L1) et une borne de sortie commune (S), ce commutateur étant associé à un deuxième transistor (T3) PMOS relié entre la grille du premier transistor et un noeud

d'alimentation (N) maintenu à la plus haute des autres tensions d'alimentation, à un troisième transistor (T4) NMOS moins conducteur à l'état passant que le deuxième transistor, relié entre la grille du premier transistor et la masse, et à un quatrième transistor (T5) PMOS dont la source est reliée à la ligne d'alimentation du commutateur et dont le drain est relié à la masse par l'intermédiaire d'une source de courant (R1) et aux grilles des deuxième, troisième et quatrième transistors.

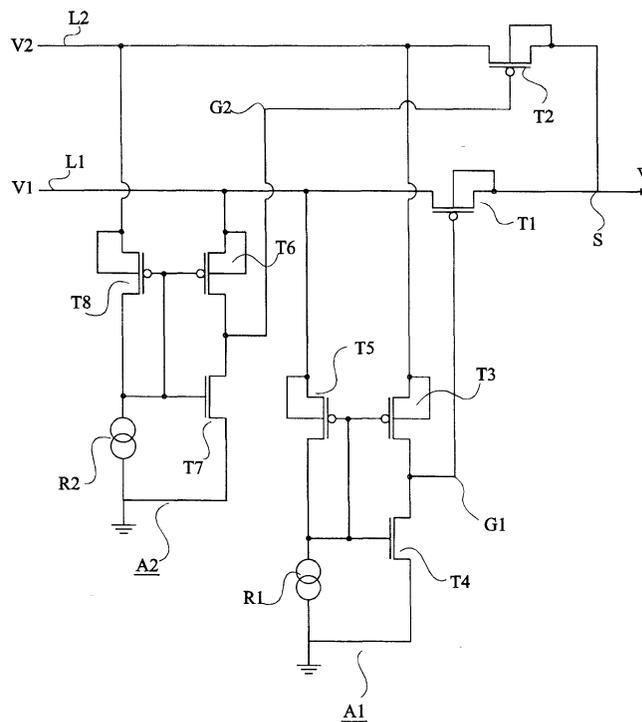


Fig 3

Description

[0001] La présente invention concerne les circuits d'alimentation, et en particulier les circuits d'alimentation qui reçoivent plusieurs tensions d'alimentation et qui sélectionnent la tension d'alimentation la plus élevée. De tels circuits d'alimentation sont utilisés, par exemple, dans un appareil à batterie rechargeable pour alimenter l'appareil, le cas échéant, à partir de la batterie ou à partir d'une source d'alimentation externe.

[0002] La figure 1 représente un circuit d'alimentation classique recevant deux tensions d'alimentation V1 et V2 sur deux lignes d'alimentation respectives L1 et L2, et fournissant une tension Vdd sur un noeud de sortie S. Les deux lignes d'alimentation sont reliées au noeud de sortie par deux transistors MOS à canal P (PMOS), respectivement T1 et T2. Un comparateur A1 a deux entrées connectées respectivement aux deux lignes d'alimentation de manière que la sortie du comparateur A1 est à un niveau bas lorsque la tension V1 est supérieure à la tension V2 et à un niveau haut dans le cas contraire. La sortie du comparateur A1 est reliée directement à la grille du transistor T1, et est reliée à la grille du transistor T2 par l'intermédiaire d'un inverseur I1.

[0003] De tels circuits d'alimentation sont utilisés lorsque l'on veut obtenir une faible chute de tension entre la tension V1 ou V2 et la tension Vdd. Dans les cas où l'on peut admettre une chute de tension importante, on utilise des diodes à la place des transistors T1 et T2.

[0004] La figure 2 représente l'évolution des tensions de grille V_{G1} et V_{G2} des transistors T1 et T2 pour un exemple de variation relative des deux tensions d'alimentation V1 et V2. La tension V1 est constante, tandis que la tension V2 croise la tension V1 en décroissant, puis en croissant. On suppose que le comparateur A1 et l'inverseur I1 sont tous deux alimentés entre la tension Vdd et la masse.

[0005] Lorsque la tension V2 dépasse la tension V1 d'un seuil ΔV caractéristique du comparateur A1, la tension V_{A1} fournie par le comparateur est égale à la tension Vdd. Ainsi, les grilles G1 et G2 sont respectivement à la tension Vdd et à la masse. Il en résulte que le transistor T2 conduit et que le transistor T1 est bloqué, le transistor T2 transmettant la tension V2 sur le noeud de sortie S. De même, lorsque la tension V2 est inférieure à la tension V1 du seuil ΔV , la tension V_{A1} fournie par le comparateur est à la masse, d'où il résulte que le transistor T2 est bloqué et que le transistor T1 conduit, le transistor T1 transmettant la tension V1 sur le noeud de sortie S.

[0006] La plage $\pm \Delta V$ est une plage où le comparateur, par nature imparfait, se comporte de manière linéaire. Le comparateur se comporte de manière linéaire entre des instants t1 et t2 où la tension V2 décroît progressivement de la tension $V1 + \Delta V$ à la tension $V1 - \Delta V$ et la tension V_{G1} passe progressivement de la tension Vdd à la masse.

[0007] L'inverseur I1 comporte un transistor PMOS et

un transistor MOS à canal N (NMOS). On appelle V_{TH} la tension de seuil du transistor PMOS de l'inverseur I1, laquelle tension est également celle des transistors PMOS T1 et T2. De même, on appelle V_{TL} la tension de seuil du transistor NMOS.

[0008] A un instant t3, la tension V_{G1} est égale à la tension $V_{dd} - V_{TH}$, et à un instant t4 la tension V_{G1} atteint la tension V_{TL} . La tension de grille V_{G2} , en sortie de l'inverseur I1, évolue progressivement entre un niveau nul à l'instant t3 et le niveau Vdd à l'instant t4.

[0009] Le transistor T1 commence à conduire lorsque sa tension de grille V_{G1} atteint la tension $V_{dd} - V_{TH}$, c'est à dire à l'instant t3.

[0010] A un instant t5 la tension de grille V_{G2} atteint la tension $V_{dd} - V_{TH}$. Le transistor T2 cesse de conduire à l'instant t5.

[0011] Ainsi, il y a une plage de conduction simultanée (CS) des transistors T1 et T2 entre les instants t3 et t5. Il y a une plage de conduction simultanée CS similaire de part et d'autre d'un instant tr où la tension V2 devient de nouveau supérieure à la tension V1.

[0012] Lors d'une conduction simultanée, les sources d'alimentation produisant les tensions V1 et V2 sont en court-circuit, ce qui n'est pas souhaitable. De plus, si la source d'alimentation fournissant la tension d'alimentation la plus élevée présente une forte impédance, le court-circuit des sources d'alimentation fait chuter la tension d'alimentation la plus élevée au niveau de l'autre tension d'alimentation et le comparateur A1 ne peut plus déterminer laquelle des tensions d'alimentation est la plus élevée. Le circuit de sélection d'alimentation est alors bloqué dans un état intermédiaire et n'assure plus sa fonction correctement.

[0013] D'autre part, le principe utilisé dans le circuit de la figure 1 ne permet pas de sélectionner la plus élevée de trois tensions d'alimentation ou plus.

[0014] Un objet de la présente invention est de prévoir un circuit de sélection de la plus élevée de deux tensions d'alimentation ou plus, pouvant fonctionner sans mise en court-circuit des lignes d'alimentation.

[0015] Pour atteindre cet objet, ainsi que d'autres, la présente invention prévoit un circuit d'alimentation recevant plusieurs tensions d'alimentation sur des lignes d'alimentation respectives, dont chacune est reliée à un commutateur respectif, au moins un des commutateurs étant un premier transistor MOS d'un premier type de conductivité, connecté entre la ligne d'alimentation associée et une borne de sortie commune, qui comprend, pour ledit au moins un commutateur : un deuxième transistor, du premier type de conductivité, relié entre la grille du premier transistor et un noeud d'alimentation maintenu à la plus haute des autres tensions d'alimentation, un troisième transistor, d'un second type de conductivité, moins conducteur à l'état passant que le deuxième transistor, relié entre la grille du premier transistor et un potentiel de référence, et un quatrième transistor, du premier type de conductivité, dont la source est reliée à la ligne d'alimentation associée au commu-

tateur et dont le drain est relié au potentiel de référence par l'intermédiaire d'une source de courant, et aux grilles des deuxième, troisième et quatrième transistors.

[0016] Selon un mode de réalisation de la présente invention, ladite source de courant est un cinquième transistor, du second type de conductivité, dont la grille est reliée audit noeud d'alimentation.

[0017] Selon un mode de réalisation de la présente invention, le circuit d'alimentation comporte deux lignes d'alimentation et deux commutateurs respectifs, le noeud d'alimentation associé à un commutateur étant relié directement à la ligne d'alimentation associée à l'autre commutateur.

[0018] Selon un mode de réalisation de la présente invention, le circuit d'alimentation comporte trois lignes d'alimentation, un sixième transistor connecté entre la troisième ligne d'alimentation et le noeud d'alimentation et dont la grille est reliée à la deuxième ligne d'alimentation, et un septième transistor connecté entre la deuxième ligne d'alimentation et le noeud d'alimentation et dont la grille est reliée à la troisième ligne d'alimentation.

[0019] Selon un mode de réalisation de la présente invention, au moins un des commutateurs est une diode.

[0020] Selon un mode de réalisation de la présente invention, le deuxième transistor a un rapport largeur/longueur de 20/2, et le troisième transistor a un rapport W/L de 3/25.

[0021] Selon un mode de réalisation de la présente invention, le quatrième transistor a un rapport W/L de 40/2, et le cinquième transistor a un rapport W/L de 3/50.

[0022] Selon un mode de réalisation de la présente invention, les premier et second types de conductivité sont respectivement P et N.

[0023] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, décrite précédemment, représente schématiquement un circuit d'alimentation à sélection de tension selon l'art antérieur ;

la figure 2, décrite précédemment, illustre le fonctionnement du circuit de la figure 1 ;

la figure 3 représente schématiquement un mode de réalisation d'un circuit d'alimentation selon la présente invention ; et

la figure 4 représente schématiquement un second mode de réalisation d'un circuit d'alimentation selon la présente invention.

[0024] Selon la présente invention, on utilise un comparateur distinct pour commander chacun des transistors T1 et T2, les caractéristiques de chacun des comparateurs étant choisies de manière à supprimer la plage de conduction simultanée.

[0025] La figure 3 représente un circuit d'alimentation selon la présente invention, recevant deux tensions d'alimentation V1 et V2 sur deux lignes d'alimentation respectives L1 et L2. Les lignes d'alimentation sont, comme en figure 1, respectivement reliées à un noeud de sortie S par des transistors PMOS T1 et T2. Les transistors T1 et T2 sont commandés par deux comparateurs respectifs A1 et A2 de structure particulière. Le comparateur A1 comprend un transistor PMOS T3 dont la source est reliée à la ligne L2, et dont le drain, constituant la sortie du comparateur, est relié à la grille G1. Le drain d'un transistor NMOS T4 est relié à la grille G1 et sa source est reliée à un potentiel de référence, ici la masse. Les grilles des transistors T3 et T4 sont reliées au drain et à la grille d'un transistor PMOS T5 connecté en diode dont la source est reliée à la ligne L1 et dont le drain est relié à la masse par l'intermédiaire d'une source de courant R1.

[0026] Le comparateur A2 associé au transistor T2 comprend des transistors T6, T7 et T8 et une source de courant R2 homologues respectifs des transistors T3, T4 et T5 et de la source de courant R1. Les sources des transistors T6 et T8 sont connectées respectivement aux lignes L1 et L2, c'est à dire de façon intervertie par rapport à la connexion de leurs homologues T3 et T5.

[0027] Si l'on considère, selon une première approximation, que le transistor T4 se comporte comme une source de courant semblable à la source de courant R1, le comparateur A1 se comporte comme un comparateur classique du type à entrée par les sources. Ainsi, lorsque la tension V2 est supérieure à la tension V1, la sortie du comparateur A1 est amenée à une tension proche de la tension V2 et le transistor T1 est ouvert. Dans le cas contraire, la sortie du comparateur est amenée à une tension proche de la masse et le transistor T1 est fermé. Le comparateur A2 a un fonctionnement homologue.

[0028] Selon cette approximation cependant, lorsque V1 = V2, l'équilibre des courants dans les transistors T3 et T5 est tel que la sortie du comparateur est amenée à une tension comprise entre la masse et V1 ou V2. Les transistors T1 et T2 ne sont alors pas franchement bloqués et il y a conduction simultanée.

[0029] Selon la présente invention, le transistor T4 est prévu pour être moins conducteur que le transistor T3, notamment lorsque V1 = V2. Alors, lorsque V1 = V2, le transistor T3 tend à fournir un courant plus élevé que celui que tend à absorber le transistor T4. Il en résulte que la sortie du comparateur est amenée vers le potentiel V2 et que le transistor T1 se bloque. Bien entendu, la sortie du comparateur doit pouvoir être amenée à la masse lorsque V1 > V2, et donc le transistor T4 devenir plus conducteur que le transistor T3. Pour cela, la grille du transistor T4 est connectée au drain du transistor T5, d'où il résulte que le transistor T4 devient d'autant plus conducteur que la tension V1 est élevée. On notera que, selon une variante de mode de réalisation, on pourra connecter la grille du transistor T4 à la source du tran-

sistor T5.

[0030] Une solution pour obtenir un transistor T4 aux caractéristiques souhaitées est d'allonger sa grille par rapport à la grille du transistor T3. On peut ainsi par exemple utiliser un transistor T4 dont la grille a un rapport largeur/longueur (W/L) de 3/25 alors que le transistor T3 a une grille dont le rapport W/L est de 20/2.

[0031] Le transistor T7 du comparateur A2 a les mêmes propriétés que le transistor T4, de manière que le fonctionnement du comparateur A2 soit homologue à celui du comparateur A1.

[0032] Ainsi, selon la présente invention, les transistors T1 et T2 se trouvent tous deux ouverts lorsque les tensions V1 et V2 sont égales et il n'y a pas de conduction simultanée.

[0033] La présente invention peut également être adaptée à un circuit d'alimentation recevant plus de deux tensions d'alimentation.

[0034] La figure 4 représente schématiquement un circuit recevant trois tensions V1, V2 et V3 respectivement sur trois lignes d'alimentation L1, L2 et L3. La ligne L1 est reliée à la borne S par un transistor PMOS T1 commandé par un comparateur A1 tel que celui de la figure 3, connecté pour comparer la tension V1 à une tension VN présente sur un noeud N. Le noeud N est relié aux lignes L3 et L2 par deux transistors PMOS T10 et T11 respectifs dont les grilles sont reliées respectivement aux lignes L2 et L3. Avec cette configuration, le noeud N reçoit la plus élevée des tensions V2 et V3. Pour éviter qu'une conduction simultanée des transistors T10 et T11 n'entraîne les problèmes mentionnés précédemment, ces derniers sont choisis très résistifs. Pour des raisons de clarté, on n'a représenté en figure 4 que le comparateur A1. Deux comparateurs homologues A2 et A3 peuvent être connectés pour commander deux transistors T2 et T3 sur les lignes L2 et L3.

[0035] Le fonctionnement du comparateur A1 est sensiblement le même que celui décrit en relation avec la figure 3. Selon que la tension V1 est plus faible ou plus élevée que la tension VN, le transistor T1 est ouvert ou fermé. De même, lorsque la tension V1 est égale à la tension VN, le transistor T1 est ouvert de manière à éviter une conduction simultanée avec d'éventuels transistors homologues au transistor T1 sur les lignes L2 et L3.

[0036] Comme cela est représenté, la source de courant R1 de la figure 3 est ici remplacée par un transistor NMOS T9 dont la grille est commandée par la tension VN. Ceci permet de diminuer la consommation de courant du comparateur A1. Si la tension V1 est la tension maximale, les tensions V2 et V3 (donc VN) sont annulées en pratique, ce qui provoque le blocage du transistor T4 et donc l'annulation du courant qui le traverse, ce qui n'est pas le cas avec une source de courant R1 classique telle qu'une résistance.

[0037] On notera que le transistor T9 est prévu pour être traversé par un courant du même ordre que le courant qui traverse le transistor T4. A titre d'exemple, si

l'on utilise les rapports W/L cités précédemment, la grille du transistor T9 aura de préférence un rapport w/L de 3/50.

[0038] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme du métier. En particulier, si l'une des tensions d'alimentation est relativement élevée par rapport à la chute de tension dans une diode, on pourra remplacer le transistor reliant cette tension d'alimentation à la borne de sortie S par une diode telle que la diode D3 représentée en figure 4.

[0039] On a décrit en figure 4 un circuit d'alimentation recevant trois tensions d'alimentation, mais l'homme du métier adaptera sans difficulté la présente invention à un circuit d'alimentation recevant plus de trois tensions d'alimentation.

[0040] Enfin, on a décrit dans la présente demande des circuits d'alimentation recevant des tensions d'alimentation positives, dans lesquels les lignes d'alimentation sont reliées à la borne de sortie par des transistors PMOS. L'homme du métier adaptera sans difficulté la présente invention à un circuit d'alimentation recevant des tensions d'alimentation négatives, dans lequel les lignes d'alimentation sont reliées à la borne de sortie par des transistors NMOS. Dans ce cas, les transistors PMOS et NMOS des figures 3 et 4 seront remplacés par des transistors du type opposé.

30 Revendications

1. Circuit d'alimentation recevant plusieurs tensions d'alimentation (V1, V2, V3) sur des lignes d'alimentation respectives (L1, L2, L3), dont chacune est reliée à un commutateur respectif (T1, T2, T3), au moins un des commutateurs (T1) étant un premier transistor MOS, d'un premier type de conductivité, connecté entre la ligne d'alimentation associée (L1) et une borne de sortie commune (S),
comprenant, pour ledit au moins un commutateur :

un deuxième transistor (T3), du premier type de conductivité, relié entre la grille du premier transistor et un noeud d'alimentation (N) maintenu à la plus haute des autres tensions d'alimentation,

un troisième transistor (T4), d'un second type de conductivité, moins conducteur à l'état passant que le deuxième transistor, relié entre la grille du premier transistor et un potentiel de référence, et

un quatrième transistor (T5), du premier type de conductivité, dont la source est reliée à la ligne d'alimentation associée au commutateur et dont le drain est relié au potentiel de référence par l'intermédiaire d'une source de courant (R1), et aux grilles des deuxième, troisième et

quatrième transistors.

2. Circuit d'alimentation selon la revendication 1, caractérisé en ce que ladite source de courant est un cinquième transistor (T9), du second type de conductivité, dont la grille est reliée audit noeud d'alimentation (N). 5
3. Circuit d'alimentation selon la revendication 2 caractérisé en ce qu'il comporte deux lignes d'alimentation (L1, L2) et deux commutateurs respectifs (T1, T2), le noeud d'alimentation associé à un commutateur étant relié directement à la ligne d'alimentation associée à l'autre commutateur. 10
15
4. Circuit d'alimentation selon la revendication 2, caractérisé en ce qu'il comporte :
trois lignes d'alimentation (L1, L2, L3),
un sixième transistor (T10) connecté entre la troisième ligne d'alimentation (L3) et le noeud d'alimentation, dont la grille est reliée à la deuxième ligne d'alimentation (L2), et
un septième transistor (T11) connecté entre la deuxième ligne d'alimentation (L2) et le noeud d'alimentation, dont la grille est reliée à la troisième ligne d'alimentation (L3). 20
25
5. Circuit d'alimentation selon la revendication 4, caractérisé en ce qu'au moins un des commutateurs est une diode (D3). 30
6. Circuit d'alimentation selon l'une quelconque des revendications précédentes, caractérisé en ce que : 35
le deuxième transistor (T3) a un rapport largeur/longueur (W/L) de 20/2, et
le troisième transistor (T4) a un rapport W/L de 3/25. 40
7. Circuit d'alimentation selon la revendication 6, caractérisé en ce que :
le quatrième transistor (T5) a un rapport W/L de 40/2, et
le cinquième transistor (T9) a un rapport W/L de 3/50. 45
8. Circuit d'alimentation selon l'une quelconque des revendications précédentes, caractérisé en ce que les premier et second types de conductivité sont respectivement P et N. 50
55

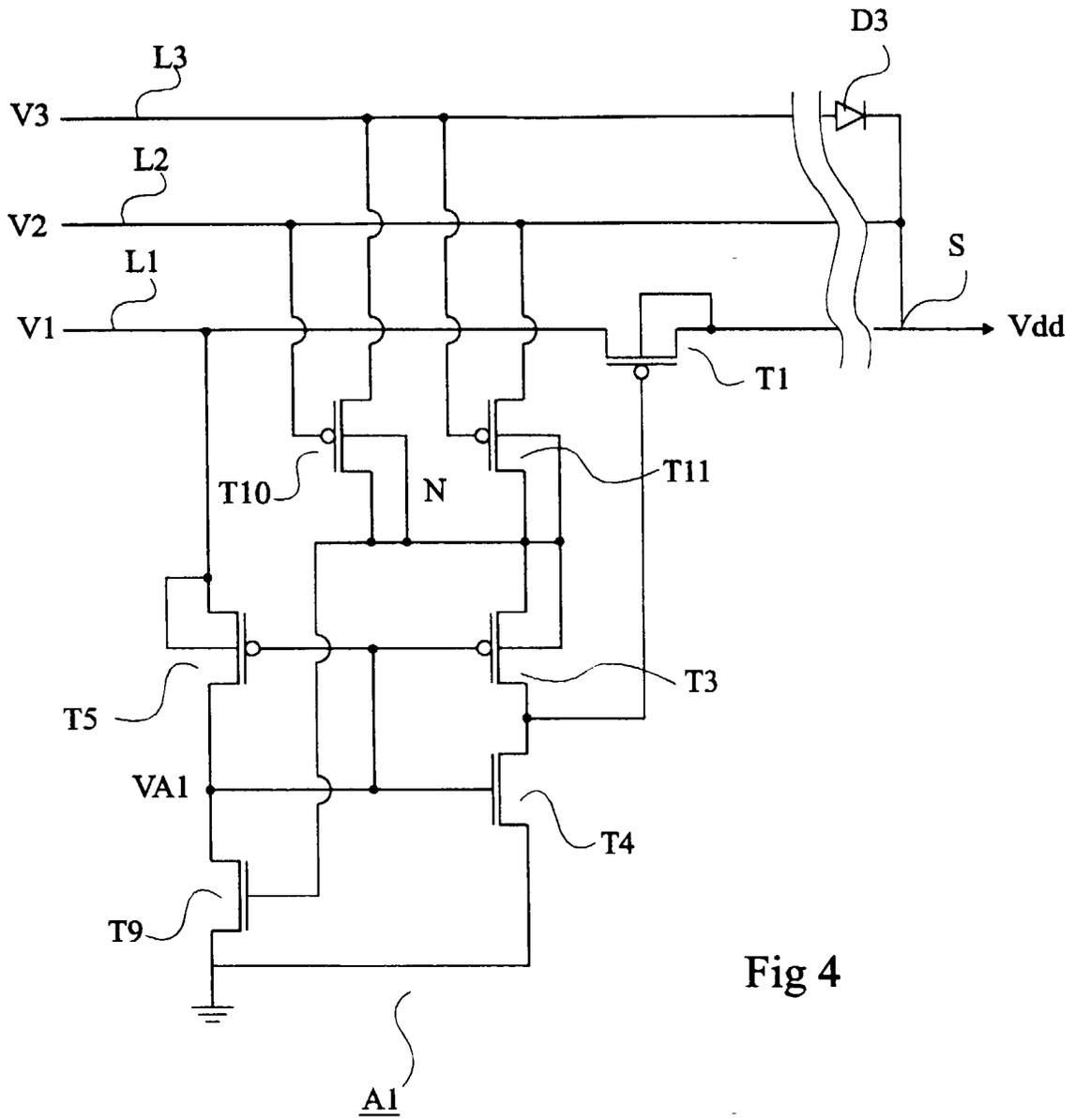


Fig 4



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 00 41 0109

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
X	EP 0 838 745 A (SGS THOMSON MICROELECTRONICS) 29 avril 1998 (1998-04-29) * le document en entier * ---	1-8	G05F1/59
X	US 5 550 494 A (SAWADA KIKUZO) 27 août 1996 (1996-08-27) * le document en entier * ---	1-8	
A	EP 0 442 688 A (SEIKO INSTR INC) 21 août 1991 (1991-08-21) * colonne 1, ligne 44 - colonne 3, ligne 23 * ---	1-8	
A	US 5 748 033 A (KAVEH GOLNAZ ET AL) 5 mai 1998 (1998-05-05) * colonne 2, ligne 66 - colonne 3, ligne 10 * ---	1-8	
A	US 5 341 034 A (MATTHEWS WALLACE E) 23 août 1994 (1994-08-23) * colonne 2, ligne 28 - colonne 3, ligne 50 * ---	1-8	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7)
A	US 4 617 473 A (BINGHAM DAVID) 14 octobre 1986 (1986-10-14) * abrégé * -----	1-8	G05F H02J
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 29 novembre 2000	Examineur Schobert, D
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503.03.82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 00 41 0109

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

29-11-2000

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0838745 A	29-04-1998	FR 2755316 A	30-04-1998
		US 6002295 A	14-12-1999
US 5550494 A	27-08-1996	JP 7220484 A	18-08-1995
		KR 173042 B	30-03-1999
EP 0442688 A	21-08-1991	JP 2733796 B	30-03-1998
		JP 3235517 A	21-10-1991
		KR 173321 B	01-04-1999
		US RE36179 E	06-04-1999
		US 5157291 A	20-10-1992
US 5748033 A	05-05-1998	AUCUN	
US 5341034 A	23-08-1994	AUCUN	
US 4617473 A	14-10-1986	AUCUN	

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82