

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 1 083 471 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication et mention
de la délivrance du brevet:
17.11.2004 Bulletin 2004/47

(51) Int Cl.7: **G05F 1/46**, H03K 17/56,
G05F 1/565

(21) Numéro de dépôt: **00119687.2**

(22) Date de dépôt: **08.09.2000**

(54) **Régulateur de tension**

Spannungsregler

Voltage regulator

(84) Etats contractants désignés:
DE FR GB IT

(30) Priorité: **10.09.1999 FR 9911492**

(43) Date de publication de la demande:
14.03.2001 Bulletin 2001/11

(73) Titulaire: **STMicroelectronics SA**
F-92120 Montrouge (FR)

(72) Inventeur: **Gailhard, Bruno**
13530 Trets (FR)

(74) Mandataire: **Marchand, André**
OMNIPAT,
24 Place des Martyrs de la Résistance
13100 Aix-en-Provence (FR)

(56) Documents cités:
EP-A- 0 309 922 **US-A- 5 861 737**

- **KMETZ G L: "SOFT-START REGULATOR STARTS AT OV" EDN ELECTRICAL DESIGN NEWS,US,CAHNERS PUBLISHING CO. NEWTON, MASSACHUSETTS, vol. 41, no. 12, 6 juin 1996 (1996-06-06), page 104,106 XP000622006 ISSN: 0012-7515**

EP 1 083 471 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

[0001] La présente invention concerne un régulateur de tension comprenant un condensateur délivrant sur son anode une tension régulée, un interrupteur de régulation pour connecter le condensateur à une source de tension et des moyens de régulation agencés pour fermer l'interrupteur quand la tension régulée est inférieure à une première tension de référence.

[0002] Les régulateurs de tension trouvent diverses applications dans le domaine de l'électronique, par exemple pour délivrer une tension régulée servant à alimenter électriquement les ports d'un microprocesseur.

[0003] La figure 1 représente un régulateur de tension classique 1, incorporé dans un microprocesseur 2. Le microprocesseur 2 est alimenté par une pile électrique 3 de résistance interne r_i , délivrant une tension V_{DD} . Le régulateur 1 comprend un condensateur externe C_{REG} délivrant sur son anode une tension régulée V_{REG} . L'anode du condensateur C_{REG} est reliée à l'anode de la pile 3 par l'intermédiaire d'un interrupteur de régulation SW_1 présentant une résistance série R_1 nulle ou de faible valeur. L'interrupteur SW_1 est piloté par la sortie d'un circuit suiveur CP recevant sur son entrée positive la tension régulée V_{REG} et sur son entrée négative une tension de référence V_{REF} . La tension V_{REF} est classiquement une tension dite de band-gap présentant une bonne stabilité en fonction de la température, générée au moyen de diodes à jonction PN et de miroirs de courant. Le circuit suiveur CP est contrôlé par un signal PDW (Power-Down) et l'anode du condensateur C_{REG} est reliée à la masse par un interrupteur SW_{OFF} piloté par le signal PDW. Lorsque le signal PDW est égal à 1, le circuit suiveur CP est bloqué et l'interrupteur SW_{OFF} est fermé. Le régulateur 1 est à l'arrêt et le condensateur C_{REG} est déchargé.

[0004] L'inconvénient d'un tel régulateur est de présenter une forte consommation de courant au démarrage. Ainsi, lorsque le signal PDW est mis à 0, le condensateur C_{REG} est déchargé et la tension V_{REG} est nulle. La sortie du circuit suiveur CP passe à 0 et l'interrupteur SW_1 se ferme. L'application de la tension V_{DD} sur le condensateur C_{REG} provoque un fort appel de courant et une chute importante de la tension d'alimentation V_{DD} du microprocesseur 2, en raison de la résistance interne r_i de la pile 3. Si au même instant d'autres éléments du microprocesseur 2 consomment un courant non négligeable, il peut se produire que la tension V_{DD} devienne inférieure à la tension minimale de fonctionnement du microprocesseur 2, de sorte que le microprocesseur 2 se bloque.

[0005] La présente invention vise à pallier cet inconvénient.

[0006] Le brevet US 5 861 737 décrit un régulateur dans lequel le courant fourni à une charge est limité grâce à un contrôle adéquat de la tension de grille appliquée à un transistor de régulation MOSFET agencé entre la source de tension et la charge. Ce transistor MOSFET présente ainsi une résistance série de valeur variable permettant de limiter le courant de démarrage.

[0007] Plus particulièrement, la présente invention vise à limiter le courant de démarrage d'un régulateur sans augmenter la résistance série de l'interrupteur de régulation.

[0008] Cet objectif est atteint par la prévision d'un régulateur conforme à l'objet de la revendication 1.

[0009] La présente invention concerne également un circuit intégré, notamment un microprocesseur, comprenant un régulateur selon l'invention.

[0010] Ces objets, caractéristiques et avantages de la présente invention seront exposés plus en détail dans la description suivante d'un régulateur de tension selon l'invention, en relation avec les figures jointes parmi lesquelles :

- la figure 1 précédemment décrite est le schéma électrique d'un régulateur de tension classique,
- la figure 2 est le schéma de principe d'un régulateur de tension selon l'invention, et
- la figure 3 est le schéma électrique d'un mode de réalisation d'un régulateur de tension selon l'invention.

[0011] La figure 2 représente un régulateur de tension selon l'invention. Le régulateur 10 comprend de façon classique un condensateur C_{REG} dont l'anode est reliée à une source de tension V_{DD} par un interrupteur de régulation SW_1 , ici un transistor PMOS, comportant une résistance série R_1 nulle ou de faible valeur. L'anode du condensateur C_{REG} , qui délivre une tension régulée V_{REG} , est reliée à la masse par un interrupteur SW_{OFF} piloté par un signal de remise à zéro PDW (Power-Down).

[0012] Selon l'invention, un interrupteur ballast SW_2 est connecté en parallèle avec l'interrupteur SW_1 . L'interrupteur SW_2 présente une résistance série R_2 non négligeable, par exemple de l'ordre de quelques centaines d'ohms. L'interrupteur SW_2 est ici un transistor PMOS et la résistance R_2 est la résistance intrinsèque du transistor, c'est-à-dire sa résistance série (R_{ON}) à l'état passant. La valeur de la résistance R_2 est ainsi déterminée par le choix du rapport W/L entre la largeur W et la longueur L de la grille du transistor.

[0013] Les interrupteurs SW_1 , SW_2 sont pilotés par un circuit 11, représenté ici sous forme de bloc, contrôlé par le signal PDW. Le circuit 11 reçoit en entrée la tension V_{REG} , une première tension de référence V_{REF1} et une deuxième tension de référence V_{REF2} . La tension V_{REF2} est inférieure à V_{REF1} et est par exemple égale à $0,75 V_{REF1}$. Le circuit 11 délivre un signal S1 de commande de l'interrupteur SW_1 et un signal S2 de commande de l'interrupteur SW_2 (les signaux S1, S2 étant ici appliqués sur les grilles des transistors PMOS).

[0014] Lorsque le signal PDW est à 1, le circuit 11 est bloqué et l'interrupteur SW_{OFF} est fermé. Le condensateur C_{REG} est déchargé et la tension V_{REG} est nulle. Lorsque le signal PDW est mis à 0, le circuit 11 démarre et le condensateur C_{REG} se charge. Le fonctionnement du régulateur 10 et du circuit 11 est décrit par le tableau 1 ci-après. Les interrupteurs SW1, SW2 étant ici des transistors PMOS, la valeur active des signaux S1, S2 correspondant à la fermeture des interrupteurs SW1, SW2 (état passant) est la valeur 0 (grille des transistors à la masse). Lorsque les signaux S1, S2 sont à 1 (tension V_{DD}), les interrupteurs sont ouverts (transistors dans l'état bloqué).

Tableau 1

V _{REG}	S1	SW1	S2	SW2
(E1) V _{REG} < V _{REF2}	1	ouvert	0	fermé
(E2) V _{REF2} < V _{REG} < V _{REF1}	0	fermé	0 ou 1	fermé ou ouvert
(E3) V _{REG} > V _{REF1}	1	ouvert	1	ouvert

[0015] Ainsi, au démarrage du régulateur 10, le condensateur C_{REG} se charge en deux périodes E1, E2. Pendant la période E1, l'interrupteur ballast SW2 est fermé et l'interrupteur de régulation SW1 est ouvert. La charge du condensateur C_{REG} s'effectue par l'intermédiaire de l'interrupteur ballast SW2 et le courant de démarrage est limité par la résistance R2. Le risque de voir la tension d'alimentation V_{DD} diminuer fortement est ainsi supprimé, notamment lorsque la tension V_{DD} est délivrée par une pile électrique ou un générateur de tension ayant une résistance interne non négligeable.

[0016] La période E2 intervient quand la tension V_{REG} dépasse le seuil V_{REF2}. L'interrupteur SW1 se ferme et le cycle de charge du condensateur C_{REG} se termine rapidement puisque la résistance R1 est nulle ou de faible valeur. Pendant la période E2, l'interrupteur ballast SW2 peut, indifféremment, être maintenu ouvert ou fermé.

[0017] Lorsque le condensateur C_{REG} est chargé, le régulateur 10 fonctionne de façon classique, l'interrupteur de régulation SW1 étant fermé (période E2) ou ouvert (période E3) selon que la tension V_{REG} est inférieure ou supérieure à V_{REF1}. La tension V_{REG} est ainsi asservie au voisinage de V_{REF1} avec alternance des périodes E2 et E3. Pendant les périodes de dépassement E3, l'interrupteur ballast SW2 est toujours ouvert.

[0018] Un mode de réalisation avantageux du circuit 11 est représenté sur la figure 3. Le régulateur 10 est représenté incorporé dans un circuit intégré 20, par exemple un microprocesseur, et la tension V_{DD} est délivrée par une pile électrique 21 de résistance interne r_i.

[0019] Le circuit 11 comprend un amplificateur opérationnel CP1 agencé en circuit suiveur et un comparateur CP2. Le circuit suiveur CP1 et le comparateur CP2 sont contrôlés par le signal PDW. Le circuit suiveur CP1 reçoit sur son entrée négative la tension V_{REF1} et sur son entrée positive la tension régulée V_{REG}. La sortie du circuit suiveur CP1 délivre le signal S2 qui est appliqué sur l'entrée de commande de l'interrupteur SW2. Le comparateur CP2 reçoit sur son entrée positive la tension V_{REF2} et sur son entrée négative la tension V_{REG}. La tension V_{REF2} est obtenue ici par division de la tension V_{REF1} au moyen d'un pont diviseur comprenant deux résistances r_a, r_b. La sortie du comparateur CP2 délivre un signal S3 qui est appliqué sur l'entrée de commande d'un interrupteur SW3, ici un transistor PMOS, ainsi qu'à l'entrée d'une porte inverseuse INV1. La sortie de la porte INV1 est connectée à l'entrée de commande d'un interrupteur SW4, ici un transistor PMOS. L'entrée de l'interrupteur SW4 (source du transistor) reçoit la tension V_{DD} et l'entrée de l'interrupteur SW3 reçoit le signal S2. Les sorties des interrupteurs SW3 et SW4 (drains) sont connectées ensemble et délivrent le signal S1 qui est appliqué sur l'entrée de commande de l'interrupteur SW1.

[0020] Le fonctionnement du circuit 11, décrit par le tableau 2 ci-après, est équivalent au fonctionnement décrit par le tableau 1 ci-dessus. Pendant la première période E1 de charge du condensateur C_{REG} le signal S2 est égal à 0 et le signal S3 égal à 1. L'interrupteur ballast SW2 est fermé, l'interrupteur SW3 ouvert (transistor bloqué) et l'interrupteur SW4 fermé. Le signal S1 est à 1 (tension V_{DD}) et l'interrupteur de régulation SW1 est maintenu ouvert. Pendant la deuxième période de charge E2, le signal S2 reste à 0, le signal S3 passe à 0, l'interrupteur SW3 se ferme et l'interrupteur SW4 s'ouvre. Le signal S1 recopie le signal S2 par l'intermédiaire de l'interrupteur SW3 et l'interrupteur de régulation SW1 se ferme.

Tableau 2

V _{REG}	S2	SW2	S3	SW3	SW4	S1	SW1
(E1) V _{REG} < V _{REF2}	0	fermé	1	ouvert	fermé	1	ouvert
(E2) V _{REF2} < V _{REG} < V _{REF1}	0	fermé	0	fermé	ouvert	0	fermé
(E3) V _{REG} > V _{REF1}	1	ouvert	0	fermé	ouvert	1	ouvert

[0021] On voit dans le tableau 2 que l'interrupteur SW3 est un interrupteur inhibiteur permettant, pendant la première période de charge E1, de ne pas transmettre à l'interrupteur SW1 le signal de régulation S2, de sorte que l'interrupteur SW1 ne se ferme pas. L'interrupteur SW4 est un élément auxiliaire permettant d'éviter que la grille du transistor interrupteur SW1 soit portée à un potentiel flottant (haute impédance) quand l'interrupteur SW3 est ouvert. Bien entendu, diverses variantes sont envisageables selon le mode de fonctionnement des interrupteurs utilisés, qui peuvent être du type normalement ouvert, du type normalement fermé, ou du type n'acceptant pas un signal indéfini sur l'entrée de commande.

[0022] Ce mode de réalisation du circuit 11 peut également faire l'objet de diverses variantes en ce qui concerne la commande de l'interrupteur inhibiteur SW3. Par exemple, le signal S3 peut être délivré par une minuterie que l'on active au démarrage du régulateur 10, ou être délivré par le microprocesseur 20 après exécution d'un programme de temporisation. Dans ce cas, l'interrupteur de régulation SW1 reste ouvert jusqu'à ce que le signal S3 soit mis à 0 par la minuterie ou le microprocesseur. En pratique, la durée de la temporisation doit être calculée en fonction de la capacité du condensateur C_{REG} .

[0023] Ce mode de réalisation du circuit 11 présente toutefois l'avantage de garantir une mise en service automatique de l'interrupteur de régulation SW1 lorsque le seuil V_{REF2} est atteint, quelle que soit la capacité C_{REG} et sans qu'il soit nécessaire de générer un signal de temporisation au moyen d'une minuterie ou d'un programme. Comme autre avantage, le signal S3 délivré par le comparateur CP2 peut être utilisé par le microprocesseur pour surveiller l'état du régulateur 10. Par exemple, le passage à 1 du signal S1 en cours de fonctionnement est représentatif d'une surcharge du régulateur. Enfin, dans certaines applications, le signal S3 peut être combiné de façon logique à d'autres signaux émis par le microprocesseur avant d'être appliqué à l'interrupteur inhibiteur SW3, pour que le microprocesseur puisse forcer à l'état ouvert ou fermé l'interrupteur régulateur SW1 si cela s'avère nécessaire.

[0024] Enfin, bien que l'on ait indiqué ci-dessus que la résistance R2 est la résistance intrinsèque de l'interrupteur ballast SW2, il va de soi que le terme "interrupteur ballast" peut désigner, dans la description et les revendications, un interrupteur de résistance nulle connecté en série avec une résistance R2, ou un interrupteur de résistance intrinsèque R_{2a} connecté en série avec une résistance complémentaire R_{2b} .

Revendications

1. Régulateur de tension (10) comprenant un condensateur (C_{REG}) délivrant sur son anode une tension régulée (V_{REG}), un interrupteur de régulation (SW1) pour connecter le condensateur (C_{REG}) à une source (21) de tension (V_{DD}), et des moyens de régulation agencés pour fermer l'interrupteur (SW1) quand la tension régulée (V_{REG}) est inférieure à une première tension de référence (V_{REF1}), **caractérisé en ce qu'il comprend** :
 - au moins un interrupteur ballast (SW2) en parallèle avec l'interrupteur de régulation (SW1), l'interrupteur ballast (SW2) présentant une résistance série (R2, R2a, R2b) supérieure à une résistance série (R1) de l'interrupteur de régulation (SW1), et
 - des moyens (11, CP1, CP2, SW3, SW4) pour ouvrir l'interrupteur de régulation (SW1) et fermer l'interrupteur ballast (SW2) au moins pendant une phase de démarrage du régulateur, jusqu'à ce que le condensateur (C_{REG}) soit au moins partiellement chargé.
2. Régulateur selon la revendication 1, **caractérisé en ce qu'il** comprend des moyens (11, CP1, CP2, SW3, SW4) pour ouvrir l'interrupteur de régulation (SW1) et fermer l'interrupteur ballast (SW2) quand la tension régulée (V_{REG}) est inférieure à une deuxième tension de référence (V_{REF2}) inférieure à la première tension de référence (V_{REF1}).
3. Régulateur selon la revendication 2, dans lequel la deuxième tension de référence (V_{REF2}) est une fraction de la première tension de référence (V_{REF1}).
4. Régulateur selon l'une des revendications 1 à 3, dans lequel un signal (S2) commun de commande de l'interrupteur de régulation (SW1) et de l'interrupteur ballast (SW2) est appliqué à l'interrupteur de régulation (SW1) par l'intermédiaire d'un interrupteur inhibiteur (SW3).
5. Régulateur selon la revendication 4, dans lequel l'interrupteur inhibiteur (SW3) est piloté par un signal (S3) délivré par un comparateur (CP2) recevant en entrée la tension régulée (V_{REG}) et une deuxième tension de référence (V_{REF2}) inférieure à la première tension de référence (V_{REF1}).
6. Régulateur selon l'une des revendications 1 à 5, comprenant un circuit suiveur (CP1) et un comparateur (CP2), dans lequel le circuit suiveur (CP1) reçoit en entrée la tension régulée (V_{REG}) et la première tension de référence

(V_{REF1}) et délivre un signal de régulation (S2), le comparateur (CP2) reçoit en entrée la tension régulée (V_{REG}) et une deuxième tension de référence (V_{REF2}) inférieure à la première tension de référence (V_{REF1}), le signal de régulation (S2) est appliqué sur l'entrée de commande de l'interrupteur ballast (SW2) et est appliqué sur l'entrée de commande de l'interrupteur de régulation (SW1) par l'intermédiaire d'un interrupteur inhibiteur (SW3), et la sortie du comparateur (CP2) est appliquée sur l'entrée de commande de l'interrupteur inhibiteur (SW3).

7. Régulateur selon l'une des revendications 1 à 6, dans lequel l'interrupteur ballast (SW2) est un transistor MOS comprenant une résistance intrinsèque (R2, R2a) non négligeable formant tout ou partie de la résistance série de l'interrupteur ballast.

8. Régulateur selon l'une des revendications 1 à 7, dans lequel la source (21) de tension (V_{DD}) est une pile électrique.

9. Circuit intégré (20), comprenant un régulateur selon l'une des revendications 1 à 8.

10. Microprocesseur (20), comprenant un régulateur selon l'une des revendications 1 à 8.

Patentansprüche

1. Spannungsregler (10), einen Kondensator (C_{REG}) umfassend, der an seiner Anode eine geregelte Spannung (V_{REG}) liefert, einen Regelschalter (SW1), um den Kondensator (C_{REG}) an eine Quelle (21) von Spannung (V_{DD}) anzuschließen, und Regelungsmittel, die ausgestaltet sind, um den Schalter (SW1) zu schließen, wenn die geregelte Spannung (V_{REG}) niedriger ist als eine erste Referenzspannung (V_{REF1}), **dadurch gekennzeichnet, dass** er umfasst:

- mindestens einen Ballastschalter (SW2) parallel zu dem Regelschalter (SW1), wobei der Ballastschalter (SW2) einen Serienwiderstand (R2, R2a, R2b) aufweist, der höher ist als ein Serienwiderstand (R1) des Regelschalters (SW1), und

- Mittel (11, CP1, CP2, SW3, SW4), um den Regelschalter (SW1) zu öffnen und den Ballastschalter (SW2) zu schließen, mindestens während einer Anlaufphase des Reglers, bis der Kondensator (C_{REG}) mindestens teilweise aufgeladen ist.

2. Regler nach Anspruch 1, **dadurch gekennzeichnet, dass** er Mittel (11, CP1, CP2, SW3, SW4) umfasst, um den Regelschalter (SW1) zu öffnen und den Ballastschalter (SW2) zu schließen, wenn die geregelte Spannung (V_{REG}) niedriger ist als eine zweite Referenzspannung (V_{REF2}), die niedriger ist als die erste Referenzspannung (V_{REF1}).

3. Regler nach Anspruch 2, wobei die zweite Referenzspannung (V_{REF2}) einen Bruchteil der ersten Referenzspannung (V_{REF1}) ausmacht.

4. Regler nach einem der Ansprüche 1 bis 3, wobei ein gemeinsames Signal (S2) zur Steuerung des Regelschalters (SW1) und des Ballastschalters (SW2) auf den Regelschalter (SW1) mittels eines Verzögerungsschalters (SW3) angelegt wird.

5. Regler nach Anspruch 4, wobei der Verzögerungsschalter (SW3) durch ein Signal (S3) gesteuert wird, das durch eine Vergleichsschaltung (CP2) geliefert wird, welche die geregelte Spannung (V_{REG}) am Eingang empfängt und eine zweite Referenzspannung (V_{REF2}), die niedriger ist als die erste Referenzspannung (V_{REF1}).

6. Regler nach einem der Ansprüche 1 bis 5, eine Nachlaufschaltung (CP1) und eine Vergleichsschaltung (CP2) umfassend, bei welchem die Nachlaufschaltung (CP1) die geregelte Spannung (V_{REG}) und die erste Referenzspannung (V_{REF1}) am Eingang empfängt, und ein Regelsignal (S2) liefert, wobei die Vergleichsschaltung (CP2) die geregelte Spannung (V_{REG}) und eine zweite Referenzspannung (V_{REF2}) am Eingang empfängt, die niedriger ist als die erste Referenzspannung (V_{REF1}), das Regelsignal (S2) an den Eingang der Steuerung des Ballastschalters (SW2) angelegt wird und mittels eines Verzögerungsschalters (SW3) an den Eingang der Steuerung des Regelschalters (SW1) angelegt wird, und der Ausgang der Vergleichsschaltung (CP2) an den Eingang der Steuerung des Verzögerungsschalters (SW3) angelegt wird.

7. Regler nach einem der Ansprüche 1 bis 6, bei welchem der Ballastschalter (SW2) aus einem MOS-Transistor

besteht, der einen eigenen nicht zu vernachlässigenden Widerstand (R_2 , R_{2a}) umfasst, der den ganzen Serienwiderstand des Ballastschalters oder einen Teil davon ausbildet.

8. Regler nach einem der Ansprüche 1 bis 7, bei welchem die Quelle (21) der Spannung (V_{DD}) aus einer elektrischen Batterie besteht.

9. Integrierte Schaltung (20), einen Regler nach einem der Ansprüche 1 bis 8 umfassend.

10. Mikroprozessor (20), einen Regler nach einem der Ansprüche 1 bis 8 umfassend.

Claims

1. Voltage regulator (10) comprising a condenser (C_{REG}) delivering on its anode a regulated voltage (V_{REG}), a control switch (SW1) to connect the condenser (C_{REG}) to a source (21) of a voltage (V_{DD}), and control means used to close the switch (SW1) when the regulated voltage (V_{DD}) is less than a first reference voltage (V_{REF1}), **characterised in that** it comprises :

- at least one ballast switch (SW2) in parallel with the control switch (SW1), the ballast switch (SW2) having a series resistance (R_2 , R_{2a} , R_{2b}) greater than a series resistance (R_1) of the control switch (SW1), and
- means (11, CP1, CP2, SW3, SW4) for opening the control switch (SW1) and closing the ballast switch (SW2) at least during an initiation phase of the regulator until the condenser (C_{REG}) is at least partially charged.

2. Regulator according to claim 1, **characterised in that** it comprises means (11, CP1, CP2, SW3, SW4) for opening the control switch (SW1) and closing the ballast switch (SW2) when the regulated voltage (V_{REG}) is less than a second reference voltage (V_{REF2}) less than the first reference voltage (V_{REF1}).

3. Regulator according to claim 2, in which the second reference voltage (V_{REF2}) is a fraction of the first reference voltage (V_{REF1}).

4. Regulator according to one of claims 1 to 3, in which a common signal (S2) for controlling the control switch (SW1) and the ballast switch (SW2) is applied to the control switch (SW1) by means of an inhibitor switch (SW3).

5. Regulator according to claim 4, in which the inhibitor switch (SW3) is controlled by a signal (S3) delivered by a comparator (CP2) receiving at input the regulated voltage (V_{REG}) and a second reference voltage (V_{REF2}) less than the first reference voltage (V_{REF1}).

6. Regulator according to one of claims 1 to 5, comprising a follower circuit (CP1) and a comparator (CP2) in which the follower circuit (CP1) receives at input the regulated voltage (V_{REG}) and the first reference voltage (V_{REF1}) and delivers a control signal (S2), the comparator (CP2) receives at input the regulated voltage (V_{REG}) and a second reference voltage (V_{REF2}) less than the first reference voltage (V_{REF1}), the control signal (S2) is applied to the control input of the ballast switch (SW2) and is applied to the control input of the regulation switch (SW1) by means of an inhibitor switch (SW3), and the output of the comparator (CP2) is applied to the control input of the inhibitor switch (SW3).

7. Regulator according to one of claims 1 to 6, in which the ballast switch (SW2) is an MOS transistor comprising a non-negligible intrinsic resistance (R_2 , R_{2a}) forming all or part of the series resistance of the ballast switch.

8. Regulator according to one of claims 1 to 7, in which the source (21) of the voltage (V_{DD}) is an electric battery.

9. Integrated circuit (20) comprising a regulator according to one of claims 1 to 8.

10. Microprocessor (20) comprising a regulator according to one of claims 1 to 8.

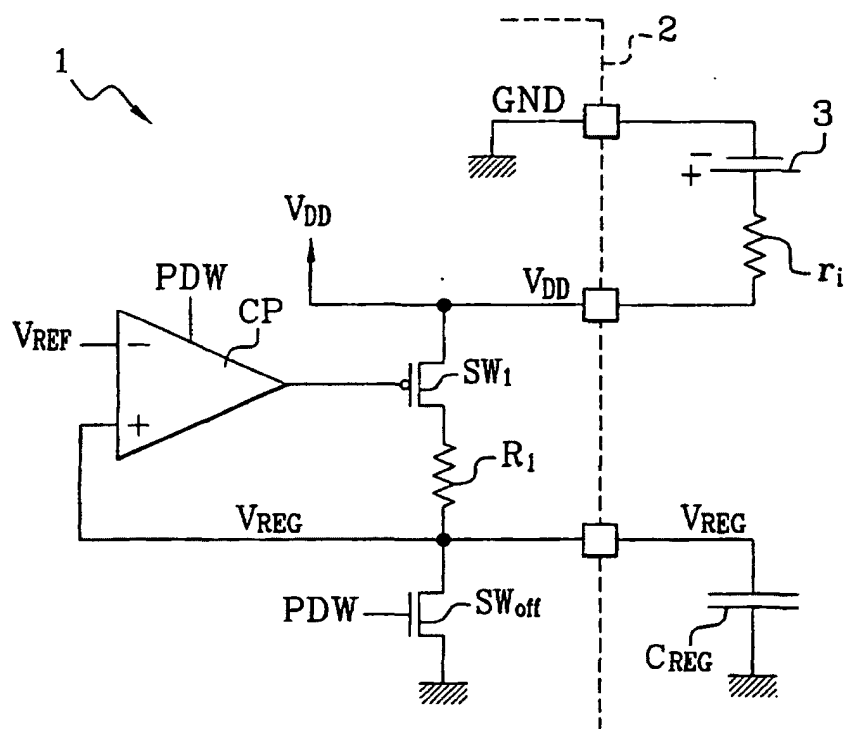
FIG.1**FIG.2**

FIG.3