



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:  
**22.08.2001 Patentblatt 2001/34**

(51) Int Cl.7: **G05F 3/30**

(21) Anmeldenummer: **01101805.8**

(22) Anmeldetag: **26.01.2001**

(84) Benannte Vertragsstaaten:  
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE TR**  
Benannte Erstreckungsstaaten:  
**AL LT LV MK RO SI**

(72) Erfinder: **Horn, Wolfgang**  
**9500 Villach (AT)**

(74) Vertreter: **Bickel, Michael et al**  
**Westphal - Mussgnug & Partner**  
**Patentanwälte**  
**Mozartstrasse 8**  
**80336 München (DE)**

(30) Priorität: **16.02.2000 DE 10006950**

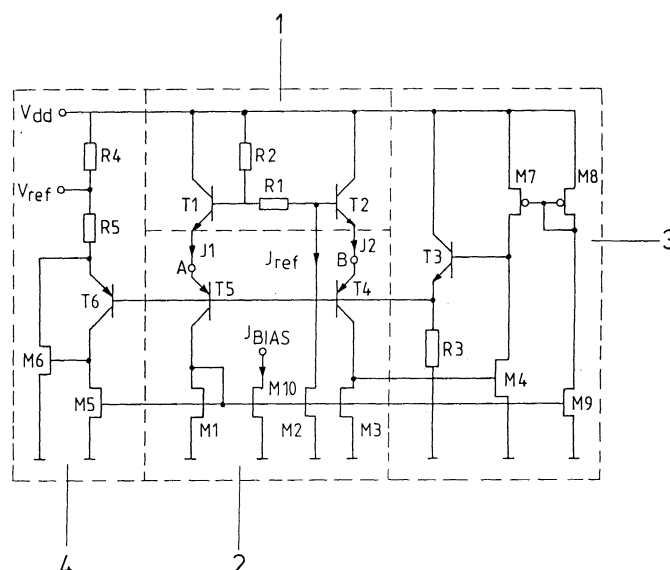
(71) Anmelder: **Infineon Technologies AG**  
**81669 München (DE)**

(54) **Schaltungsanordnung zur Konstantspannungserzeugung**

(57) Es wird eine Schaltungsanordnung beschrieben, mit der Konstantspannungen und / oder Konstantströme nach dem Bandgap-Prinzip (Bandabstands-Prinzip) erzeugt werden können. Die Schaltungsanordnung zeichnet sich insbesondere aus durch einen ersten und einen zweiten Transistor (T1, T2), deren Gateanschlüsse über einen ersten Widerstand (R1) miteinander verbunden sind und deren Kollektoranschlüsse an einer Versorgungsspannung (Vdd) anliegen, sowie einen zweiten Widerstand (R2), der zwischen dem Gateanschluss des ersten Transistors (T1) und die Versorgungsspannung (Vdd) geschaltet ist, so dass durch die

Differenz der Gate-Emitter-Spannungen an den Transistoren (T1, T2) ein durch den ersten und zweiten Widerstand (R1, R2) nach Masse fließender Referenzstrom (Iref) erzeugt wird, und eine auf die Versorgungsspannung (Vdd) bezogene Referenzspannung (Vref) an dem Emitter des ersten Transistors (T1) abgreifbar ist. Der Referenzstrom (Iref) bzw. die Referenzspannung (Vref) sind in weiten Grenzen temperatur- und betriebsspannungsunabhängig und insbesondere unempfindlich gegen Einflüsse eines Reversbetriebes eines DMOS-Leistungstransistors in einer sperrschichtisolierten Mischtechnologie.

FIG 3



## Beschreibung

**[0001]** Die Erfindung betrifft eine Schaltungsanordnung zur Erzeugung von Konstantspannungen und / oder Konstantströmen nach dem Bandgap-Prinzip (Bandabstands-Prinzip), bei dem die Durchflußspannungen zweier P-N-Übergänge zur Erzeugung einer Referenzspannung eingesetzt werden, gemäss dem Oberbegriff von Anspruch 1.

**[0002]** Ein mit diesen Schaltungen verbundenes Problem besteht darin, dass der Temperaturkoeffizient der Basis-Emitter-Spannung relativ hoch ist und kompensiert werden muß. Zu diesem Zweck ist es zum Beispiel aus "Tietze, Schenk: Halbleiter-Schaltungstechnik" bekannt, mit einem zweiten Transistor eine Spannung mit einem Temperaturkoeffizienten zu erzeugen, der den gleichen Betrag, jedoch entgegengesetztes Vorzeichen aufweist und diese Spannung der Referenzspannung hinzuzuaddieren.

**[0003]** Ein weiteres Problem kann sich zum Beispiel gemäss Figur 1 bei einer sperrschichtisolierten Mischtechnologie auf einem p-Substrat 13 ergeben. Dabei wird bei einer Polaritätsumkehr an einem DMOS-Leistungstransistor (Reversbetrieb) die aus einem n-leitenden Drainanschluss 11 und dem p-Substrat 13 gebildete Diode leitend, und die in das Substrat 13 injizierten Ladungsträger bilden den Emitterstrom eines parasitären bipolaren npn-Flächentransistors 12. Alle epitaxialen n-Wannen 10a,...,10x (zum Beispiel BJT-Kollektoren) der Schaltung stellen für diesen Transistor 12 potentielle Kollektoren dar, aus denen beim Reversbetrieb des DMOS-Leistungstransistors Kollektorströme  $I_{c1}, \dots, I_{cx}$  abgezogen werden können. Dies kann dazu führen, dass empfindliche andere Schaltungsteile mit hochohmig angeschlossenen n-Wannen, wie zum Beispiel eine Schaltungsanordnung der eingangs genannten Art nach dem Bandgap-Prinzip, in ihrer Funktion beeinträchtigt werden oder sogar völlig ausfallen.

**[0004]** Der Erfindung liegt deshalb die Aufgabe zugrunde, eine Schaltungsanordnung zu schaffen, die eine in weiteren Grenzen temperatur- und betriebsspannungsunabhängige Konstantspannung und / oder einen Konstantstrom mit einer Bandabstands-Referenz erzeugt und die insbesondere unempfindlich gegen Einflüsse des oben beschriebenen Reversbetriebes ist.

**[0005]** Gelöst wird diese Aufgabe gemäss Anspruch 1 mit einer Schaltungsanordnung der eingangs genannten Art, die sich durch folgende Merkmale auszeichnet: einen ersten und einen zweiten Transistor, deren Basisanschlüsse über einen ersten Widerstand miteinander verbunden sind und deren Kollektoranschlüsse an einer Versorgungsspannung anliegen, sowie einen zweiten Widerstand, der zwischen den Basisanschluss des ersten Transistors und die Versorgungsspannung geschaltet ist, so dass durch die Differenz der Basis-Emitter-Spannungen an den Transistoren ein durch den ersten und zweiten Widerstand nach Masse fließender Referenzstrom erzeugt wird, und eine auf die Versor-

gungsspannung bezogene Referenzspannung an dem Emitter des ersten Transistors abgreifbar ist.

**[0006]** Die Unteransprüche haben vorteilhafte Weiterbildungen der Erfindung zum Inhalt.

**[0007]** Danach ist insbesondere ein Ausgangspuffer / Treiber vorgesehen, mit dem die Referenzspannung geteilt und niederohmig an einen Ausgang geführt wird.

**[0008]** Ferner umfaßt die Schaltungsanordnung vorzugsweise einen Komparator mit einer Stromspiegelschaltung, mit der die Emitterströme des ersten und zweiten Transistors sowie der Referenzstrom in einen Gleichgewichtszustand geregelt werden, in dem diese Ströme im wesentlichen gleich sind.

**[0009]** Weiterhin ist vorzugsweise ein Stellglied mit einer Startschaltung zur Beaufschlagung des Komparators vorgesehen, das einen dritten Transistor aufweist, mit dem eine Spannungs- oder Stromdifferenz an den Emitteranschlüssen des ersten und zweiten Transistors durch Ansteuerung eines vierten und fünften Transistors in dem Komparator ausgeregelt wird.

**[0010]** Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung einer bevorzugten Ausführungsform anhand der Zeichnung. Es zeigt:

Fig. 1 eine schematische Darstellung zur Erläuterung der sich bei einem Reversbetrieb ergebenden Probleme;

Fig. 2 ein Blockschaltbild einer erfindungsgemässen Ausführungsform; und

Fig. 3 ein Schaltbild der in Figur 2 gezeigten Ausführungsform.

**[0011]** Die erfindungsgemässe Ausführungsform umfaßt gemäss Figur 2 eine Bandgap-Schaltung 1 zur Erzeugung einer Referenzspannung nach dem Bandabstandsprinzip, die auf eine positive Versorgungsspannung  $V_{dd}$  bezogen ist, einen Ausgangspuffer / Treiber 4, dessen Eingang mit dem Ausgang der Bandgap-Schaltung 1 verbunden ist und an dessen Ausgang eine Ausgangs-Referenzspannung  $V_{ref}$  anliegt, einen Strom- und Spannungskomparator 2, der reversstromunempfindlich ist und über eine erste und eine zweite Klemme A, B mit der Bandgap-Schaltung 1 verbunden ist, sowie ein Stellglied 3 mit Startschaltung, das den Komparator 2 beaufschlagt.

**[0012]** Mit dem Ausgangspuffer / Treiber 4 wird die von der Bandgap-Schaltung 1 erzeugte Referenzspannung auf nahezu beliebige Werte (zum Beispiel  $< 1,26$  Volt) geteilt und am Ausgang niederohmig zur Verfügung gestellt. Der Komparator 2 regelt mit Hilfe des Stellgliedes 3 die Bandgap-Schaltung 1 aus, wobei die für den ausgeregelten Zustand zu erfüllende Bedingung die Gleichheit der Spannungen an den beiden Klemmen A, B sowie die Gleichheit der Ströme  $I_1, I_2$  durch diese Klemmen ist.

**[0013]** Figur 3 zeigt ein Gesamtschaltbild der bevorzugten Ausführungsform, wobei diese Komponenten jeweils durch gestrichelte Linien abgegrenzt sind.

**[0014]** Die Bandgap-Schaltung 1 umfaßt einen ersten und einen zweiten bipolaren npn-Transistor T1, T2, deren Basisanschlüsse über einen ersten Widerstand R1 miteinander verbunden sind. Die Kollektoranschlüsse liegen an einer positiven Versorgungsspannung Vdd an, während der Emitteranschluss des ersten Transistors T1 an die erste Klemme A und der Emitteranschluss des zweiten Transistors T2 an die zweite Klemme B geführt ist. Der Basisanschluss des ersten Transistors T1 ist schließlich über einen zweiten Widerstand R2 mit der Versorgungsspannung Vdd verbunden.

**[0015]** Der Komparator 2 umfaßt einen vierten und einen fünften bipolaren pnp-Transistor T4, T5, deren Basisanschlüsse miteinander verbunden sind, wobei der Emitter des vierten Transistors T4 über die zweite Klemme B mit dem Emitter des zweiten Transistors T2 und der Emitter des fünften Transistors T5 über die erste Klemme A mit dem Emitter des ersten Transistors T1 verbunden ist. Der Kollektor des fünften Transistors T5 ist über einen ersten (z.B. MOSFET-) Transistor M1 mit Masse sowie mit einem Gate dieses Transistors M1 verbunden. Der Kollektor des vierten Transistors T4 liegt über einen dritten MOSFET-Transistor M3 an Masse. Weiterhin ist ein zweiter MOSFET-Transistor M2 vorgesehen, der einen Referenzstrom Iref von der Basis des zweiten Transistors T2 nach Masse fließen läßt. Über einen zehnten MOSFET-Transistor M10 kann schließlich ein temperaturunabhängiger Bias-Strom  $I_{BIAS}$  nach Masse erzeugt und bei Bedarf ausgekoppelt werden. Die Schaltungsanordnung kann somit zusätzlich als Generator für einen temperaturkompensierten Biasstrom  $I_{BIAS}$  für den betreffenden Chip dienen und umfaßt auf diese Weise ein inherentes "Auto-Biasing". Die Basisanschlüsse der MOSFET-Transistoren M1, M2, M3, M10 sind miteinander verbunden.

**[0016]** Das Stellglied 3 umfaßt einen dritten bipolaren npn-Transistor T3, dessen Kollektor mit der positiven Versorgungsspannung Vdd und dessen Emitter mit den zusammengeschalteten Basisanschlüssen des vierten und fünften Transistors T4, T5 sowie über einen dritten Widerstand R3 mit Masse verbunden ist. Zwischen die Versorgungsspannung Vdd und Masse sind ein vierter und ein siebter MOSFET-Transistor M4, M7 in Reihe geschaltet, wobei zwischen diesen die Basis des dritten Transistors T3 liegt. Das Gate des vierten MOSFET-Transistors M4 ist mit dem Kollektor des vierten Transistors T4, das Gate des siebten MOSFET-Transistors M7 ist mit dem Gate eines achten MOSFET-Transistors M8 verbunden, der in Reihe mit einem neunten MOSFET-Transistor M9 zwischen der Versorgungsspannung Vdd und Masse liegt. Das Gate des siebten und achten MOSFET-Transistors M7, M8 ist zwischen den achten und neunten MOSFET-Transistor M8, M9 geschaltet. Das Gate des neunten MOSFET-Transistors M9 ist mit den zusammengeschalteten Gateanschlüssen des er-

sten, zweiten, dritten und zehnten MOSFET-Transistors M1, M2, M3, M10 verbunden.

**[0017]** Schließlich ist im linken Schaltungsteil der Ausgangspuffer / Treiber 4 realisiert, der einen sechsten bipolaren pnp-Transistor T6 umfaßt, dessen Emitter über eine Reihenschaltung eines vierten und fünften Widerstandes R4, R5 mit der Versorgungsspannung Vdd und dessen Kollektor über einen fünften MOSFET-Transistor M5 mit Masse verbunden ist. Der Emitter liegt außerdem über einen sechsten MOSFET-Transistor M6 an Masse, dessen Gate mit dem Kollektor des sechsten Transistors T6 verbunden ist. Die Basis des fünften MOSFET-Transistors M5 ist wiederum mit den zusammengeschalteten Gateanschlüssen des ersten, zweiten, dritten, neunten und zehnten MOSFET-Transistors M1, M2, M3, M9, M10 verbunden. Die Referenzspannung Vref wird an dem durch den vierten und fünften Widerstand R4, R5 gebildeten Spannungsteiler abgegriffen.

**[0018]** Ein wesentlicher Kern der Erfindung besteht in der Implementierung des Bandgap-Prinzips in der Bandgap-Schaltung 1, die auch eigenständig, das heißt ohne die Schaltungsteile 2 bis 4 einsetzbar ist. Sie ist jedoch insbesondere für den Einsatz in Kombination mit dem Komparator 2 geeignet, durch den sich die Unempfindlichkeit der Gesamtschaltung gegenüber den eingangs genannten Reversströmen ergibt. Ferner wird mit dem strombestimmenden ersten Widerstand R1 der Temperaturgang der Differenz der beiden Basis-Emitterspannungen von T1 und T2  $dU_{BE}$  kompensiert, so dass der Referenzstrom Iref temperaturunabhängig ist.

**[0019]** Darüber hinaus ist die Schaltung selbstversorgend, so dass sich zwei mögliche Arbeitspunkte ergeben, und zwar einerseits ein gewünschter und andererseits ein solcher Arbeitspunkt, bei dem der Referenzstrom Iref gleich Null und die Referenzspannung Vref gleich der positiven Versorgungsspannung Vdd ist. Die bei bekannten Schaltungen mit dieser Eigenschaft häufig nur schwer zu realisierende Startschaltung ist erfindungsgemäß in das Stellglied 3 integriert, ohne einen wesentlichen zusätzlichen Aufwand zu erfordern.

**[0020]** Die beiden Transistoren T1, T2 der Bandgap-Schaltung 1 weisen unterschiedliche Emitterflächen auf. Wenn das Potential an den Klemmen A, B, das heißt an den Emitteranschlüssen des ersten und zweiten Transistors T1, T2 identisch ist und auch die Ströme I1, I2 gleich sind, so liegt an den Basisanschlüssen die Differenz der beiden Basis-Emitter-Spannungen  $dU_{BE}$  von T1 und T2 an. Dadurch ergibt sich für diesen Gleichgewichtszustand ein Referenzstrom durch den ersten Widerstand R1 von  $I_{ref} = dU_{BE} / R1$ , der auch über den zweiten Widerstand R2 fließt.

**[0021]** Die Referenzspannung ergibt sich als Summe des durch den Referenzstrom Iref erzeugten Spannungsabfalls an dem zweiten Widerstand R2 und der Spannung  $U_{BE}$  an der Basis-Emitter-Diode des ersten Transistors T1. Die Referenzspannung Vref ist an der ersten Klemme A abgreifbar und auf die positive Ver-

sorgungsspannung Vdd bezogen.

[0022] Der Komparator 2 regelt im Zusammenspiel mit dem Stellglied 3 die Bandgap-Schaltung 1 stets auf diesen Gleichgewichtszustand aus, bei dem der Referenzstrom Iref gleich dem ersten und dem zweiten Strom I1, I2 (Emitterstrom des ersten bzw. zweiten Transistors T1, T2) durch die erste bzw. zweite Klemme A, B ist. Diese Strombedingung wird durch die durch den ersten bis dritten MOSFET-Transistor M1, M2, M3 gebildete Stromspiegelschaltung realisiert. Durch die dem Stromspiegel vorgeschalteten pnp-Transistoren T4, T5 hat ein Potentialunterschied an den Klemmen A, B unmittelbar einen Stromunterschied zur Folge und wird daher ebenso ausgeglichen. Dieser Regelvorgang läuft im Detail wie folgt ab:

[0023] Wenn die Spannung an der ersten Klemme A oder der erste Strom I1 durch diese Klemme A ansteigen, so wird der Gateanschluss des vierten MOS-Transistors M4 des Stellgliedes 3 nach Masse gezogen und dadurch der dritte Transistor T3 aufgesteuert. Dadurch steigt das Potential an den Basisanschlüssen des vierten, fünften und sechsten Transistors T4, T5, T6 an, bis der Gleichgewichtszustand wieder hergestellt ist.

[0024] Der dritte Widerstand R3 bildet dabei eine Stromsenke für den dritten Transistor T3 und wirkt gleichzeitig als Startwiderstand, indem er im stromlosen Zustand die Basisanschlüsse des vierten bis sechsten Transistors T4, T5, T6 nach Masse zieht und so den unerwünschten Arbeitspunkt ausschließt.

[0025] Der optionale Ausgangspuffer / Treiber 4 treibt den sechsten Transistor T6 mit einem Basispotential und einem Emitterstrom, das / der identisch ist mit denjenigen an dem vierten und fünften Transistor T4, T5. Das Emitterpotential entspricht dem Potential an der ersten und zweiten Klemme A, B und somit der Referenzspannung Vref. Die Forderung des identischen Emitterstroms wird durch den fünften und sechsten MOSFET-Transistor M5, M6 erfüllt. Wenn der Emitter- und somit der Kollektorstrom durch den sechsten Transistor T6 steigt, so steigt auch das Potential an dem fünften MOSFET-Transistor M5, so dass der vierte MOSFET-Transistor M4 aufgesteuert wird und den überschüssigen Strom übernimmt.

## Patentansprüche

1. Schaltungsanordnung zur Erzeugung von Konstantspannungen und / oder Konstantströmen nach dem Bandgap-Prinzip,  
**gekennzeichnet durch**  
einen ersten und einen zweiten Transistor (T1, T2), deren Basisanschlüsse über einen ersten Widerstand (R1) miteinander verbunden sind und deren Kollektoranschlüsse an einer Versorgungsspannung (Vdd) anliegen, sowie einen zweiten Widerstand (R2), der zwischen den Basisanschluss des ersten Transistors (T1) und die Versorgungsspan-

nung (Vdd) geschaltet ist, so dass durch die Differenz der Basis-Emitter-Spannungen an den Transistoren (T1, T2) ein durch den ersten und zweiten Widerstand (R1, R2) nach Masse fließender Referenzstrom (Iref) erzeugt wird, und eine auf die Versorgungsspannung (Vdd) bezogene Referenzspannung (Vref) an dem Emitter des ersten Transistors (T1) abgreifbar ist.

2. Schaltungsanordnung nach Anspruch 1,  
**gekennzeichnet durch**  
einen Ausgangspuffer / Treiber (4), mit dem die Referenzspannung geteilt und niederohmig an einen Ausgang geführt wird.
3. Schaltungsanordnung nach Anspruch 1 oder 2,  
**gekennzeichnet durch**  
einen Komparator (2) mit einer Stromspiegelschaltung (M1, M2, M3), mit der die Emitterströme (I1, I2) des ersten und zweiten Transistors (T1, T2) sowie der Referenzstrom (Iref) in einen Gleichgewichtszustand geregelt werden, in dem diese Ströme im wesentlichen gleich sind.
4. Schaltungsanordnung nach Anspruch 3,  
**dadurch gekennzeichnet, dass**  
der Komparator (2) einen vierten und einen fünften Transistor (T4, T5) aufweist, deren Gateanschlüsse miteinander und deren Emitteranschlüsse mit den Emitteranschlüssen des ersten bzw. zweiten Transistors (T1, T2) verbunden sind, so dass eine Spannungsdifferenz an diesen Anschlüssen eine Stromdifferenz zur Folge hat, die mit der Stromspiegelschaltung (M1, M2, M3) ausgeglichen wird.
5. Schaltungsanordnung nach Anspruch 3 oder 4,  
**gekennzeichnet durch**  
einen zehnten, durch die Stromspiegelschaltung angesteuerten Transistor (M10), zur Erzeugung eines temperaturunabhängigen Bias-Stroms (IBIAS).
6. Schaltungsanordnung nach einem der Ansprüche 3 bis 5,  
**gekennzeichnet durch**  
ein Stellglied (3) mit einer Startschaltung zur Beaufschlagung des Komparators (2), das einen dritten Transistor (T3) aufweist, mit dem eine Spannungs- oder Stromdifferenz an den Emitteranschlüssen des ersten und zweiten Transistors (T1, T2) durch Ansteuerung des vierten und fünften Transistors (T4, T5) ausgeglichen wird.

FIG 1

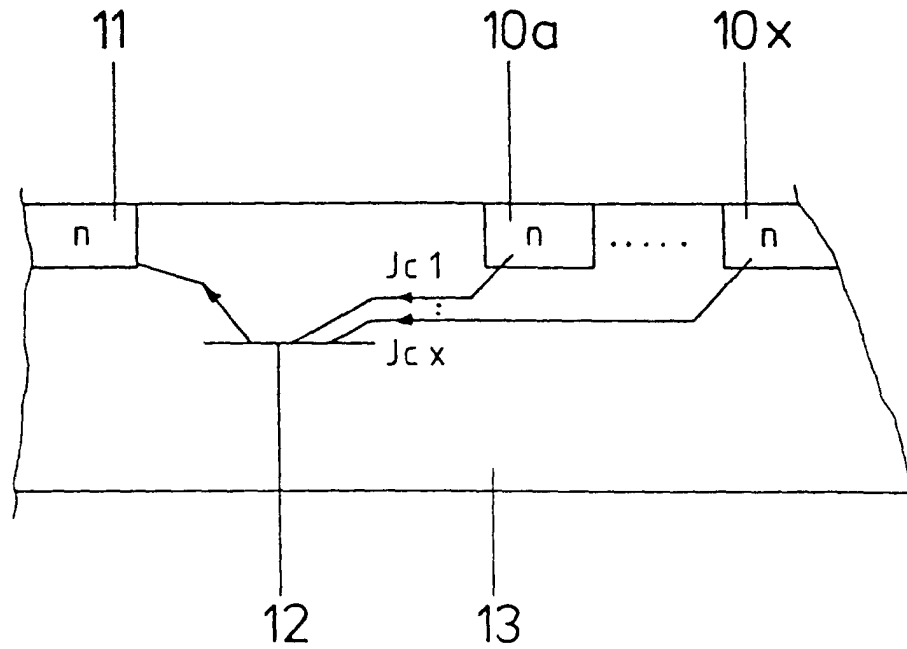


FIG 2

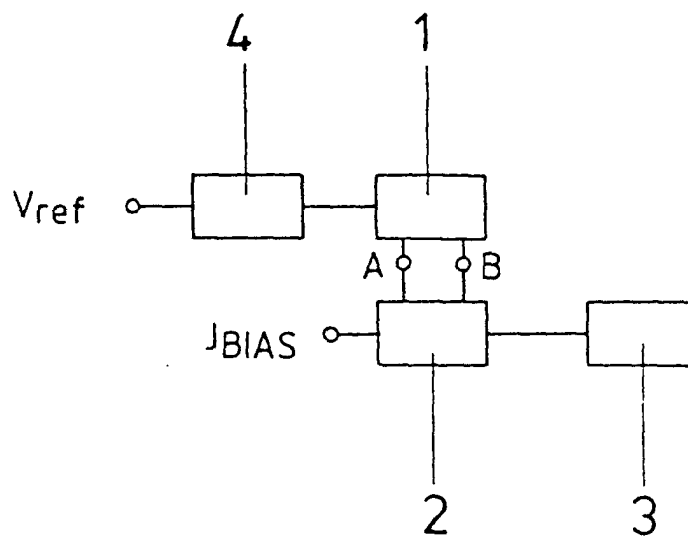
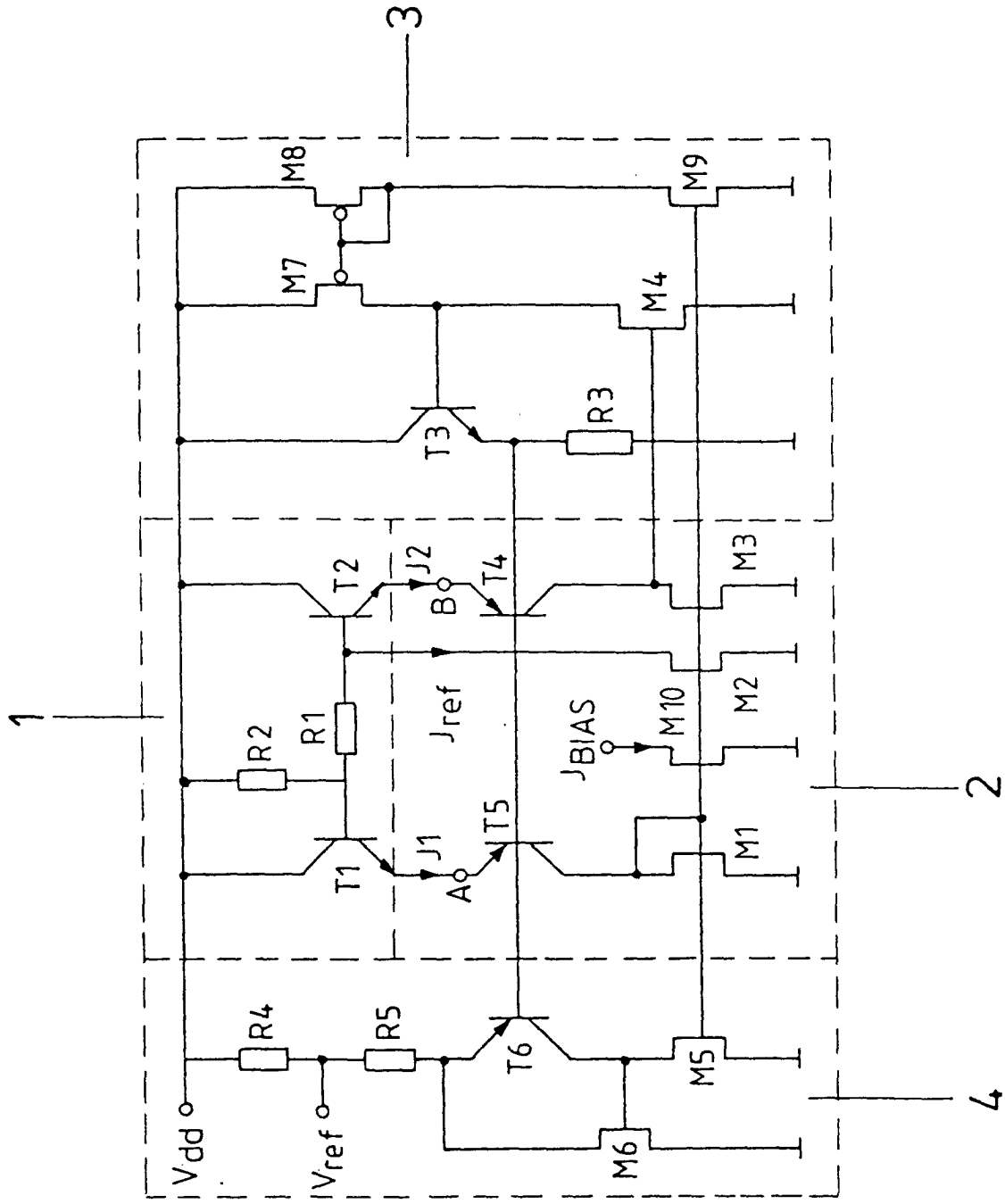


FIG 3





Europäisches  
Patentamt

# EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung  
EP 01 10 1805

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
A	EP 0 680 048 A (SGS THOMSON MICROELECTRONICS) 2. November 1995 (1995-11-02) * das ganze Dokument *	1-6	G05F3/30
A	EP 0 329 247 A (PHILIPS NV) 23. August 1989 (1989-08-23) * das ganze Dokument *	1-6	
A	US 4 348 633 A (DAVIS WILLIAM F) 7. September 1982 (1982-09-07) * Zusammenfassung *	1,2	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
			G05F
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort <b>DEN HAAG</b>		Abschlußdatum der Recherche <b>13. Juni 2001</b>	Prüfer <b>Schobert, D</b>
KATEGORIE DER GENANNTEN DOKUMENTE		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur	

EPO FORM 1503 03.82 (PO4C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT  
ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 01 10 1805

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentdokumente angegeben.

Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am  
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

13-06-2001

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0680048    A	02-11-1995	DE 69423742 D	04-05-2000
		DE 69423742 T	31-08-2000
		US 5818292 A	06-10-1998
EP 0329247    A	23-08-1989	DE 68911708 D	10-02-1994
		DE 68911708 T	30-06-1994
		JP 1246614 A	02-10-1989
		JP 2747313 B	06-05-1998
		KR 136873 B	15-05-1998
		US 4897595 A	30-01-1990
US 4348633    A	07-09-1982	KEINE	

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82