



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag: **26.09.2001 Patentblatt 2001/39** (51) Int Cl.7: **G05F 3/24**

(21) Anmeldenummer: **01103969.0**

(22) Anmeldetag: **19.02.2001**

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR
 Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

- **Esterl, Robert**
81827 München (DE)
- **Lammers, Stefan**
48619 Heek (DE)
- **Manyoki, Zoltan**
CDN-Kanata, ON K2L 3W9 (CA)

(30) Priorität: **23.03.2000 DE 10014385**

(74) Vertreter: **MÜLLER & HOFFMANN Patentanwälte**
Innere Wiener Strasse 17
81667 München (DE)

(71) Anmelder: **Infineon Technologies AG**
81669 München (DE)

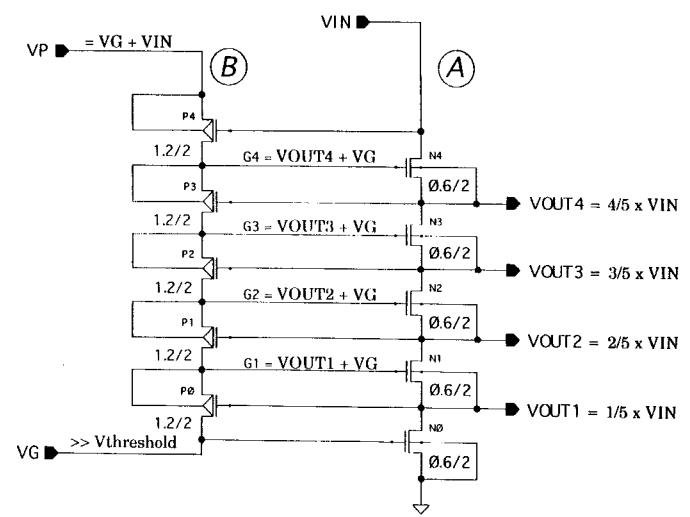
(72) Erfinder:
 • **Boehm, Thomas**
85604 Zorneding (DE)

(54) **CMOS-Spannungsteiler**

(57) Die Erfindung betrifft einen CMOS-Spannungsteiler mit einer ersten Kette (A) aus in Reihe geschalteten MOS-Transistoren (N0-N4) eines ersten Leitungstyps (N), die jeweils gleiche geometrische Abmessungen haben und dabei jeweils gleiche Gate-Source-Spannungen haben, die im linearen Bereich ihrer Kennlinie arbeiten und zwischen deren entgegengesetzten Enden die zu teilende Eingangsspannung (V_{IN}) anliegt und an deren Source-Anschlüssen jeweils die Teilspannungen ableitbar sind, und ist dadurch gekennzeichnet,

dass eine zweite Kette (B) aus zu den ersten MOS-Transistoren (N0-N4) komplementären in Reihe geschalteten MOS-Transistoren (P0-P4) in gleicher Anzahl wie die ersten MOS-Transistoren und mit jeweils gleicher geometrischer Abmessung vorgesehen ist, und die MOS-Transistoren der ersten Kette (A) so mit den MOS-Transistoren der zweiten Kette (B) verbunden sind, dass jede MOS-Transistorkette (A, B) die Gate-Source-Vorspannung für die jeweils andere MOS-Transistorkette (B, A) erzeugt.

FIG. 1



EP 1 136 900 A1

Beschreibung

[0001] Die vorliegende Erfindung betrifft einen CMOS-Spannungsteiler mit einer ersten Kette aus in Reihe geschalteten MOS-Transistoren eines ersten Leitungstyps, die jeweils gleiche geometrische Abmessungen haben und dabei jeweils gleiche Gate-Source-Spannungen haben, die im linearen Bereich ihrer Kennlinie arbeiten und zwischen deren entgegengesetzten Enden die zu teilende Eingangsspannung anliegt und an deren Source-Anschlüssen jeweils die Teilspannungen ableitbar sind.

[0002] Allgemein besteht eine Spannungsteilerschaltung aus mehreren in Reihe geschalteten Widerstandselementen, durch die derselbe Strom fließt. Die geteilten Ausgangsspannungen sind an den Verbindungspunkten der Widerstandselemente dieser Widerstandskette ableitbar.

[0003] Wenn eine solche Spannungsteilerschaltung in einer hochintegrierten Schaltung eingesetzt werden soll, muss sie mehreren Anforderungen genügen:

- a) Die von der Spannungsteilerschaltung eingenommene Fläche sollte so klein wie möglich sein.
- b) Ihre Ausgangsspannung sollte nur von der Schaltungsgeometrie abhängen.
- c) Der von der Schaltung gezogene Ruhestrom sollte so klein wie möglich sein und
- d) Der Ausgangswiderstand einer solchen Spannungsteilerkette sollte möglichst gering sein, damit die Schaltung als Spannungsquelle wirkt.

[0004] Im Stand der Technik sind Spannungsteilerschaltungen bekannt, die wenigstens einen Teil der obigen Anforderungen erfüllen und die Widerstandselemente verwenden. Die Widerstandselemente sind entweder in N-Diffusion oder in P-Diffusion hergestellt und ihr Schichtwiderstandswert liegt im Bereich von 10-100 Ohm/Flächeneinheit. Deshalb braucht man, um einen Widerstandswert von 10^6 Ohm zu erreichen, der seinerseits einen Ruhestrom von nur wenigen μA bewirkt, ein recht großes Widerstandsareal in der Größenordnung von 10000 Flächeneinheiten. In vielen Fällen ist eine solche große Chipfläche unmöglich oder unerwünscht. Dies bedeutet, dass eine derartige Spannungsteilerschaltung die obigen Anforderungen a) und c) nicht erfüllt.

[0005] Eine andere mögliche Realisierung einer Spannungsteilerschaltung verwendet als Widerstandselemente MOS-Transistoren, die in ihrem linearen Bereich arbeiten. Der Strom durch jeden Transistor hängt von seiner Geometrie und von seinen Anschlussspannungen ab:

$$I_{\text{LIN}} = \text{Beta} \times [(V_{\text{gs}} - V_{\text{th}})V_{\text{ds}} - V_{\text{ds}}^2/2].$$

[0006] In dieser Beziehung repräsentieren V_{gs} , V_{ds} und V_{th} jeweils die Gate-Source-Spannung, die Drain-Source-Spannung und die Schwellenspannung. Beta hängt vom Herstellungsprozess und von dem Breiten-Längenverhältnis des Transistors ab. Die Ausgangsspannungen dieser Spannungsteilerschaltung hängen vom verwendeten Prozess (aufgrund V_{th}) ab und hängen nichtlinear von den Transistorabmessungen ab. Deshalb ist die obige Forderung b) nicht erfüllt.

[0007] Es ist Aufgabe der Erfindung, eine Spannungsteilerschaltung anzugeben, die ohne passive Bauteile, wie Widerstände oder Kondensatoren, realisierbar ist, und die gleichmäßig beabstandete Ausgangsspannungen aus einer angelegten Eingangsspannung unter Erfüllung der obigen Erfordernisse a) bis d) erzeugen kann.

[0008] Diese Aufgabe wird gelöst durch einen CMOS-Spannungsteiler mit einer ersten Kette aus in Reihe geschalteten MOS-Transistoren eines ersten Leitungstyps, die jeweils gleiche geometrische Abmessungen haben und dabei jeweils gleiche Gate-Source-Spannungen haben, die im linearen Bereich ihrer Kennlinie arbeiten und zwischen deren entgegengesetzten Enden die zu teilende Eingangsspannung anliegt und an deren Source-Anschlüssen jeweils die Teilspannungen ableitbar sind, dadurch gekennzeichnet, dass eine zweite Kette aus zu den ersten MOS-Transistoren komplementären in Reihe geschalteten MOS-Transistoren in gleicher Anzahl wie die ersten MOS-Transistoren und mit jeweils gleicher geometrischer Abmessung vorgesehen ist, wobei die MOS-Transistoren der ersten Kette so mit den MOS-Transistoren der zweiten Kette verbunden sind, dass jede MOS-Transistorkette die Gate-Source-Vorspannung für die jeweils andere MOS-Transistorkette erzeugt.

[0009] Die Transistoren haben dieselbe Größe, das heißt, dass sie aneinander angepasst sind, und haben deshalb identische Gate-Source-Spannungen. Da sie miteinander in Reihe geschaltet sind, sind auch ihre Drain-Source-Spannungen gleich. Außerdem ist die Drain-Source-Spannung prozess- und temperaturunabhängig.

[0010] Die Erfindung löst die obige Aufgabe durch ausschließliche Verwendung von zueinander komplementären MOS-Transistoren des N- und P-Leitungstyps, verringert dadurch den Flächenbedarf, benötigt nur einen äußerst kleinen Ruhestrom und hat nur einen sehr kleinen Ausgangswiderstand, was ja für die CMOS-Technologie kennzeichnend ist. Ferner hängt die Ausgangsspannung nur von der Geometrie der Schaltung ab.

[0011] Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert. Die einzige Zeichnungsfigur zeigt eine

beispielhafte Schaltungsanordnung einer Spannungsteilerschaltung, die aus einer Eingangsspannung vier gleichmäßig geteilte Ausgangsspannungen erzeugen kann.

Ausführungsbeispiel

[0012] Der in Fig. 1 gezeigte erfindungsgemäße CMOS-Spannungsteiler weist zwei MOS-Transistorketten A und B auf. Die erste Transistorkette A besteht aus fünf in Reihe geschalteten N-Kanal-MOS-Transistoren N0-N4, jeweils mit gleichen geometrischen Abmessungen. Da sie miteinander in Reihe geschaltet sind, haben die Transistoren N0-N4 auch identische Drain-Source-Spannungen, wenn ihre Gate-Source-Spannungen gleich sind. Sie arbeiten im linearen Bereich ihrer Kennlinie, und die zu teilende Eingangsspannung V_{IN} liegt zwischen dem drainseitigen Ende und dem sourceseitigen Ende an. Die Teilspannungen V_{OUT1} - V_{OUT4} sind jeweils an den Sourceanschlüssen des zweiten bis fünften N-Kanal-Transistors N1-N4 ableitbar.

[0013] Die zweite Transistorkette B besteht aus fünf in Reihe geschalteten P-Kanal-MOS-Transistoren P0-P4, jeweils mit gleichen geometrischen Abmessungen und identischen Drain-Source-Spannungen, wenn angenommen ist, dass ihre Gate-Source-Spannungen gleich sind.

[0014] Jeder N-Kanal-MOS-Transistor der ersten Kette A verwendet eine von der zweiten Transistorkette B aus P-Kanal-MOS-Transistoren P0-P4 erzeugte Teilspannung als Gate-Source-Vorspannung. Umgekehrt verwendet jeder P-Kanal-MOS-Transistor P0-P4 der zweiten MOS-Transistorkette B als Gate-Source-Vorspannung eine Teilspannung, die von den N-Kanal-MOS-Transistoren N0-N4 der ersten Kette A erzeugt wird. Auf diese Weise fungiert jede der beiden MOS-Transistorketten A und B als Vorspannungsgeneratorschaltung für die jeweils andere Transistorkette. Wie die Figur zeigt, hat jeder Transistor eine Gate-Source-Spannung V_G . Alle N-Kanal-Transistoren haben die gleiche geometrische Abmessung und leiten, da sie in Reihe geschaltet sind, denselben Strom. Deshalb müssen sie auch die gleichen Drain-Source-Spannungen haben. Dasselbe gilt für die P-Kanal-Transistoren P0-P4 der zweiten Kette B. Für die Versorgungsspannungen der zweiten Kette B gelten folgende Beziehungen:

$$V_G \gg \text{als der Maximalwert aus } \{V_{\text{threshold, PMOS}}; V_{\text{threshold, NMOS}}\}$$

und

$$V_P = V_G + V_{IN}, \text{ wobei } V_{IN} \text{ die zu teilende Eingangsspannung}$$

ist.

Patentansprüche

1. CMOS-Spannungsteiler mit einer ersten Kette (A) aus in Reihe geschalteten MOS-Transistoren (N0-N4) eines ersten Leitungstyps (N), die jeweils gleiche geometrische Abmessungen haben und dabei jeweils gleiche Gate-Source-Spannungen haben, die im linearen Bereich ihrer Kennlinie arbeiten und zwischen deren entgegengesetzten Enden die zu teilende Eingangsspannung (V_{IN}) anliegt und an deren Source-Anschlüssen jeweils die Teilspannungen ableitbar sind,

dadurch gekennzeichnet, dass

eine zweite Kette (B) aus zu den ersten MOS-Transistoren (N0-N4) komplementären in Reihe geschalteten MOS-Transistoren (P0-P4) in gleicher Anzahl wie die ersten MOS-Transistoren und mit jeweils gleicher geometrischer Abmessung vorgesehen ist, wobei die MOS-Transistoren der ersten Kette (A) so mit den MOS-Transistoren der zweiten Kette (B) verbunden sind, dass jede MOS-Transistorkette (A, B) die Gate-Source-Vorspannung für die jeweils andere MOS-Transistorkette (B, A) erzeugt.

2. CMOS-Spannungsteiler nach Anspruch 1,

dadurch gekennzeichnet, dass

die erste MOS-Transistorkette (A) N-Kanal-MOS-Transistoren (N0-N4) und die zweite MOS-Transistorkette (B) P-Kanal-MOS-Transistoren (P0-P4) enthält.

3. CMOS-Spannungsteiler nach Anspruch 2,

dadurch gekennzeichnet, dass

die Drain-Anschlüsse der N-Kanal-MOS-Transistoren (N0-N4) jeweils mit den miteinander verbundenen Gate-

EP 1 136 900 A1

Anschlüssen der P-Kanal-MOS-Transistoren (P0-P4) und die Drainanschlüsse der P-Kanal-MOS-Transistoren (P0-P4) jeweils mit den miteinander verbundenen Gate-Anschlüssen der N-Kanal-MOS-Transistoren (N0-N4) verbunden sind und dass das sourceseitige Ende und das drainseitige Ende der zweiten MOS-Transistorkette (B) jeweils mit einer Versorgungsspannung (VP, VG) beaufschlagt sind, für die gilt:

5

$$VG \gg V_{\text{threshold}}; VP = VG + V_{\text{IN}},$$

wobei $V_{\text{threshold}}$ den Maximalwert der Schwellenspannung der N-Kanal und der P-Kanal-MOS-Transistoren und V_{IN} die zu teilende Eingangsspannung angeben.

10

15

20

25

30

35

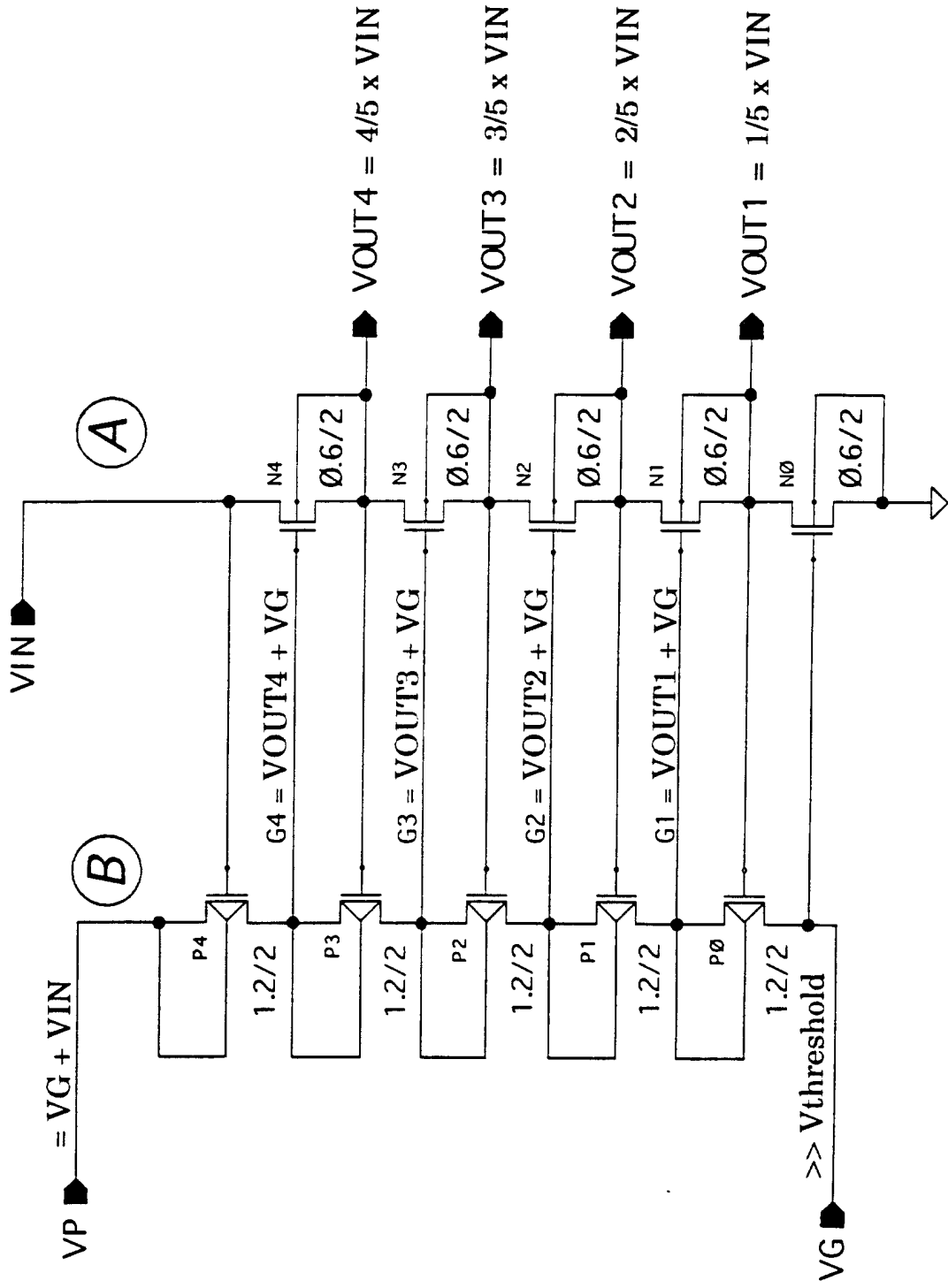
40

45

50

55

FIG. 1





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 01 10 3969

| EINSCHLÄGIGE DOKUMENTE | | | |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------|
| Kategorie | Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile | Betrifft Anspruch | KLASSIFIKATION DER ANMELDUNG (Int.Cl.7) |
| A | EP 0 317 222 A (GEN ELECTRIC) 24. Mai 1989 (1989-05-24) * das ganze Dokument * | 1-3 | G05F3/24 |
| A | ANONYMOUS: "PROGRAMMABLE RESISTOR VOLTAGE DIVIDER THAT SAVES AREA IN THE PHYSICAL CONSTRUCTION USED IN AN INTEGRATED CIRCUIT" RESEARCH DISCLOSURE, Nr. 430, 1. Februar 2000 (2000-02-01), Seite 346 XP002171703 Havant, UK, article No. 430131 * das ganze Dokument * | 1-3 | |
| A | US 4 675 557 A (HUNTINGTON ROBERT C) 23. Juni 1987 (1987-06-23) * Abbildungen 3A,B,C * | 1-3 | |
| A | US 5 923 212 A (WOMACK RICHARD H) 13. Juli 1999 (1999-07-13) * Abbildung 1 * | 1-3 | |
| A | EP 0 785 494 A (TOKYO SHIBAURA ELECTRIC CO) 23. Juli 1997 (1997-07-23) * Abbildungen 7,8 * | 1-3 | G05F |
| Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt | | | RECHERCHIERTE SACHGEBIETE (Int.Cl.7) |
| Recherchenort | Abschlußdatum der Recherche | Prüfer | |
| MÜNCHEN | 11. Juli 2001 | Jonda, S | |
| KATEGORIE DER GENANNTEN DOKUMENTE | | T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument ----- & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument | |
| X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur | | | |

EPO FORM 1503 03 82 (P04C03)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 01 10 3969

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patentdokumente angegeben.
 Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

11-07-2001

| Im Recherchenbericht angeführtes Patentdokument | Datum der Veröffentlichung | Mitglied(er) der Patentfamilie | Datum der Veröffentlichung |
|----------------------------------------------------|-------------------------------|-----------------------------------|-------------------------------|
| EP 0317222 A | 24-05-1989 | US 4847518 A | 11-07-1989 |
| | | CA 1294335 A | 14-01-1992 |
| | | DE 3884912 D | 18-11-1993 |
| | | DE 3884912 T | 05-05-1994 |
| | | JP 1199219 A | 10-08-1989 |
| | | JP 1931563 C | 12-05-1995 |
| | | JP 6058614 B | 03-08-1994 |
| US 4675557 A | 23-06-1987 | EP 0262156 A | 06-04-1988 |
| | | JP 63502858 T | 20-10-1988 |
| | | WO 8705760 A | 24-09-1987 |
| US 5923212 A | 13-07-1999 | EP 0919020 A | 02-06-1999 |
| | | WO 9852112 A | 19-11-1998 |
| | | JP 2000514939 T | 07-11-2000 |
| EP 0785494 A | 23-07-1997 | JP 5028777 A | 05-02-1993 |
| | | DE 69222379 D | 30-10-1997 |
| | | DE 69222379 T | 19-02-1998 |
| | | DE 69230346 D | 30-12-1999 |
| | | DE 69230346 T | 20-04-2000 |
| | | EP 0525679 A | 03-02-1993 |
| | | KR 9503346 B | 10-04-1995 |
| | | US 5253201 A | 12-10-1993 |

EPO FORM P0461

Für nähere Einzelheiten zu diesem Anhang : siehe Amtsblatt des Europäischen Patentamts, Nr.12/82