

(12)

DEMANDE DE BREVET EUROPEEN

(43)

Date de publication:
24.10.2001 Bulletin 2001/43

(51)

Int Cl.7: G05F 1/565, G05F 1/575

(21)

Numéro de dépôt: 01108258.3

(22)

Date de dépôt: 31.03.2001

(84) Etats contractants désignés: AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR Etats d'extension désignés: AL LT LV MK RO SI	(72) Inventeur: Marty, Nicolas 38640 Claix (FR)
(30) Priorité: 12.04.2000 FR 0004673	(74) Mandataire: Marchand, André OMNIPAT, 24 Place des Martyrs de la Résistance 13100 Aix-en-Provence (FR)
(71) Demandeur: STMicroelectronics 94250 Gentilly Cedex (FR)	

(54)

Régulateur linéaire à faible surtension en régime transitoire

(57) La présente invention concerne un régulateur de tension (20) comprenant un transistor MOS de régulation (3) à faible résistance série dont une borne est reliée à une source de tension (1) et dont l'autre borne est reliée à la sortie du régulateur, et un amplificateur (2) dont la sortie pilote la grille du transistor (3) en fonction de l'écart entre une tension de référence (V_{ref}) et une tension de contre-réaction (V_{fb}). Selon l'invention,

le régulateur comprend un interrupteur anti-surtension (4) dont une borne est reliée à la grille du transistor de régulation (3) et l'autre borne est portée à un potentiel (V_{bat}) de blocage du transistor de régulation (3). Des moyens (5, R_{21} , R_{22}) de commande de l'interrupteur (4) sont agencés pour fermer l'interrupteur (4) lorsque la tension de sortie (V_{out}) du régulateur est supérieure à un premier seuil supérieur à la valeur nominale de la tension de sortie.

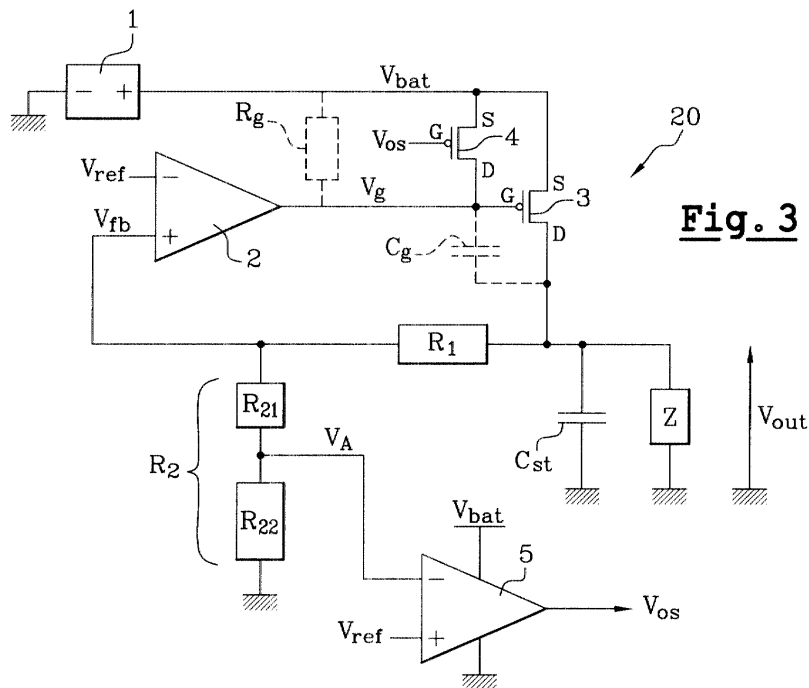


Fig. 3

Description

[0001] La présente invention concerne les régulateurs linéaires à faible chute de tension série du type LDO (Low Drop Out Regulators).

[0002] De tels régulateurs font l'objet de diverses applications, notamment dans le domaine des téléphones mobiles pour délivrer une tension régulée à des circuits d'émission-réception radio à partir d'une tension d'alimentation fournie par une batterie rechargeable.

[0003] A titre d'exemple, la figure 1 représente un régulateur classique 10 dont la sortie délivre une tension régulée V_{out} à une charge Z . La charge Z représente par exemple divers circuits radio présents dans un téléphone mobile. Le régulateur 10 est alimenté par une tension V_{bat} , délivrée ici par la batterie 1 du téléphone mobile, et comprend un amplificateur différentiel 2 dont la sortie pilote la grille G d'un transistor de régulation 3 du type PMOS. L'étage de sortie de l'amplificateur 2 comporte une résistance interne R_g représentée en traits pointillés, ou résistance de grille, qui détermine le gain de l'amplificateur 2 et le courant maximal qu'il peut délivrer en sortie. Le transistor 3 reçoit sur sa source S la tension V_{bat} et son drain D , qui est relié à la sortie du régulateur 10, est connecté à l'anode d'un condensateur C_{st} de filtrage et de stabilisation de la tension V_{out} , agencé en parallèle avec la charge Z . L'amplificateur 2 reçoit sur son entrée négative une tension de référence V_{ref} et sur son entrée positive une tension de contre-réaction V_{fb} (feed-back), par exemple une fraction de la tension V_{out} ramenée sur l'entrée de l'amplificateur 2 par l'intermédiaire d'un pont diviseur de tension comprenant deux résistances R_1 , R_2 .

[0004] Le fonctionnement d'un tel régulateur, bien connu de l'homme de l'art, consiste dans une modulation de la tension de grille V_g du transistor 3 par l'amplificateur 2 en fonction de l'écart entre la tension de contre-réaction V_{fb} et la tension de référence V_{ref} . Lorsque la tension V_g est sensiblement inférieure à $V_{bat} - V_{tp}$ le transistor 3 est passant car sa tension grille-source V_{gs} est sensiblement supérieure à sa tension de seuil V_{tp} . Lorsque la tension V_g est supérieure à $V_{bat} - V_{tp}$, le transistor 3 est bloqué. Ainsi, en régime stabilisé, la tension V_{out} est régulée au voisinage de sa valeur nominale V_{outnom} , qui est ici égale à $(R_1 + R_2)V_{ref}/R_2$.

[0005] Dans une application telle que l'alimentation électrique des circuits radio d'un téléphone mobile, il est important que l'amplificateur 2 présente une consommation électrique aussi faible que possible afin de préserver l'autonomie de la batterie 1. A cet effet, la résistance de grille R_g de l'étage de sortie de l'amplificateur 2 doit être choisie de forte valeur, par exemple 100K Ω , afin de limiter le courant maximal circulant dans l'étage de sortie à l'état haut.

[0006] D'autre part, le transistor de régulation 3 doit présenter une faible résistance série R_{dsON} à l'état passant (résistance drain-source) pour pouvoir délivrer un courant important sans chute de tension rédhibitoire

à ses bornes. Ainsi, le transistor 3 présente classiquement un rapport largeur sur longueur de grille élevé, par exemple une largeur W de grille de $2 \cdot 10^5$ micromètres pour une longueur L de grille de 0,6 micromètre, ce qui représente un rapport W/L de l'ordre de $3 \cdot 10^5$ et une largeur de transistor très importante. En raison de sa taille et de son rapport W/L élevé, le transistor 3 présente également une capacité de grille C_g élevée, représentée en traits pointillés sur la figure 1, de l'ordre de 100 à 200 picrofarads.

[0007] Bien que ces diverses caractéristiques soient indispensables à l'obtention d'un régulateur à faible consommation et faible chute de tension série, le fait de piloter un transistor de régulation ayant une forte capacité de grille C_g au moyen d'un amplificateur ayant un courant maximal de sortie limité entraîne, dans certaines conditions de fonctionnement, des phénomènes de surtension (overshoot) indésirables à la sortie du régulateur.

[0008] A titre d'exemple, les figures 2A, 2B, 2C illustrent un phénomène de surtension apparaissant à la sortie du régulateur d'un téléphone mobile lorsque le téléphone émet à intervalles réguliers, par exemple toutes les 4 millisecondes, des salves de données ou "burst GSM". La figure 2A représente la tension de batterie V_{bat} dont la valeur nominale V_{batnom} est ici de 3,5 v. La figure 2B représente la tension de grille V_g dont la valeur oscille au voisinage d'une tension V_{gnom} égale à $V_{bat} - V_{tp}$ lorsque le régulateur est stabilisé, soit ici 2,8 V si la tension de seuil V_{tp} du transistor est de 0,7 V. Enfin, la figure 2C représente la tension de sortie V_{out} dont la valeur nominale V_{outnom} est ici de 2,8 V lorsque le régulateur est stabilisé.

[0009] A un instant t_1 , les circuits radio du téléphone entrent en service pour émettre une salve. Le courant consommé est très important et la tension V_{bat} chute brutalement en dessous de la valeur nominale V_{outnom} (fig. 2A) en raison de la résistance interne de la batterie. L'amplificateur 2 est déséquilibré, la tension V_g passe à 0 (fig. 2B), la capacité de grille C_g est entièrement déchargée et le transistor 3 est passant. Le régulateur 10 fonctionne ainsi en mode suiveur, la tension de sortie V_{out} étant sensiblement égale à la tension V_{bat} (fig. 2C).

[0010] A un instant t_2 , l'émission de la salve est terminée et le courant consommé diminue. La tension de batterie V_{bat} remonte rapidement (fig. 2A), par exemple en 1 microseconde, jusqu'à sa valeur nominale V_{batnom} . La tension de sortie V_{out} suit la tension V_{bat} jusqu'à atteindre, à un instant t_3 , sa valeur nominale V_{outnom} . A cet instant, l'amplificateur 2 relâche sa sortie de l'état bas vers l'état haut et la grille du transistor 3 se trouve reliée à la tension V_{bat} par l'intermédiaire de la résistance de grille R_g , ce qui devrait normalement devoir entraîner le blocage immédiat du transistor 3. Toutefois, comme cela est illustré en figure 2B, la tension de grille V_g n'augmente que très lentement en raison de la forte valeur de la résistance de grille R_g , qui limite le

courant délivré, et de la forte valeur de la capacité de grille Cg. L'étage de sortie de l'amplificateur 2 est donc dans l'incapacité de charger instantanément la capacité de grille Cg et de bloquer le transistor 3. Ce dernier continue d'être passant et la tension Vout continue de suivre la tension Vbat. Comme illustré en figure 2C, on voit ainsi apparaître à la sortie du régulateur un pic de tension OS. Ce pic de tension ne peut disparaître qu'à partir d'un instant t4, quand la tension de grille Vg franchit la valeur Vbat-Vtp assurant le blocage du transistor 3, et à la condition que la charge Z consomme du courant.

[0011] La présente invention vise à pallier cet inconvénient.

[0012] Plus particulièrement, un objectif de la présente invention est de supprimer, ou à tout le moins limiter, l'effet de surtension en régime transitoire à la sortie d'un régulateur de tension sans qu'il soit nécessaire de modifier la structure du transistor de régulation pour diminuer sa capacité de grille.

[0013] Un autre objectif de la présente invention est également de supprimer ou limiter l'effet de surtension en régime transitoire sans qu'il soit nécessaire d'augmenter le courant maximal pouvant être délivré par la sortie de l'amplificateur de régulation.

[0014] Ces objectifs sont atteints par la prévision d'un régulateur de tension comprenant un transistor MOS de régulation à faible résistance série dont une borne reçoit une tension d'alimentation et dont l'autre borne est reliée à la sortie du régulateur, et un amplificateur dont la sortie pilote la grille du transistor en fonction de l'écart entre une tension de référence et une tension de contre-réaction, le régulateur comprenant un interrupteur dont une borne est reliée à la grille du transistor de régulation et l'autre borne est portée à un potentiel de blocage du transistor de régulation, et des moyens de commande de l'interrupteur, surveillant la sortie du régulateur, agencés pour fermer l'interrupteur lorsque la tension de sortie du régulateur est supérieure à un premier seuil supérieur à la valeur nominale de la tension de sortie.

[0015] Selon un mode de réalisation, les moyens de commande de l'interrupteur sont agencés pour comparer la tension de sortie du régulateur ou une tension proportionnelle à la tension de sortie avec la tension de référence.

[0016] Selon un mode de réalisation, les moyens de commande de l'interrupteur comprennent un comparateur dont la sortie délivre un signal de fermeture de l'interrupteur, le comparateur recevant sur une entrée la tension de référence et sur une autre entrée la tension de sortie ou une tension proportionnelle à la tension de sortie.

[0017] Selon un mode de réalisation, le comparateur présente une hystérésis de commutation choisie de manière que l'interrupteur soit réouvert lorsque la tension de sortie devient inférieure à un second seuil inférieur au premier seuil et supérieur à la valeur nominale de la tension de sortie.

[0018] Selon un mode de réalisation, le transistor de

régulation est un transistor PMOS et le potentiel de blocage est la tension d'alimentation.

[0019] Selon un mode de réalisation, l'amplificateur comprend un étage de sortie comportant une résistance de grille de valeur trop importante pour que le courant traversant la résistance de grille puisse assurer à lui seul un blocage rapide du transistor de régulation lorsque la tension d'alimentation augmente rapidement.

[0020] Selon un mode de réalisation, l'interrupteur est un transistor PMOS ayant une résistance drain-source à l'état passant très inférieure à la résistance de grille de l'étage de sortie de l'amplificateur.

[0021] La présente invention concerne également un téléphone mobile comprenant une batterie et des circuits radio alimentés par la batterie par l'intermédiaire d'un régulateur de tension selon l'invention.

[0022] La présente invention prévoit également un procédé pour empêcher ou limiter l'apparition d'une surtension à la sortie d'un régulateur de tension lorsque la tension d'alimentation du régulateur augmente rapidement, le régulateur comprenant un transistor MOS de régulation à forte capacité de grille dont la grille est pilotée par un amplificateur délivrant un courant à lui seul insuffisant pour assurer un blocage rapide du transistor de régulation, le procédé comprenant une étape consistant à prévoir un interrupteur connecté entre la grille du transistor de régulation et un potentiel de blocage du transistor de régulation, et une étape consistant à fermer l'interrupteur lorsque la tension de sortie du régulateur devient supérieure à un premier seuil supérieur à la valeur nominale de la tension de sortie, de manière à aider temporairement l'amplificateur à bloquer le transistor de régulation.

[0023] Selon un mode de réalisation, le procédé comprend une étape consistant à réouvrir l'interrupteur lorsque la tension de sortie du régulateur devient inférieure à un second seuil compris entre la valeur nominale de la tension de sortie et le premier seuil.

[0024] Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un exemple de réalisation d'un régulateur selon l'invention, faite à titre non limitatif en relation avec les figures jointes, parmi lesquelles :

- la figure 1 précédemment décrite est le schéma électrique d'un régulateur de tension classique,
- les figures 2A à 2C représentent des signaux électriques qui illustrent le fonctionnement du régulateur classique en régime transitoire,
- la figure 3 est le schéma électrique d'un régulateur de tension selon l'invention,
- les figures 4A à 4C représentent des signaux électriques qui illustrent le fonctionnement du régulateur selon l'invention en régime transitoire, et
- la figure 5 est le schéma électrique d'un amplificateur présent dans le régulateur de la figure 3.

[0025] La figure 3 représente un régulateur 20 selon l'invention, alimenté ici par une tension Vbat fournie par l'anode d'une batterie 1. Le régulateur 20 comprend comme celui de la figure 1 un amplificateur différentiel 2 dont la sortie commande la grille d'un transistor de régulation 3 de type PMOS. Le drain D du transistor 3 est relié en sortie du régulateur 20 à une capacité de stabilisation Cst agencée en parallèle avec une charge Z. Ces divers éléments sont agencés comme décrit au préambule et désignés par les mêmes références. La tension de sortie Vout est ramenée sur l'entrée positive de l'amplificateur 2 par l'intermédiaire d'un pont diviseur comprenant deux résistances R1, R2. La résistance R2 est ici constituée de deux résistances R21, R22 en série. La relation entre la tension de sortie Vout et la tension de contre-réaction Vfb est ainsi la suivante :

$$(1) \quad V_{out} = (R1+R2)V_{fb}/R2$$

[0026] La tension de référence Vref appliquée sur l'entrée négative de l'amplificateur 2 est par exemple une tension dite de band-gap présentant une bonne stabilité en fonction de la température, générée au moyen de diodes à jonction PN et de miroirs de courant. La tension Vref est ainsi indépendante de la tension Vbat, à la condition bien entendu d'être choisie inférieure à la valeur la plus basse de la tension Vbat.

[0027] Le fonctionnement du régulateur 20 en régime continu est conforme au régulateur classique. L'amplificateur 2 maintient la tension de contre-réaction Vfb égale à la tension de référence Vref et la tension de sortie nominale Voutnom est égale à :

$$(2) \quad V_{outnom} = (R1+R2)V_{ref}/R2$$

[0028] Selon l'invention, le régulateur 20 comprend un interrupteur anti-surtension 4 connecté entre l'anode de la batterie 1 et la grille G du transistor 3. L'interrupteur 4 est ici un transistor du type PMOS dont la source S reçoit la tension Vbat et dont le drain D est connecté à la grille G du transistor 3. Le rapport W/L longueur sur largeur de grille du transistor 4 est choisi de manière que sa résistance série RdsON à l'état passant soit assez faible, de préférence très inférieure à la résistance de grille Rg de l'étage de sortie de l'amplificateur 2.

[0029] Selon l'invention toujours, la grille G du transistor 4 est pilotée par un signal Vos délivré par la sortie d'un comparateur 5. Le comparateur 5 est alimenté par la tension Vbat et reçoit sur son entrée positive la tension Vref et sur son entrée négative une tension VA. La tension VA est prélevée au point milieu du pont diviseur constitué par les deux résistances R21, R22 en série et est ainsi égale à :

$$(3) \quad VA = R22 V_{fb}/R2$$

Selon l'invention, la résistance R21 est petite devant la résistance R22 de sorte que la tension VA est très proche de la tension Vfb. On peut ainsi écrire que :

$$(4) \quad R21 = x R2$$

$$(5) \quad R22 = (1-x) R2$$

avec "x" compris entre 0 et 1 et proche de 0, x étant par exemple égal à 0,05.

[0030] Lorsque le régulateur est stabilisé, la tension VA est sensiblement inférieure à la tension Vref. En effet, la tension Vfb est dans ce cas sensiblement égale à Vref et la relation (3) devient :

$$(6) \quad VA = R22 V_{ref}/R2$$

soit :

$$(7) \quad VA = (1-x) V_{ref}$$

avec x inférieur à 1 et proche de 0 comme indiqué ci-dessus, et 1-x inférieur à 1 et proche de 1.

[0031] La tension VA étant inférieure à Vref, la sortie du comparateur 5 est à 1. Le signal Vos est ainsi égal à Vbat et le transistor anti-surtension 4 reste dans l'état bloqué, sa tension grille-source Vgs étant nulle.

[0032] Le comparateur 5 et le transistor 4 anti-surtension deviennent actifs en régime transitoire, lorsque la tension Vbat remonte brutalement après avoir fortement baissé en raison d'un pic de consommation de courant, par exemple dans la situation exposée au préambule, c'est-à-dire après l'émission d'une salve de données par le circuit radio d'un téléphone mobile. Une telle situation est illustrée sur les figures 2A, 4A, 4B, 4C, qui représentent respectivement le profil de la tension de batterie Vbat, la tension Vg délivrée par l'amplificateur 2 sur la grille du transistor de régulation 3, la tension Vout et la tension Vos de commande du transistor anti-surtension 4.

[0033] Pendant la chute de la tension Vbat, à compter du temps t1, le régulateur 20 est déséquilibré et passe en mode suiveur, la tension de sortie Vout recopiant la tension Vbat. Pendant cette période, la tension VA continue de baisser et reste ainsi inférieure à la tension Vref, le signal Vos à la sortie du comparateur restant à 1 (Vbat).

[0034] A l'instant t2, la tension Vbat remonte brutalement et la tension Vout suit la tension Vbat. A l'instant t3, la tension Vout atteint le point de régulation Voutnom et l'amplificateur 2 bascule sa sortie à l'état haut. Toutefois, comme on l'a expliqué au préambule, l'amplificateur est, par sa conception, incapable de délivrer le courant nécessaire à charger immédiatement la capacité

de grille Cg du transistor 3. La tension de sortie Vout continue donc de monter après l'instant t3 et de suivre la tension Vbat, le transistor 3 restant passant.

[0035] Selon l'invention, à un instant t5 très proche de l'instant t3, la tension Vout atteint une valeur de seuil Vout1 telle que la tension VA à l'entrée du comparateur 5 devient égale à Vref. A cet instant, la sortie du comparateur 5 bascule à 0 (fig. 4C) et le transistor anti-surtension 4 devient passant. La résistance série RdsON à l'état passant du transistor 4 étant faible, la grille G du transistor de régulation 3 reçoit le courant nécessaire pour charger la capacité de grille Cg et le transistor 3 se bloque quasi instantanément. La tension Vout cesse de monter et redescend vers sa valeur nominale Voutnom (fig. 4B). Selon l'invention, on neutralise ainsi l'apparition du pic de tension OS représenté en figure 2C, caractéristique d'un régulateur classique, en aidant l'amplificateur 2 à bloquer le transistor de régulation 3 au moyen du transistor 4.

[0036] En pratique, le seuil Vout1 de déclenchement du transistor 4 peut être défini au moyen du paramètre x mentionné plus haut, qui est fonction des résistances R1, R2, R21 et R22. En effet, la relation entre les tensions Vout et VA est la suivante :

$$(8) \quad Vout = (R1+R2)VA/R22$$

En combinant les relations (5) et (8), il vient :

$$(9) \quad Vout = (R1+R2)VA/(1-x)R2$$

en remplaçant VA par Vref et Vout par Vout1 dans la relation (9), il vient :

$$(10) \quad Vout1 = (R1+R2)Vref/(1-x)R2$$

En combinant la relation (10) et la relation (2), il vient :

$$(11) \quad Vout1 = Voutnom/(1-x)$$

le terme x étant petit, il vient :

$$(12) \quad Vout1 \approx Voutnom + x Voutnom$$

soit :

$$(13) \quad Vout1 \approx Voutnom + x (R1+R2)Vref/R2$$

soit :

$$(14) \quad Vout1 \approx Voutnom + K$$

K étant une constante déterminée par les résistances R1, R2, R21, R22 et la valeur de Vref. A titre d'exemple numérique, un régulateur présentant les caractéristiques suivantes :

$$\begin{aligned} R1 &= 500 \text{ K}\Omega, \\ R2 &= 500 \text{ K}\Omega, \\ R21 &= 25 \text{ K}\Omega, \\ R22 &= 475 \text{ K}\Omega, \\ x &= 0,05 \\ Vref &= 1,4 \text{ V} \\ Voutnom &= 2,8 \text{ V} \end{aligned}$$

présente un seuil Vout1 de commutation du transistor anti-surtension 4 égal à 2,835 V. En d'autres termes, le phénomène parasite de surtension est limité dans cet exemple à 0,035 V grâce à la présente invention, soit un pic de tension négligeable au regard de la valeur nominale de la tension de sortie.

[0037] Bien entendu, selon la valeur Voutnom désirée, le régulateur 20 peut comporter une contre-réaction directe de la tension Vout sur l'entrée de l'amplificateur 2. Dans ce cas, les relations mentionnées ci-dessus sont toujours applicables en considérant que R1 = 0.

[0038] D'autre part, il est avantageux en pratique que le comparateur 5 présente une hystérésis de commutation afin d'éviter une éventuelle instabilité de la tension Vout au voisinage du seuil Vout1. Dans ce cas, la sortie du comparateur 5 passe à 1 lorsque la tension VA atteint une valeur Vref' sensiblement inférieure à Vref. Cette valeur Vref' correspond, à la sortie du régulateur 20, à une tension Vout2 comprise entre Voutnom et Vout1 (fig. 4B et 4C).

[0039] La figure 5 représente à titre d'exemple une structure d'amplificateur 2 à faible consommation, ayant un courant de sortie limité. L'amplificateur comprend en entrée un étage différentiel représenté ici sous la forme d'un bloc 30, recevant les tensions Vref et Vfb. L'étage différentiel 30 est polarisé par un générateur de courant 31 qui limite sa consommation. La sortie de l'étage différentiel 30 pilote la grille d'un transistor 32 de type NMOS, connecté entre le noeud de sortie de l'amplificateur 2 et la masse. Le transistor 32 est polarisé sur son drain D par un générateur de courant 33 limitant la consommation de l'étage de sortie à l'état bas. On trouve également dans l'amplificateur 2 la résistance de grille Rg, connectée au noeud de sortie de l'amplificateur et recevant à son autre extrémité la tension Vbat. Ainsi, le transistor 32 tire la sortie de l'amplificateur à la masse et la résistance Rg tire la sortie à la tension d'alimentation Vbat selon la valeur du signal délivré par l'étage différentiel 30.

[0040] Bien que cet exemple d'amplificateur différentiel à faible consommation convienne bien à la réalisation d'un régulateur selon l'invention, il va de soi que la présente invention n'est pas limitée à cet exemple et s'applique de façon générale à tout type d'amplificateur de régulation, dans la mesure où la sortie de l'amplifi-

cateur est bridée et n'est pas en mesure d'assurer un blocage rapide du transistor de régulation en régime transitoire.

[0041] Par ailleurs, on voit sur la figure 5 que le transistor anti-surtension 4 peut être modélisé sous la forme d'un interrupteur parfait 4-1 en série avec une résistance 4-2, qui est ici la résistance série R_{dsON} du transistor. En pratique, une résistance externe peut éventuellement être ajoutée à l'interrupteur 4 pour limiter le courant de charge de la capacité de grille C_g tout en conservant un temps de blocage acceptable en régime transitoire.

[0042] Le régulateur selon l'invention est bien entendu susceptible de diverses applications autres que celle exposée au préambule, et de diverses variantes de réalisation et perfectionnements.

[0043] Ainsi, dans une variante, le pont diviseur formé par les résistances R_{21} , R_{22} est supprimé et la tension V_{fb} est directement appliquée sur une entrée du comparateur 5. Dans ce cas, le comparateur 5 est un comparateur à seuil ϵ . La sortie du comparateur ne passe à 0 qu'à l'instant où la tension V_{fb} devient supérieure ou égale à $V_{ref} + \epsilon$.

[0044] De façon générale, l'interrupteur anti-surtension selon l'invention doit recevoir un potentiel assurant le blocage du transistor de régulation. L'enseignement exposé dans la présente demande s'applique ainsi à la réalisation d'un régulateur ayant un transistor de régulation de type NMOS, pour la résolution du problème inverse, à savoir la décharge de la capacité de grille du transistor de régulation au blocage de celui-ci quand le courant maximal entrant dans l'étage de sortie de l'amplificateur lors de son passage à 0 est limité. Ce potentiel est par exemple la masse avec un transistor de régulation NMOS.

Revendications

1. Régulateur de tension (20) comprenant un transistor MOS de régulation (3) à faible résistance série dont une borne (S) reçoit une tension d'alimentation (V_{bat}) et dont l'autre borne (D) est reliée à la sortie du régulateur, et un amplificateur (2) dont la sortie pilote la grille (G) du transistor (3) en fonction de l'écart entre une tension de référence (V_{ref}) et une tension de contre-réaction (V_{fb}), **caractérisé en ce qu'il comprend** :
 - un interrupteur (4) dont une borne (D) est reliée à la grille du transistor de régulation (3) et l'autre borne (S) est portée à un potentiel (V_{bat}) de blocage du transistor de régulation (3), et
 - des moyens (5, R_1 , R_2 , R_{21} , R_{22}) de commande de l'interrupteur (4), surveillant la sortie du régulateur, agencés pour fermer l'interrupteur (4) lorsque la tension de sortie (V_{out}) du régulateur est supérieure à un premier seuil (V_{out1})

supérieur à la valeur nominale (V_{outnom}) de la tension de sortie.

2. Régulateur selon la revendication 1, dans lequel les moyens de commande (5, R_1 , R_2 , R_{21} , R_{22}) de l'interrupteur (4) sont agencés pour comparer la tension de sortie du régulateur (V_{out}) ou une tension (V_A) proportionnelle à la tension de sortie avec la tension de référence (V_{ref}).
3. Régulateur selon la revendication 2, dans lequel les moyens de commande de l'interrupteur comprennent un comparateur (5) dont la sortie délivre un signal (V_{os}) de fermeture de l'interrupteur, le comparateur recevant sur une entrée la tension de référence (V_{ref}) et sur une autre entrée la tension de sortie (V_{out}) ou une tension (V_A) proportionnelle à la tension de sortie.
4. Régulateur selon la revendication 3, dans lequel le comparateur (5) présente une hystérésis de commutation choisie de manière que l'interrupteur (4) soit réouvert lorsque la tension de sortie (V_{out}) devient inférieure à un second seuil (V_{out2}) inférieur au premier seuil (V_{out1}) et supérieur à la valeur nominale (V_{outnom}) de la tension de sortie.
5. Régulateur selon l'une des revendications 1 à 4, dans lequel le transistor de régulation (3) est un transistor PMOS et le potentiel de blocage est la tension d'alimentation (V_{bat}).
6. Régulateur selon la revendication 5, dans lequel l'amplificateur (2) comprend un étage de sortie comportant une résistance de grille (R_g) de valeur trop importante pour que le courant traversant la résistance de grille (R_g) puisse assurer à lui seul un blocage rapide du transistor de régulation (3) lorsque la tension d'alimentation (V_{bat}) augmente rapidement.
7. Régulateur selon la revendication 6, dans lequel l'interrupteur (4) est un transistor PMOS ayant une résistance drain-source (R_{dsON}) à l'état passant très inférieure à la résistance de grille (R_g) de l'étage de sortie de l'amplificateur.
8. Téléphone mobile comprenant une batterie (1) et des circuits radio alimentés par la batterie par l'intermédiaire d'un régulateur de tension (20) selon l'une des revendications 1 à 7.
9. Procédé pour empêcher ou limiter l'apparition d'une surtension à la sortie d'un régulateur de tension (20) lorsque la tension d'alimentation (V_{bat}) du régulateur augmente rapidement, le régulateur (20) comprenant un transistor MOS de régulation (3) à forte capacité de grille (C_g) dont la grille est pilotée par

un amplificateur (2) délivrant un courant à lui seul insuffisant pour assurer un blocage rapide du transistor de régulation (3), procédé **caractérisé en ce qu'il** comprend une étape consistant à prévoir un interrupteur (4) connecté entre la grille du transistor de régulation (3) et un potentiel de blocage (Vbat) du transistor de régulation, et une étape consistant à fermer l'interrupteur lorsque la tension de sortie du régulateur devient supérieure à un premier seuil (Vout1) supérieur à la valeur nominale (Voutnom) de la tension de sortie, de manière à aider temporairement l'amplificateur (2) à bloquer le transistor de régulation (3).

10. Procédé selon la revendication 9, comprenant une étape consistant à réouvrir l'interrupteur (4) lorsque la tension de sortie du régulateur devient inférieure à un second seuil (Vout2) compris entre la valeur nominale (Voutnom) de la tension de sortie et le premier seuil (Vout1).
11. Procédé selon l'une des revendications 9 et 10, dans lequel l'interrupteur (4) est piloté par un comparateur (5) recevant en entrée une tension de référence (Vref) du régulateur et une tension (VA) proportionnelle à la tension de sortie (Vout) du régulateur.
12. Procédé selon l'une des revendications 9 à 11, dans lequel le transistor de régulation (3) est un transistor PMOS et le potentiel de blocage est la tension d'alimentation (Vbat).

35

40

45

50

55

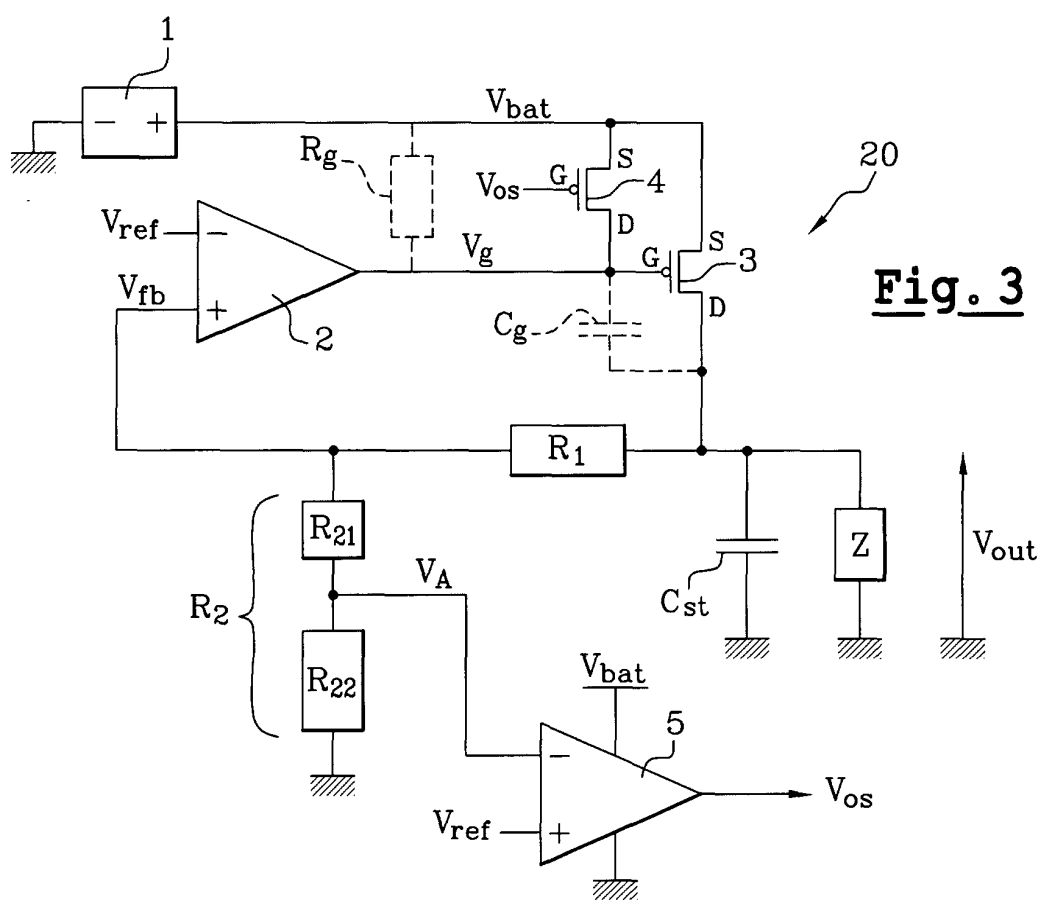
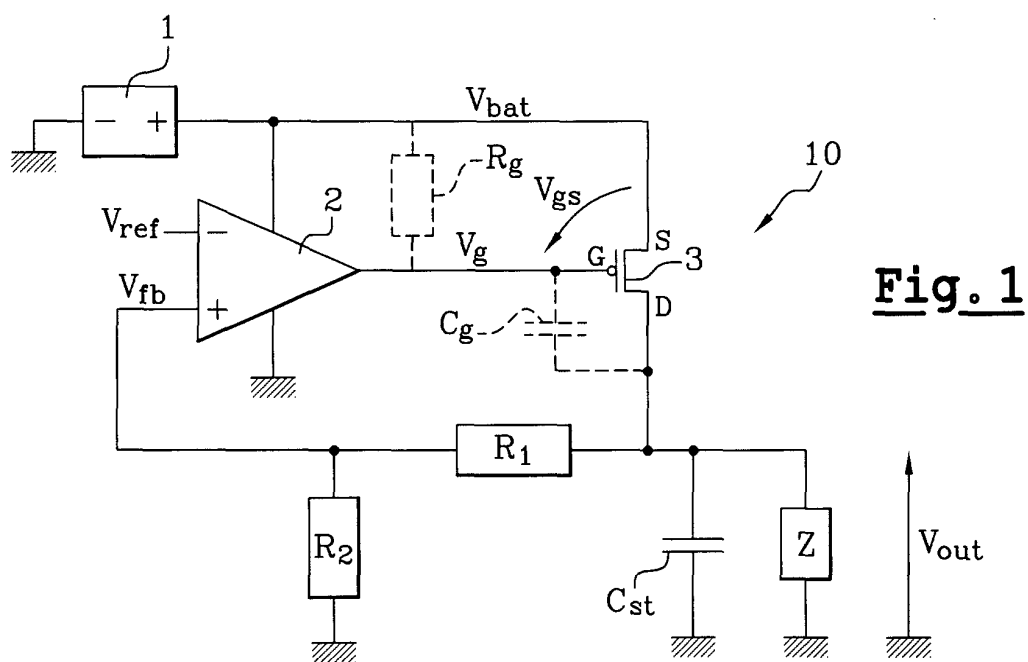


Fig. 2A

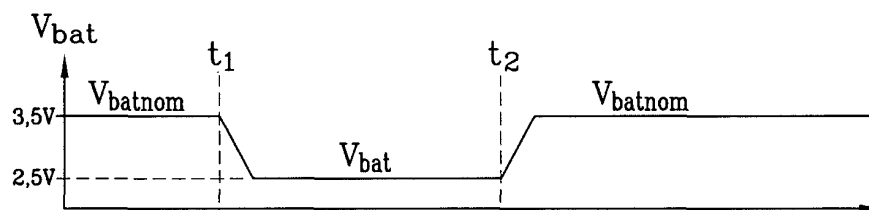


Fig. 2B

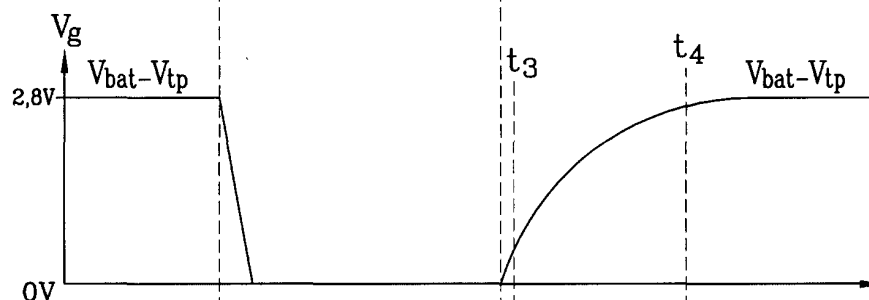


Fig. 2C

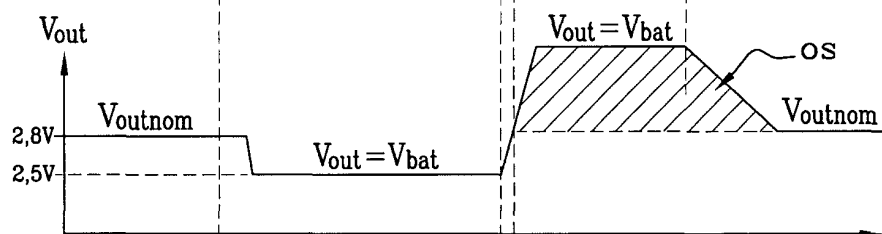


Fig. 4A

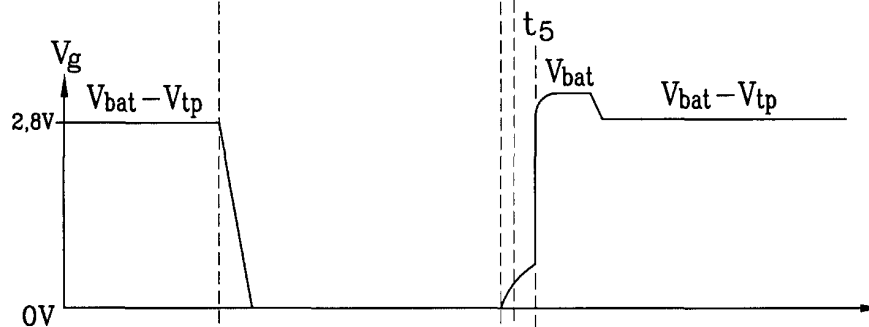


Fig. 4B

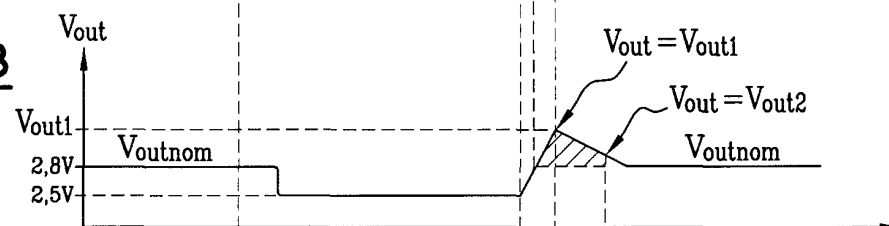
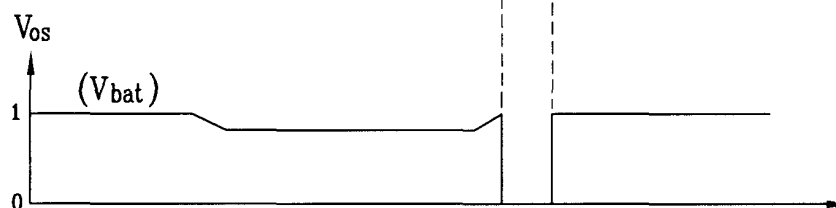


Fig. 4C



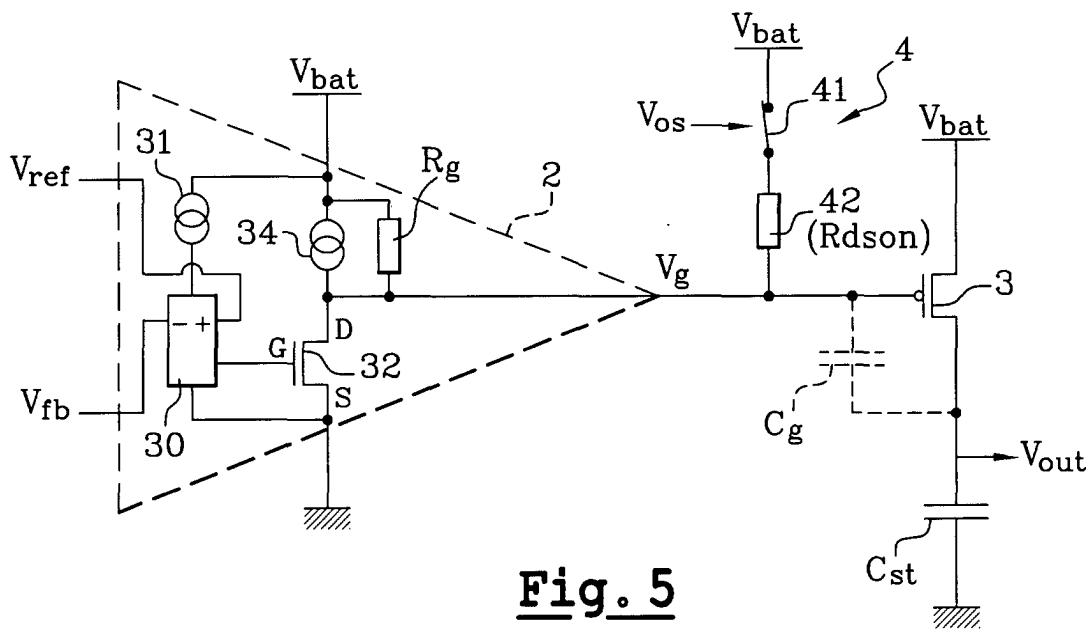


Fig. 5



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 01 10 8258

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
Y A	EP 0 971 280 A (MOTOROLA SEMICONDUCTEURS) 12 janvier 2000 (2000-01-12) * le document en entier *	1,2,5,8, 9 3,4,6,7, 10-12	G05F1/565 G05F1/575
Y A	EP 0 892 332 A (ST MICROELECTRONICS SRL) 20 janvier 1999 (1999-01-20) * le document en entier *	1,2,5,8, 9 3,4,6,7, 10-12	
A	US 5 548 205 A (MONTICELLI DENNIS M) 20 août 1996 (1996-08-20) * colonne 1, ligne 19 - colonne 2, ligne 42 *	1-12	
A	US 5 168 209 A (THIEL V FRANK L) 1 décembre 1992 (1992-12-01) * colonne 2, ligne 8 - colonne 3, ligne 37 *	1-12	
A	EP 0 899 643 A (ST MICROELECTRONICS SRL) 3 mars 1999 (1999-03-03) * colonne 1, ligne 20 - colonne 2, ligne 14 *	1-12	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7) G05F
A	EP 0 316 781 A (NAT SEMICONDUCTOR CORP) 24 mai 1989 (1989-05-24) * abrégé *	1-12	
A	US 5 929 616 A (PERRAUD JEAN-CLAUDE ET AL) 27 juillet 1999 (1999-07-27) * abrégé *	1-12	
A	EP 0 903 839 A (STMICROELECTRONICS SA) 24 mars 1999 (1999-03-24) * abrégé *	1-12	
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 6 août 2001	Examineur Schobert, D
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPC FORM 1503 03 82 (P04002)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 01 10 8258

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

06-08-2001

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0971280 A	12-01-2000	AUCUN	
EP 0892332 A	20-01-1999	US 6157176 A	05-12-2000
US 5548205 A	20-08-1996	AUCUN	
US 5168209 A	01-12-1992	AUCUN	
EP 0899643 A	03-03-1999	US 5939867 A	17-08-1999
EP 0316781 A	24-05-1989	US 4779037 A	18-10-1988
		CA 1295015 A	28-01-1992
		DE 3876388 A	14-01-1993
		DE 3876388 T	13-05-1993
		JP 1161512 A	26-06-1989
US 5929616 A	27-07-1999	FR 2750514 A	02-01-1998
		DE 69703568 D	28-12-2000
		DE 69703568 T	13-06-2001
		EP 0816964 A	07-01-1998
		JP 10063353 A	06-03-1998
EP 0903839 A	24-03-1999	FR 2768527 A	19-03-1999
		JP 11164550 A	18-06-1999
		US 6150798 A	21-11-2000

EPO FORM P0450

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82