



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
23.01.2002 Patentblatt 2002/04

(51) Int Cl.7: **H04L 25/05**

(21) Anmeldenummer: **01116106.4**

(22) Anmeldetag: **03.07.2001**

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR
 Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(72) Erfinder: **Nygren, Aaron**
81667 München (DE)

(74) Vertreter:
Müller . Hoffmann & Partner Patentanwälte
Innere Wiener Strasse 17
81667 München (DE)

(30) Priorität: **20.07.2000 DE 10035424**

(71) Anmelder: **Infineon Technologies AG**
81669 München (DE)

(54) **Zwischenspeichereinrichtung**

(57) Um auf einer Ausgangsleitung (5) ausgegebene Daten (D_{out}) stabil zu halten, wird bei einer Zwischenspeichereinrichtung (2) mit einer Mehrzahl von Latchstufen (L1, ..., Ln-1), welche jeweils eine Latcheinrichtung (6) und eine Multiplexeinrichtung (7) aufweisen,

vorgeschlagen, daß zumindest die Multiplexeinrichtung der ausgangsseitig ersten Latchstufe (L1) im Bereich (20) einer zur Datenzwischenspeicherung vorgesehenen Rückkopfelschleife der Latcheinrichtung (6) dieser Latchstufe (L1) ausgebildet ist.

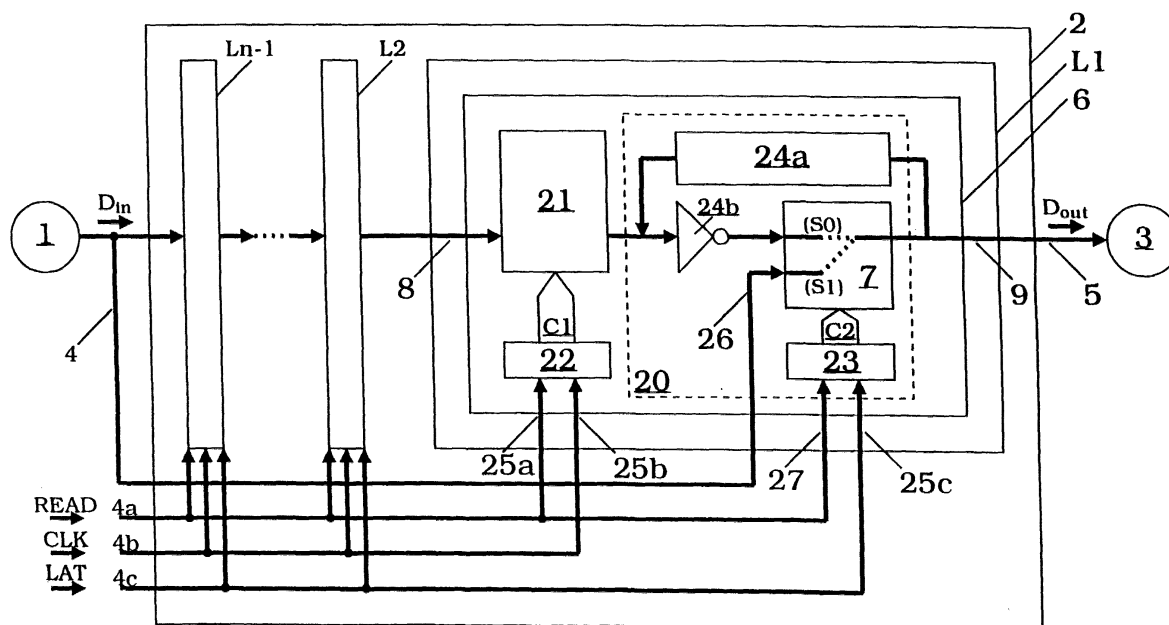


Fig. 1

Beschreibung

[0001] Die Erfindung betrifft eine Zwischenspeichereinrichtung gemäß dem Oberbegriff des Anspruchs 1.

[0002] Beim Austausch digitaler Daten zwischen einer sendenden Einrichtung und einer empfangenden Einrichtung wird im Übertragungskanal häufig eine Zwischenspeichereinrichtung vorgesehen. Diese Zwischenspeichereinrichtung dient dem Auffangen und Puffern der von der sendenden Einrichtung übermittelten Daten sowie der Abgabe der zwischengespeicherten Daten an die empfangende Einrichtung, und zwar in einer Art und Weise, die den unterschiedlichen Zeitstrukturen von sendender Einrichtung und empfangender Einrichtung Rechnung trägt. Somit sind bekannte Zwischenspeichereinrichtungen zwischen sendenden und empfangenden Einheiten dazu ausgebildet, eine Synchronizität zwischen dem ausgesandten und dem weitergeleiteten und dann schließlich empfangenen Datenstrom herzustellen.

[0003] Da unterschiedliche Systemanforderungen eine unterschiedlich rasche Datenabgabe an die empfangende Einheit oder Einrichtung erforderlich macht, sind bekannte Zwischenspeichereinrichtungen als sogenannte FIFO-Latches (first-in-first-out) ausgelegt. Diese bekannten FIFO-Latches geben die empfangenen Daten in der Reihenfolge und gemäß einer vordefinierbaren Latenz, Latenzzeit oder Verzögerungszeit nach dem Empfang von der sendenden Einrichtung an die empfangende Einrichtung ab, in der sie auch empfangen werden. Dabei werden die zwischengespeicherten Daten am Ausgang jeweils solange gehalten, bis die empfangende Einheit zum Empfang bereit ist und die Daten vom Zwischenspeicher übernimmt.

[0004] Demgemäß sind bekannte Zwischenspeichereinrichtungen zur Aufnahme und Zwischenspeicherung einer Eingangsleitungseinrichtung zugeführte Eingangsdaten und zur Ausgabe von mit den Eingangsdaten im wesentlichen korrespondierenden Ausgangsdaten auf eine Ausgangsleitungseinrichtung ausgebildet und können dazu in bezug auf die Latenz oder Verzögerungszeit bis zur Datenausgabe ausgewählt werden. Diese bekannten Zwischenspeichereinrichtungen weisen jeweils eine Mehrzahl von sogenannten Latchstufen, also Datenhaltestufen auf, welche ihrerseits jeweils zumindest eine Latcheinrichtung, den eigentlichen Zwischenspeicher, sowie eine Multiplexeinrichtung umfassen. Die Multiplexeinrichtung ist dabei jeweils so in der jeweiligen Latchstufe angeordnet und ausgebildet, daß einem jeweiligen Datenausgangsanschluß der Latchstufe steuerbar wahlweise zumindest entweder in einem ersten Auswahlzustand der Multiplexeinrichtung die an der Eingangsleitungseinrichtung der Zwischenspeichereinrichtung anliegenden Eingangsdaten direkt oder in einem zweiten Auswahlzustand der Multiplexeinrichtung in der Latcheinrichtung der jeweiligen Latchstufe zwischengespeicherte Daten zuführbar sind.

[0005] Durch die steuerbare Wahl der Auswahlzu-

stände der Multiplexeinrichtungen der Gesamtheit von Latchstufen wird somit die insgesamt nach außen hin wirksame Latenz definiert. Jede Latchstufe für sich bewirkt aufgrund der Abfolge von Latcheinrichtung und Multiplexeinrichtung eine gewisse Latenzzeit, Latenz oder Verzögerungszeit. Die Aneinanderreihung oder Anordnung in Serie der aufeinanderfolgenden Latchstufen bewirkt dann je nach Wahl der aktivierten Multiplexeinrichtungen die Auswahl einer bestimmten Latenz, so daß beim Vorliegen von n-1 in Serie geschalteten Latchstufen n verschiedene Latenzen auswählbar sind.

[0006] Bei der Zwischenspeicherung, insbesondere mit auswählbar verschiedenen Latenzen oder Verzögerungen, müssen die Ausgangsdaten auf der Ausgangsleitungseinrichtung unabhängig davon, welche Latenz ausgewählt wurde, auch dann stabil gehalten werden, wenn kein Aktivierungsbefehl oder Lesebefehl auf die Latcheinrichtungen zugreift und auch dann wenn die ausgangsseitig erste Multiplexeinrichtung, also die Latenz 1, ausgewählt wurde, bei welcher bei bekannten Zwischenspeichereinrichtungen eben keine weitere Latcheinrichtung nachfolgt, welche die anliegenden Ausgangsdaten stabil halten könnte.

[0007] Der Erfindung liegt die Aufgabe zugrunde, eine Zwischenspeichereinrichtung zu schaffen, bei welcher auf besonders einfache Art und Weise sichergestellt wird, daß auf der Ausgangsleitungseinrichtung anliegende Ausgangsdaten für jede ausgewählte Latenz und unabhängig vom Vorliegen eines Aktivierungszustandes der Latcheinrichtungen stabil gehalten werden.

[0008] Die Aufgabe wird bei einer Zwischenspeichereinrichtung der eingangs erwähnten Art erfindungsgemäß mit den kennzeichnenden Merkmalen des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen der erfindungsgemäßen Zwischenspeichereinrichtung sind Gegenstand der abhängigen Unteransprüche.

[0009] Die erfindungsgemäße Zwischenspeichereinrichtung ist dadurch gekennzeichnet, daß zumindest die Multiplexeinrichtung der ausgangsseitig ersten Latchstufe im Bereich einer zur Datenzwischenspeicherung vorgesehenen Rückkoppelschleife der Latcheinrichtung dieser Latchstufe derart integriert ausgebildet ist, so daß auf der Ausgangsleitungseinrichtung ausgegebene oder anliegende Daten dort stabil, insbesondere unabhängig vom Aktivierungszustand der Latcheinrichtungen der Latchstufen und/oder von einer aktuellen Änderung der Eingangsdaten, haltbar sind.

[0010] Beim Stand der Technik wird zur Vermeidung des Problems der Instabilität des Ausgangssignals für eine ausgewählte Latenz 1 ein zusätzlicher Latchmechanismus in der Zwischenspeichereinrichtung entweder für das Eingangssignal oder für das Ausgangssignal vorgesehen. Dies hat die Nachteile zusätzlicher Leistungsaufnahme und des Erzeugens zusätzlichen Rauschens auf den Leitungen. Ferner sind die Ausgangsdaten der Ausgangsdatenleitung in einem nicht vorhersehbaren Zustand, falls für die einzelnen vorangehenden Latcheinrichtungen insgesamt kein Aktivierungssi-

gnal vorliegt. Des weiteren werden für den zusätzlichen Latchmechanismus entsprechende elektronische Bauelemente und ein Datenpfad vorgesehen, welche auf dem integrierten Baustein Platz benötigen und die Performance, insbesondere die Geschwindigkeit, der Zwischenspeichereinrichtung verschlechtern.

[0011] Eine Grundidee der vorliegenden Erfindung ist dagegen, daß eine ohnehin vorzusehende Multiplexeinrichtung, insbesondere die der ausgangsseitig ersten Latchstufe, im Bereich einer zur Datenzwischenspeicherung vorgesehenen Rückkoppelschleife der Latcheinrichtung ausgebildet ist. Dadurch wird gewährleistet, daß das Auswählen der Multiplexeinrichtung in der zur Zwischenspeicherung ohnehin vorgesehen Rückkoppelschleife erfolgt, wodurch der dort vorhandene Latchmechanismus oder die Latcheinrichtung zur Zwischenspeicherung und zur Stabilisierung mit verwendet wird. Dadurch bleibt ausgangsseitig von der ersten Latcheinrichtung das Datensignal auf der Ausgangsleitungseinrichtung stabil, und zwar unabhängig davon, ob eine Latenz ausgewählt wurde, welche Latenz ausgewählt wurde und auch unabhängig davon, ob irgendeine der Latcheinrichtungen durch einen entsprechenden Aktivierungsbefehl zum Auslesen aktiviert wurde oder nicht.

[0012] Es ist dazu in vorteilhafter Weise vorgesehen, daß jede Latchstufe für sich mindestens einen Dateneingangsanschluß und einen Datenausgangsanschluß aufweist. Die Latchstufen sind ferner so im wesentlichen in Serie angeordnet, daß von der Eingangsleitungseinrichtung zur Ausgangsleitungseinrichtung der Zwischenspeichereinrichtungen hin der Datenausgangsanschluß einer jeweiligen vorangehenden Latchstufe jeweils mit dem Dateneingangsanschluß einer direkt nachfolgenden Latchstufe verbunden ist. Durch diese Anordnung wird gerade gewährleistet, daß die Abfolge der aufeinanderfolgenden Latchstufen die Kaskadierung und Abfolge der auswählbaren Latenzen definiert.

[0013] Obwohl es grundsätzlich ausreichend ist, daß zur Stabilisierung des an der Ausgangsleitungseinrichtung anliegenden Ausgangssignals zunächst nur die Multiplexeinrichtung der ausgangsseitigen ersten Latchstufe in die Latcheinrichtung, und zwar insbesondere in eine dort vorgesehen Rückkoppelschleife zur Zwischenspeicherung ausgebildet ist, ist es aus produktionstechnischen und konzeptionellen Gründen besonders vorteilhaft, wenn sämtliche Latchstufen, insbesondere auf die Anordnung der Multiplexeinrichtungen, im wesentlichen gleich oder gleichwirkend ausgebildet sind. Diese Maßnahme sieht also vor, daß sämtliche Multiplexeinrichtungen der Latchstufen jeweils in die Latcheinrichtungen und insbesondere in einer dort jeweils vorgesehenen Rückkoppelschleife integriert angeordnet sind.

[0014] Zur Auswahl der Multiplexeinrichtung ist es besonders vorteilhaft, wenn die Multiplexeinrichtung jeweils zur Aufnahme eines Auswahlsignals, insbesondere zur Auswahl einer Latenz oder Verzögerung, ausge-

bildet ist. Durch dieses Auswahlsignal ist dann die jeweilige Multiplexeinrichtung zumindest in den ersten und/oder den zweiten Auswahlzustand versetzbar. Dabei bedeutet der erste Auswahlzustand zum Beispiel ein Umgehen der eigentlichen Latcheinrichtung und der darin zwischengespeicherten Daten und ein Aufnehmen und Weiterleiten der Eingangsdaten direkt aus der Eingangsleitungseinrichtung, wodurch dann die der in dieser Weise ausgewählten Multiplexeinrichtung zugeordneten Latenzzeit gesetzt wird. Der zweite Zustand der jeweiligen Multiplexeinrichtung bedeutet dann zum Beispiel entsprechend, daß die zwischengespeicherten Daten der entsprechenden zugeordneten Latcheinrichtung auf den Datenausgangsanschluß der Latchstufe zur Weiterleitung geführt werden.

[0015] In vorteilhafter Weise ist bei einer weiteren Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung jede der Latcheinrichtungen der Latchstufen jeweils zur Aufnahme eines Lesesignals oder Aktivierungssignals ausgebildet. Durch Aufnahme des Lesesignals oder Aktivierungssignals ist die jeweilige Latcheinrichtung der Latchstufe aktivierbar, insbesondere zur Ausgabe der in ihr zwischengespeicherten Daten zum jeweiligen Ausgangsdatenanschluß der Latchstufe hin.

[0016] Zur geordneten Abfolge des Zwischenspeichervorgangs ist es in vorteilhafter Weise ferner vorgesehen, daß die Latcheinrichtung und/oder die Multiplexeinrichtung einer Latchstufe jeweils zur Aufnahme eines Taktsignals ausgebildet sind. Durch das Taktsignal, welches zur Verarbeitung der Daten zwischen sender und empfangender Einrichtung ohnehin vorhanden ist, wird dann die Verarbeitung und insbesondere die Weiterleitung der zwischengespeicherten Daten jeweils gesteuert. Die Latenzen sind dann im wesentlichen als ganzzahlige Vielfache der Taktzeit auffaßbar.

[0017] Gemäß einer bevorzugten Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung sind zum Zuführen des Eingangsdatensignals, des Aktivierungssignals oder Lesesignals, des Auswahlsignals und/oder des Taktsignals in jeder Latchstufe, insbesondere in jeder Latcheinrichtung, jeweils eine Leitungseinrichtung vorgesehen.

[0018] Vorteilhafterweise ist die Latcheinrichtung der Latchstufe jeweils als Flipflopeinrichtung, insbesondere als D-Flipflop, oder dergleichen ausgebildet. Grundsätzlich sind dabei sämtliche Formen und Strukturen von D-Flipflops, auf NAND- oder NOR-Gattern basierend, denkbar.

[0019] Es ist ferner von Vorteil, daß durch die Abfolge der Latcheinrichtungen und insbesondere durch die Abfolge der Flipflopeinrichtungen und/oder durch die Abfolge der Auswahlsignale die Auswahlmöglichkeiten der Latenzen oder Verzögerungszeiten definierbar ist. Beim Vorliegen von n-1 in Serie geschalteten Latchstufen ergibt sich eine Auswahl von n Latenzen. Befinden sich sämtliche Multiplexeinrichtungen im nicht aktiven, d.h. definitionsgemäß z.B. im zweiten Zustand, so werden

sämtliche Latcheinrichtungen in der Latchstufe in Serie geschaltet und es ergibt sich eine maximale Latenz, welche mindestens die Summe der Einzellatenzen der einzelnen Latchstufen beträgt. Wird dagegen eine der Multiplexeinrichtungen durch ein entsprechendes Auswahl­signal aktiviert und in den ersten Zustand versetzt, bei welchem die Latcheinrichtung der zugeordneten Latchstufe und aller eingangsseitig gelegenen vorangehenden Latchstufen umgangen werden, so addieren sich ausschließlich die Latenzen der nachfolgenden, verbleibenden Latchstufen zur Gesamtlatenz. Wird ausschließlich die Multiplexeinrichtung der ausgangsseitig gelegenen ersten Latchstufe in diesen aktivierten ersten Zustand versetzt, so werden sämtliche Latchstufen umgangen und das Eingangsdatensignal erscheint im wesentlichen ohne Latenz oder Verzögerung als Ausgangsdatensignal an der Ausgangsleitungseinrichtung, wobei aber aufgrund der Integration dieser ersten Multiplexeinrichtung in einen Bereich einer zur Zwischenspeicherung vorgesehenen Rückkopplungsschleife wegen der dann wirkenden Rückkopplung ein entsprechendes stabiles Halten dieser Ausgangssignale auf der Ausgangsleitungseinrichtung gewährleistet ist. Eine besonders einfache Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung ergibt sich dann, wenn durch die Auswahl­signale höchstens eine der Multiplexeinrichtungen der Latchstufen in einen zweiten Auswahlzustand, nämlich den aktivierten Zustand, überführbar ist.

[0020] Nachfolgend wird die Erfindung anhand einer schematischen Zeichnung auf der Grundlage bevorzugter Ausführungsformen der erfindungsgemäßen Zwischenspeichereinrichtung näher erläutert. In dieser zeigt:

- Fig. 1 ein schematisches Blockdiagramm einer ersten Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung,
- Fig. 2 eine andere Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung und
- Fig. 3 eine Zwischenspeichereinrichtung aus dem Stand der Technik.

[0021] Bei der in Fig. 1 gezeigten Ausführungsform der erfindungsgemäßen Zwischenspeichereinrichtung 2 weist diese ausschließlich eine modifizierte erste Latchstufe L1 mit einer Latcheinrichtung 6 auf, in welcher in einem Bereich 20 einer zur Zwischenspeicherung vorgesehenen Rückkopplungsschleife gerade die Multiplexeinrichtung 7 dieser ersten Latchstufe L1 integriert ausgebildet ist.

[0022] Von einer sendenden Einrichtung 1 ausgehend werden über eine Eingangsleitungseinrichtung 4 der Zwischenspeichereinrichtung 2 Eingangsdaten D_{in} zugeführt. Diese durchlaufen gegebenenfalls vorgeschaltete Latchstufen L_{n-1} bis L_2 , die konventionell aus-

gestaltet sein können. Ausgangsseitig befindet sich dann die erste Latchstufe L1, welche erfindungsgemäß weitergebildet ist, wie das oben bereits beschrieben wurde. Die Ausgangsdaten D_{out} werden von dieser ersten Latchstufe L1 über den entsprechenden Datenausgangsanschluß 9 auf der Ausgangsleitungseinrichtung 5 der empfangenden Einrichtung 3 bereitgestellt.

[0023] Der Latcheinrichtung L1 werden über einen Dateneingangsanschluß 8 gegebenenfalls Daten der nachfolgenden Latchstufe L2 zugeführt. Die Anordnung zur Zwischenspeicherung in der Latcheinrichtung der Latchstufe L1 besteht im wesentlichen aus zwei Rückkopplungskreisen 20 und 21, wobei der erste Rückkopplungskreis 21 konventionell ausgestaltet sein kann und durch eine Logik 22 steuerbar ist, welche ein Taktsignal CLK über eine Taktleitung 25b und ein Aktivierungs-/Lesesignal READ über eine Leitung 25a erhält und diese zu einem Steuersignal C1 für den Rückkopplungskreis 21 weiterverarbeitet.

[0024] Der zweite Rückkopplungskreis 20 kann in analoger Weise wie der erste Rückkopplungskreis 21 im wesentlichen mit einem Rückkopplungsglied 24a und einem Inverter 24b gebildet werden, wobei aber in den Bereich 20 der zweiten Rückkopplungsschleife die Multiplexeinrichtung 7 in den Pfad eingebracht ist, und zwar derart, daß im nicht aktivierten Zustand S0 der Multiplexeinrichtung die Latcheinrichtung 6 der ersten Latchstufe L1 in konventioneller Art und Weise arbeitet. Beim Ausbilden des aktivierten Zustandes S1 der in die Latcheinrichtung 6 der ersten Latchstufe L1 eingebrachten Multiplexeinrichtung 7 wird dagegen die Latcheinrichtung 6 im wesentlichen umgangen und dem Ausgangsdatenanschluß 9 der ersten Latchstufe L1 über eine Leitung 26 das an der Zwischenspeichereinrichtung 2 anliegende Eingangsdatensignal D_{in} direkt zugeführt. Gesteuert wird die Multiplexeinrichtung 7 der ersten Latchstufe L1 über eine Logik 23, welche durch Verarbeitung eines Auswahl­signals LAT über eine Leitungseinrichtung 25c und gegebenenfalls des Lese-/Aktivierungssignals READ über eine Leitung 27 ein Steuersignal C2 für die Multiplexeinrichtung 7 erzeugt.

[0025] Innerhalb der Zwischenspeichereinrichtung 2 sind Leitungseinrichtungen 4, 4a, 4b und 4c für die Eingangsdaten D_{in} , das Lese-/Aktivierungssignal READ, das Taktsignal CLK bzw. das Auswahl­signal für die Latenz LAT vorgesehen.

[0026] Das in der Fig. 2 gezeigte Ausführungsbeispiel der erfindungsgemäßen Zwischenspeichereinrichtung weist n-1 identische Latchstufen L1 bis L_{n-1} auf, die alle die Struktur der in Fig. 1 gezeigten Latchstufe L1 besitzen und hier nur schematisch dargestellt sind. Über Leitungen 4, 4a, 4b und 4c werden die Signale D_{in} , READ, CLK bzw. LAT zugeführt und über entsprechende Abgriffe 25a, 25b, 25c, 26 und 27 den jeweiligen Latcheinrichtungen 6 und den darin integrierten Multiplexeinrichtungen 7 zugeführt.

[0027] Die Multiplexeinrichtungen 7 der Latchstufen L1 bis L_{n-1} der erfindungsgemäßen Ausführungsform

der Fig. 2 sind jeweils in Bereichen 20 von zur Zwischenspeicherung in den Latcheinrichtungen 6 vorgesehenen Rückkoppelschleifen integriert. Diese Bereiche 20 der Rückkoppelschleifen sind in der Ausführungsform der Fig. 2 nur schematisch dargestellt.

[0028] Durch Setzen eines der Signale oder Signal-komponenten LAT1 bis LATn-1 wird höchstens eine der Multiplexeinrichtungen 7 in einen aktivierten Zustand S1 überführt, so daß die Latcheinrichtungen 6 der zugeordneten Latchstufe und aller ausgangsseitig vorangehenden Latchstufen umgangen wird, so daß an der eingangsseitig nachfolgenden Latchstufe bzw. deren Dateneingangsanschluß 8 das Eingangsdatensignal D_{in} direkt anliegt. Wenn also durch ein aktivierendes Signal LATj die Multiplexeinrichtung 7 der Latcheinrichtung 6 der Latchstufe Lj in einen aktivierten Zustand S1 überführt wird, so ist mit dieser Auswahl die Latenz j-1 ausgewählt, welche sich im wesentlichen als Summe der Latenzen oder Verzögerungszeiten der von der Latchstufe Lj aus gesehen vorangehenden ausgangsseitigen Latchstufen L1 bis Lj-1 zusammensetzt.

[0029] In Fig. 3 ist im Vergleich dazu eine Zwischenspeichereinrichtung 32 aus dem Stand der Technik gezeigt. Diese weist ebenfalls n-1 Latchstufen L1 bis Ln-1 in Serie geschaltet auf. Sämtliche Latchstufen L1 bis Ln-1 sind identisch ausgebildet, und zwar im Gegensatz zum erfindungsgemäßen Vorgehen mit im wesentlichen in Serie geschalteter Latcheinrichtung 6 und Multiplexeinrichtung 7. Durch diese Anordnung, insbesondere im Hinblick auf die ausgangsseitig gelegene erste Latchstufe L1, ist es nicht möglich, das Ausgangssignal D_{out} auf der Ausgangsleitungseinrichtung 5 stabil zu halten, falls durch ein Aktivieren des Auswahlsignals LAT1 die Multiplexeinrichtung 7 zur Umgehung sämtlicher Latchstufen L1 bis Ln-1 bzw. deren Latcheinrichtungen 6 gesetzt ist. Dann nämlich liegt an der Ausgangsleitungseinrichtung 5 das Eingangsdatensignal D_{in} direkt an, so daß eine Änderung im Eingangsdatensignal D_{in} aufgrund einer fehlenden Zwischenspeicherung sich als im wesentlichen instantane entsprechende Änderung des Ausgangssignals D_{out} bemerkbar macht.

[0030] Im Gegensatz dazu wird durch das erfindungsgemäße Vorgehen, nämlich die zumindest teilweise Integration der Multiplexeinrichtung in die Latcheinrichtung der ausgangsseitig gelegenen ersten Latchstufe eine Stabilisierung der Ausgangsdaten D_{out} gewährleistet, und zwar ohne das Ausbilden eines zusätzlichen Latchmechanismus und damit einhergehende Platzverschwendung und Verschwendung von Energieresourcen.

Patentansprüche

1. Zwischenspeichereinrichtung (2) zur Aufnahme und Zwischenspeicherung einer Eingangsleitungseinrichtung (4) zugeführter Eingangsdaten (D_{in})

und zur Ausgabe von mit den Eingangsdaten (D_{in}) korrespondierenden Ausgangsdaten (D_{out}) auf einer Ausgangsleitungseinrichtung (5) mit auswählbarer Latenz oder Verzögerung,

- wobei eine Mehrzahl Latchstufen (L1, ..., Ln-1) vorgesehen ist, welche jeweils zumindest eine Latcheinrichtung (6) und eine Multiplexeinrichtung (7) aufweisen, und
- wobei die Multiplexeinrichtung (7) jeweils so in der jeweiligen Latchstufe (L1, ..., Ln-1) angeordnet und ausgebildet ist, daß einem jeweiligen Datenausgangsanschluß (9) der Latchstufe (L1, ..., Ln-1) steuerbar wahlweise zumindest entweder in einem ersten Auswahlzustand (S1) der Multiplexeinrichtung (7) die an der Eingangsleitungseinrichtung (4) der Zwischenspeichereinrichtung (2) anliegenden Eingangsdaten (D_{in}) direkt oder in einem zweiten Auswahlzustand (S0) der Multiplexeinrichtung (7) in der Latcheinrichtung (6) der jeweiligen Latchstufe (L1, ..., Ln-1) zwischengespeicherte Daten (D_1 , ..., D_{n-1}) zuführbar sind,

dadurch gekennzeichnet,

daß zumindest die Multiplexeinrichtung (7) der ausgangsseitig ersten Latchstufe (L1) im Bereich (20) einer zur Datenzwischenspeicherung vorgesehenen Rückkoppelschleife der Latcheinrichtung (6) dieser Latchstufe (L1) derart ausgebildet ist, so daß auf der Ausgangsleitungseinrichtung (5) ausgegebene Daten (D_{out}) dort stabil, insbesondere unabhängig vom Aktivierungszustand der Latcheinrichtungen (6) der Latchstufen (L1, ..., Ln-1) und/oder von einer aktuellen Änderung der Eingangsdaten (D_{in}), haltbar sind.

2. Zwischenspeichereinrichtung nach Anspruch 1, **dadurch gekennzeichnet,** **daß** jede Latchstufe (L1, ..., Ln-1) mindestens einen Dateneingangsanschluß (8) und einen Datenausgangsanschluß (9) aufweist.
3. Zwischenspeichereinrichtung nach Anspruch 2, **dadurch gekennzeichnet,** **daß** die Latchstufen (L1, ..., Ln-1) so im wesentlichen in Serie angeordnet sind, daß von der Eingangsleitungseinrichtung (4) zur Ausgangsleitungseinrichtung (5) der Zwischenspeichereinrichtung (2) hin der Datenausgangsanschluß (9) einer jeweiligen vorangehenden Latchstufe (Lj) jeweils mit dem Dateneingangsanschluß (8) einer direkt nachfolgenden Latchstufe (Lj-1) verbunden ist.
4. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche, **dadurch gekennzeichnet,** **daß** sämtliche Latchstufen (L1, ..., Ln-1), insbeson-

dere in bezug auf die Anordnung der Multiplexeinrichtungen (7), im wesentlichen gleich oder gleichwirkend ausgebildet sind.

5. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß die Multiplexeinrichtung (7) jeweils zur Aufnahme eines Auswahlsignals (LAT), insbesondere zur Auswahl einer Latenz oder einer Verzögerungszeit, ausgebildet ist, durch welches die jeweilige Multiplexeinrichtung (7) zumindest in den ersten und den zweiten Auswahlzustand (S1, S0) versetzbar ist. 5 10
6. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß die Latcheinrichtung (6) der Latchstufen (L1, ..., Ln-1) jeweils zur Aufnahme eines Lesesignals (READ) ausgebildet ist, durch welches die jeweilige Latcheinrichtung (6) aktivierbar ist, insbesondere zur Ausgabe der in ihr zwischengespeicherten Daten (D1, ..., Dn-1) zum Datenausgangsanschluß (9) der jeweiligen Latchstufe (L1, ..., Ln-1) hin. 15 20 25
7. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß die Latcheinrichtung (6) und/oder die Multiplexeinrichtung (7) einer Latchstufe (L1, ..., Ln-1) jeweils zur Aufnahme eines Taktsignals (CLK) ausgebildet sind, durch welches die Verarbeitung jeweils steuerbar ist. 30 35
8. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß zum Zuführen des Eingangsdatensignals (D_{in}), des Aktivierungssignals (READ), des Auswahlsignals (LAT) und/oder des Taktsignals (CLK) in jeder Latchstufe (L1, ..., Ln-1), insbesondere der jeweiligen Latcheinrichtung (6), jeweils eine Leitungseinrichtung (25, 25a, 25b, 25c) vorgesehen ist. 40 45
9. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß die Latcheinrichtung (6) jeweils als Flipflopeinrichtung, insbesondere als D-Flipflop, oder dergleichen ausgebildet ist. 50
10. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß durch die Abfolge der Latcheinrichtungen (6) der Latchstufen (L1, ..., Ln-1) und insbesondere der Flipflopeinrichtungen und/oder durch die Auswahl-

signale (LAT) die Auswahlmöglichkeiten der Latenzen oder Verzögerungszeiten definierbar ist.

11. Zwischenspeichereinrichtung nach einem der vorangehenden Ansprüche,
dadurch gekennzeichnet,
daß durch die Auswahlsignale (LAT) eine der Multiplexeinrichtungen (7) höchstens einer Latchstufe (L1, ..., Ln-1) in einen zweiten Auswahlzustand überführbar ist.

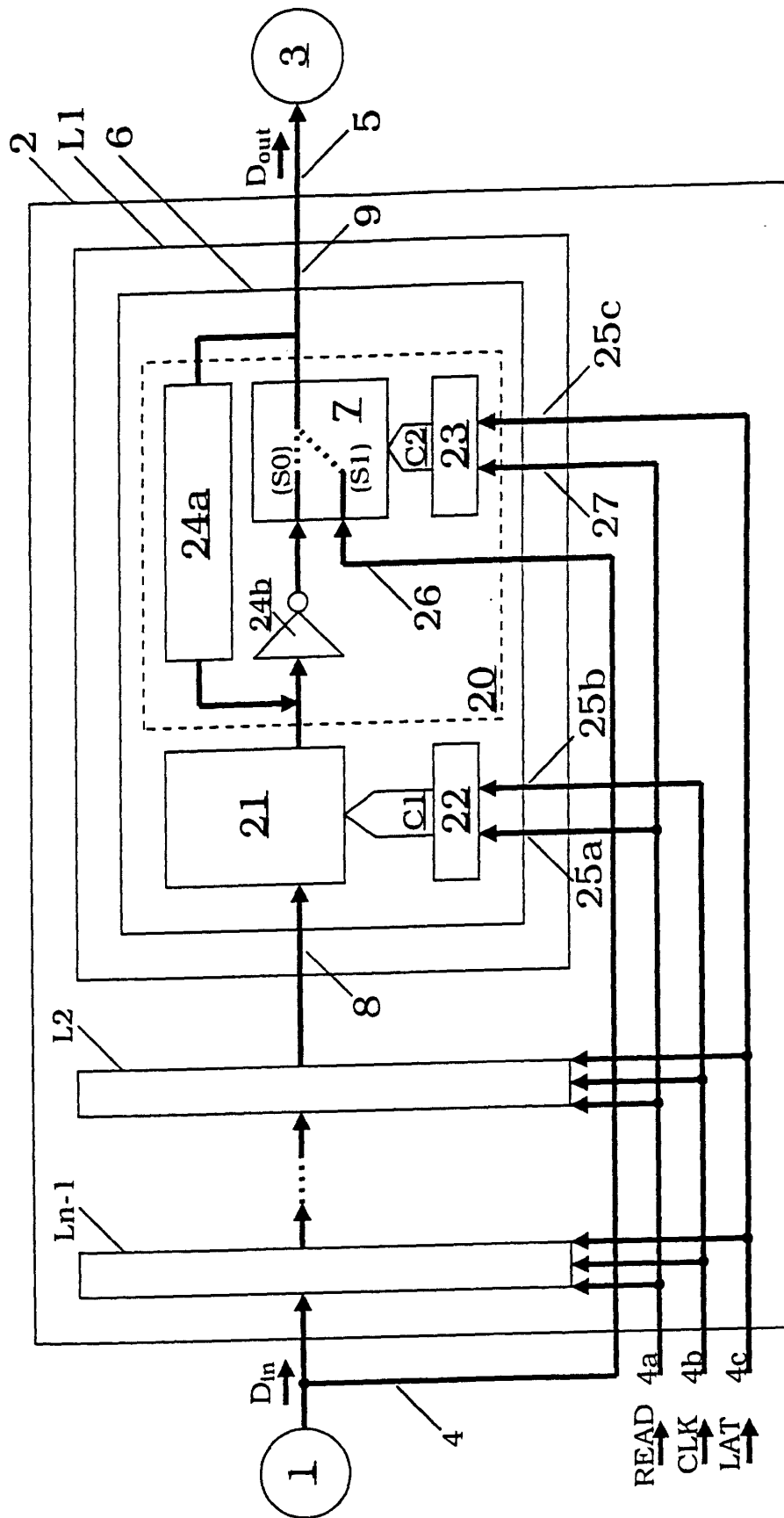


Fig. 1

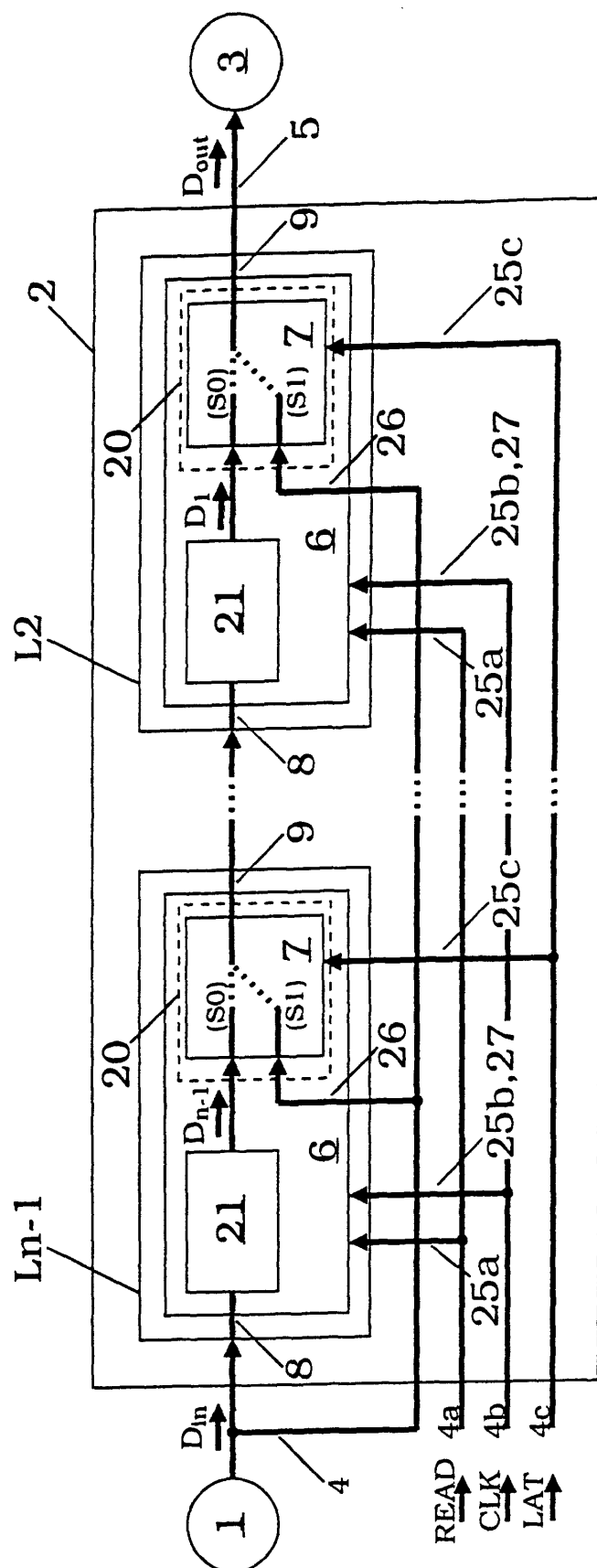


Fig. 2

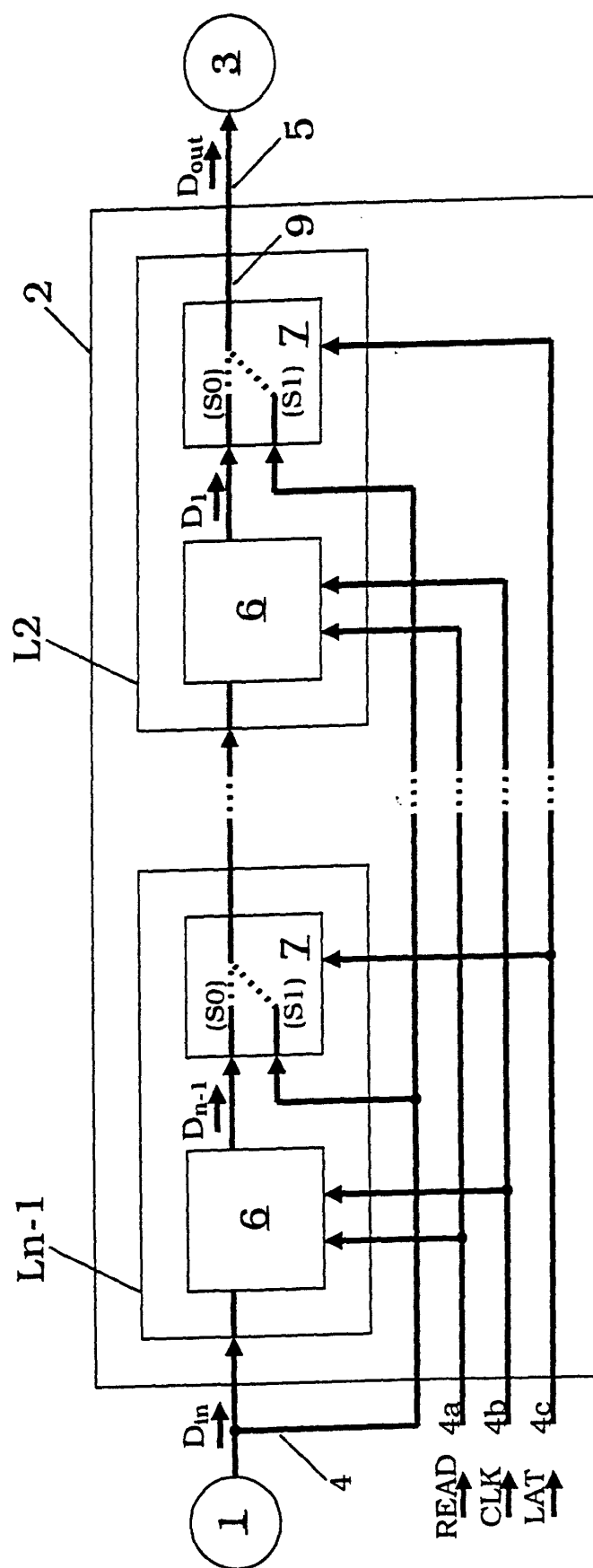


Fig. 3