



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 1 239 616 B1**

(12) **EUROPÄISCHE PATENTSCHRIFT**

(45) Veröffentlichungstag und Bekanntmachung des
Hinweises auf die Patenterteilung:
29.09.2004 Patentblatt 2004/40

(51) Int Cl.7: **H04H 1/00**, H03D 1/22

(21) Anmeldenummer: **02003953.3**

(22) Anmeldetag: **22.02.2002**

(54) **Verfahren und Schaltungsanordnung zur Demodulation des RDS-Signals**

Method and System for demodulating an RDS-Signal

Procédé et Dispositif pour la Démodulation d'un Signal RDS

(84) Benannte Vertragsstaaten:
**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR**
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(30) Priorität: **10.03.2001 DE 10111590**

(43) Veröffentlichungstag der Anmeldung:
11.09.2002 Patentblatt 2002/37

(73) Patentinhaber: **Harman/Becker Automotive
Systems (Becker Division) GmbH
76307 Karlsbad (DE)**

(72) Erfinder:
• **Gierl, Stefan, Dr.-Ing.
76133 Karlsruhe (DE)**
• **Benz, Christoph, Dipl.-Ing.
77797 Ohlsbach (DE)**

(74) Vertreter:
**Patentanwälte Westphal, Mussnug & Partner
Am Riettor 5
78048 Villingen-Schwenningen (DE)**

(56) Entgegenhaltungen:
EP-A- 0 350 663 EP-A- 0 471 412
US-A- 4 827 515

EP 1 239 616 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur Demodulation des RDS-Signals.

[0002] Das Radio-Daten-System, abgekürzt RDS, wurde bei UKW-Rundfunksendern eingeführt, um Daten über die Rundfunksender und das von ihnen ausgestrahlte Programm zu den Rundfunksendern zu senden, wo diese Daten auf einer optischen Anzeigevorrichtung, weist ein Flüssigkeitskristallbildschirm, wiedergegeben werden.

[0003] Bei den RDS-Daten handelt es sich zum Beispiel um die Programmidentifikation PI, die das empfangene Programm oder den Namen des eingestellten Senders angibt, oder um die Programmartkennung PTY, welche die Art des Programms zum Beispiel Musiksendung, Nachrichtensendung usw. anzeigt, oder um die Verkehrsdurchsagekennung TA oder um den Radiotext RT, der programmbegleitende Informationen enthält wie z. B. Hinweise auf Musikstücke, Interpreten, Programmänderungen und dergleichen.

[0004] Das Radio-Daten-System wird hauptsächlich von Autoradios benutzt. Beispielsweise schalten RDS-taugliche Autoradios bei sich verschlechterndem Empfang des gerade eingestellten Senders automatisch auf einen besser oder den am besten empfangbaren und das gleiche Programm ausstrahlenden Sender um. Die hierfür erforderlichen Informationen sind die Programmidentifikation PI und die Liste der alternativen Frequenzen AF, die von RDS-tauglichen Rundfunksendern ausgestrahlt werden.

[0005] Doch auch für Heimempfänger bietet das Radio-Datensystem den Hörern Vorteile, z. B. die Programmartkennung PTY und der Radiotext RT, die bereits erwähnt und erläutert wurden.

[0006] Das RDS-Signal ist ein binäres Signal, das aus einem kontinuierlichen binären Datenstrom mit einer Bitrate von 1,1875 KBit/s besteht.

[0007] UKW-Rundfunksender senden das sogenannte Stereomultiplexsignal aus, das aus dem Audiomittensignal - auch Monosignal genannt - bis 15 KHz, dem Stereopilotton bei 19 KHz, dem Stereosignal von 23 KHz bis 53 KHz und dem ARI-Signal, einem schmalbandigen amplitudenmodulierten Signal bei einem Träger von 57 KHz, gebildet wird. ARI ist die Abkürzung für Autofahrer-Rundfunk-Information.

[0008] Das RDS-Signal, das eine größere Bandbreite als das ARI-Signal aufweist, wird dem ARI-Signal überlagert.

[0009] Damit einerseits eine hohe Datenrate beim RDS-Signal erzielt wird, andererseits aber Störungen des Audiomittensignals, des Stereosignals, des Stereopilottons und des ARI-Signals durch das RDS-Signal ausgeschlossen sind, ist das Frequenzspektrum des RDS-Signals auf $\pm 2,4$ KHz begrenzt.

[0010] Das RDS-Signal wird aus dem RDS-Datenstrom durch Zweiseitenbandamplitudenmodulation mit

Trägerunterdrückung erzeugt. Außerdem wird der unterdrückte RDS-Träger gegenüber dem ARI-Träger von 57 KHz um 90° phasenverschoben. Durch diese Quadraturmodulation werden Störungen des ARI-Signals durch das RDS-Signal weitestgehend unterdrückt. In einem RDS-tauglichen Rundfunksender wird der Träger vom auf die beschriebene Art gebildeten Stereomultiplexsignal frequenzmoduliert und ausgestrahlt.

[0011] Auf der Empfängerseite wird der empfangene frequenzmodulierte Träger demoduliert, um das Stereomultiplexsignal zu gewinnen, aus dem durch Demodulation neben den Audiosignalen das RDS-Signal gewonnen wird.

[0012] Bei Empfang mittels eines Autoradios kann es infolge der häufig wechselnden und oft ungenügenden Empfangsbedingungen längere Zeit dauern, bis das Autoradio auf den Träger von 57 KHz des RDS-Signales synchronisiert ist.

[0013] Eine Schaltung zur Demodulation eines RDS-Signals ist aus Dokument EP-A-0 471 412 bekannt.

[0014] Es ist daher Aufgabe der Erfindung, ein Verfahren und eine Schaltungsanordnung zur Demodulation des RDS-Signals so zu gestalten, dass eine möglichst schnelle Synchronisation auf den Träger des RDS-Signals erzielt wird.

[0015] Verfahrensmäßig wird diese Aufgabe mit den im Anspruch 1 angegebenen Merkmalen dadurch gelöst, dass das abgetastete Stereomultiplexsignal in einem ersten Zweig mit der Kophasalkomponente eines digitalen Oszillators multipliziert und das resultierende Signal anschließend tiefpaßgefiltert wird, dass die Abtastrate des tiefpaßgefilterten Signals durch einen vorgebbaren Teilungsfaktor geteilt wird, dass das tiefpaßgefilterte Signal mit der geteilten Abtastrate hochpaßgefiltert wird, dass das hochpaßgefilterte Signal in einem RDS-Decodierer decodiert wird, dass das Stereomultiplexsignal in einem zweiten Zweig mit der Quadraturkomponente des digitalen Oszillators multipliziert und das resultierende Signal anschließend tiefpaßgefiltert wird, dass die Abtastrate des tiefpaßgefilterten Signals durch einen vorgebbaren Teilungsfaktor geteilt wird, dass das tiefpaßgefilterte Signal mit der geteilten Abtastrate hochpaßgefiltert wird und dass aus dem hochpaßgefilterten Signal des ersten und des zweiten Zweiges sowie dem RDS-Bittakt ein die Phasenlage zwischen dem Träger des RDS-Signals und dem Ausgangssignal des Oszillators beschreibendes Fehlersignal berechnet wird, aus dem nach Filtering ein Korrektursignal für den digitalen Oszillator erzeugt wird.

[0016] Schaltungsmäßig wird diese Aufgabe mit den im Anspruch 4 angegebenen Merkmalen dadurch gelöst, dass das abgetastete Stereomultiplexsignal am ersten Eingang eines ersten Multiplizierers und eines zweiten Multiplizierers liegt, dass die Kophasalkomponente eines digitalen Oszillators am zweiten Eingang des ersten Multiplizierers und die Quadraturkomponente des digitalen Oszillators am zweiten Eingang des zweiten Multiplizierers liegt, dass der Ausgang des er-

sten Multiplizierers mit dem Eingang eines ersten Tiefpasses verbunden ist, dessen Ausgang mit dem Eingang eines ersten Teilers verbunden ist, dessen Ausgang an den Eingang eines ersten Hochpasses angeschlossen ist, dass der Ausgang des zweiten Multiplizierers mit dem Eingang eines zweiten Tiefpasses verbunden ist, dessen Ausgang mit dem Eingang eines zweiten Teilers verbunden ist, dessen Ausgang an den Eingang eines zweiten Hochpasses angeschlossen ist, dass der Ausgang des ersten Hochpasses mit dem ersten Eingang einer Recheneinheit, dem Eingang eines RDS-Decodierers, an dessen Ausgang die RDS-Daten abnehmbar sind, und mit dem ersten Steuereingang eines Taktgenerators verbunden ist, dass der Ausgang des zweiten Hochpasses mit dem zweiten Eingang der Recheneinheit verbunden ist, deren Ausgang mit dem Eingang eines Filters verbunden ist, dass der Ausgang des Filters mit dem Eingang einer Steuereinheit verbunden ist, deren Ausgang an den Steuereingang des digitalen Oszillators angeschlossen ist, und dass der Ausgang des digitalen Oszillators an den zweiten Steuereingang des Taktgenerators angeschlossen ist, dessen Taktoutput mit dem Takteingang der Recheneinheit und des RDS-Decodierers verbunden ist.

[0017] Das erfindungsgemäße Verfahren sieht vor, dass das empfangene Stereomultiplexsignal zunächst abgetastet wird. Das abgetastete Stereomultiplexsignal wird in einem ersten Zweig mit der Kophasalkomponente eines digitalen Oszillators multipliziert. Das resultierende Signal wird tiefpaßgefiltert. Die Abtastrate des tiefpaßgefilterten Signals wird durch einen Teilungsfaktor geteilt. Dieses tiefpaßgefilterte in der Abtastrate dezimierte Signal wird hochpaßgefiltert und in einem RDS-Decodierer decodiert.

[0018] In einem zweiten Zweig wird das abgetastete Stereomultiplexsignal mit der Quadraturkomponente des digitalen Oszillators multipliziert. Das resultierende Signal wird wie im ersten Zweig tiefpaßgefiltert. Die Abtastrate des tiefpaßgefilterten Signals wird ebenfalls geteilt. Das tiefpaßgefilterte und in der Abtastrate dezimierte Signal wird hochpaßgefiltert. Aus dem hochpaßgefilterten Signal des ersten und des zweiten Zweiges sowie aus den RDS-Bittakt wird ein die Phasenlage zwischen dem Träger des RDS-Signals und dem Ausgangssignal des Oszillators beschreibendes Fehlersignal berechnet, aus dem nach Filterung ein Korrektursignal für den digitalen Oszillator erzeugt wird.

[0019] Die Abtastfrequenz zur Abtastung des empfangenen Stereomultiplexsignals ist so gewählt, dass das Spektrum des RDS-Signals im Bereich um seinen Träger vollständig vom digitalen Signal repräsentiert wird. Vorzugsweise ist die Abtastfrequenz größer als 120 KHz gewählt.

[0020] Der Teilungsfaktor zur Teilung der Abtastrate der tiefpaßgefilterten Signale ist beispielsweise zu 16 gewählt.

[0021] Der RDS-Bittakt wird beispielsweise von einem Taktgenerator erzeugt, der vom digitalen Oszillator

und vom hochpaßgefilterten Signal aus dem ersten Zweig gesteuert wird.

[0022] Das erfindungsgemäße Verfahren und die erfindungsgemäße Schaltungsanordnung werden anhand eines in der Figur dargestellten Ausführungsbeispiels näher beschrieben und erläutert.

[0023] Das abgetastete Stereomultiplexsignal MPX liegt am ersten Eingang eines Multiplizierers M1 und eines Multiplizierers M2. Die Kophasalkomponente I eines digitalen Oszillators OZ liegt am zweiten Eingang des Multiplizierers M1, während die Quadraturkomponente Q des digitalen Oszillators OZ am zweiten Eingang des Multiplizierers M2 liegt. Der Ausgang des Multiplizierers M1 ist mit dem Eingang eines Tiefpasses TP1 verbunden, dessen Ausgang an den Eingang eines Teilers D1 angeschlossen ist. Der Ausgang des Teilers D1 ist mit dem Eingang eines Hochpasses HP1 verbunden, dessen Ausgang mit dem Eingang eines RDS-Decodierers DE und mit dem ersten Eingang einer Recheneinheit RE verbunden ist. Der Ausgang des Multiplizierers M2 ist mit dem Eingang eines Tiefpasses TP2 verbunden, dessen Ausgang an dem Eingang eines Teilers D2 angeschlossen ist. Der Ausgang des Teilers D2 ist mit dem Eingang eines Hochpasses HP2 verbunden, dessen Ausgang mit dem zweiten Eingang der Recheneinheit RE verbunden ist. Der Ausgang der Recheneinheit RE ist über ein Filter F, vorzugsweise ein Schleifenfilter, mit einer Steuereinheit SE verbunden, deren Ausgang mit dem Steuereingang des digitalen Oszillators OZ verbunden ist. Zur Erzeugung des RDS-Taktes CL ist ein Taktgenerator CG vorgesehen, dessen Taktoutput mit dem Takteingang der Recheneinheit RE und des RDS-Decodierers DE verbunden ist. Der Ausgang des Hochpasses HP1 ist an den ersten Eingang und der Ausgang des digitalen Oszillators OZ an den zweiten Eingang des Taktgenerators CG angeschlossen.

[0024] Das abgetastete Stereomultiplexsignal MPX wird in einem ersten Zweig im Multiplizierer M1 mit der Kophasalkomponente I des digitalen Oszillators OZ multipliziert, anschließend im Tiefpaß TP1 tiefpaßgefiltert, seine Abtastrate wird im folgenden Teiler D1 geteilt und schließlich wird das Stereomultiplexsignal MPX im Hochpaß HP1 hochpaßgefiltert. Parallel hierzu wird das abgetastete Stereomultiplexsignal MPX im Multiplizierer M2 mit der Quadraturkomponente Q des digitalen Oszillators OZ multipliziert, anschließend im Tiefpaß TP2 tiefpaßgefiltert, im folgenden Teiler D2 wird seine Abtastrate geteilt und schließlich wird es im Hochpaß HP2 hochpaßgefiltert.

[0025] Die Abtastfrequenz zur Abtastung des Stereomultiplexsignals MPX ist so gewählt, dass das Spektrum des RDS-Signals vollständig und korrekt im Bereich um den Träger von 57 KHz repräsentiert wird. Die Abtastfrequenz zur Abtastung des Stereomultiplexsignals MPX ist daher größer als 120 KHz zu wählen. Der Dezimationsfaktor zur Dezimierung der Abtastrate der beiden tiefpaßgefilterten Signale ist so zu wählen, dass das RDS-Signal im Basisband korrekt dargestellt wird.

Vorzugsweise ist der Teilungsfaktor zu 16 gewählt.

[0026] Die beiden Hochpässe HP1 und HP2 dienen dazu, gleiche Anteile oder tieffrequente Signalanteile zu unterdrücken, die durch ein im Stereomultiplexsignal MPX enthaltenes ARI-Signal verursacht werden können.

[0027] Aus den hochpaßgefilterten Signalen an den Ausgängen der beiden Hochpässe HP1 und HP2 sowie aus dem RDS-Takt CL berechnet die Recheneinheit RE ein Fehlersignal, das nach Filterung durch das Schleifenfilter F der Steuereinheit SE zugeführt wird. Die Steuereinheit SE berechnet ein Steuersignal zur Steuerung des digitalen Oszillators OZ. Das von der Recheneinheit RE berechnete Fehlersignal stellt ein Maß für die Phasenabweichung zwischen dem digitalen Oszillator und dem Träger des RDS-Signales dar.

[0028] Der RDS-Bittakt wird vom Taktgenerator CG erzeugt, der vom hochpaßgefilterten Signal am Ausgang des Hochpasses HP1 und vom Ausgangssignal des digitalen Oszillators OZ gesteuert wird. Die Recheneinheit RE sowie der RDS-Decodierer DE werden vom Taktgenerator CG getaktet.

[0029] Die Schaltungsanordnung in der Figur stellt einen Phasenregelkreis dar, der häufig mit PLL - für Phase locked loop- abgekürzt wird.

[0030] Weil die Berechnung des Fehlersignales in der Recheneinheit RE mit dem RDS-Bittakt gekoppelt ist, erfolgt die Berechnung des Fehlersignales nur zu den Zeitpunkten, zu denen die Kophasalkomponente I maximal ist. Dies ist jeweils nach einer Viertelund einer Dreiviertelbittaktperiode der Fall. Durch diese Maßnahme wird mit Sicherheit vermieden, dass das Fehlersignal von der Recheneinheit RE zu einem Zeitpunkt berechnet wird, zu dem die Kophasalkomponente I einen Nulldurchgang aufweist.

[0031] Solange der Phasenregelkreis noch nicht mit dem Träger des RDS-Signales synchronisiert ist, läuft der Taktgenerator CG frei. Um eine Berechnung des Fehlersignals in der Recheneinheit RE bei einem Nulldurchgang der Kophasalkomponente I des digitalen Oszillators OZ zu verhindern, wird die Amplitude der Kophasalkomponente geprüft. Während dieser Initialisierungsphase der Trägersynchronisation kann beim Auffinden eines Nulldurchgangs in der Kophasalkomponente I der Berechnungszyklus für das Fehlersignal um eine Viertelbittaktperiode verschoben werden. Durch diese Maßnahme wird eine sehr schnelle und zuverlässige Synchronisation auf den Träger des RDS-Signales erzielt. Ein weiterer Vorteil des erfindungsgemäßen Verfahrens liegt darin, dass es als Software realisierbar ist.

[0032] Die Trägerfrequenz des RDS-Signales sowie die Frequenz des digitalen Oszillators OZ betragen jeweils 57 KHz.

[0033] Die Erfindung, die sich durch eine sehr schnelle Synchronisation auf den Träger des RDS-Signales auszeichnet, ist besonders für Autoradios geeignet.

Bezugszeichenliste

[0034]

5	CG	Taktgenerator
	CL	RDS-Bittakt
	DE	RDS-Decodierer
	D1	Teiler
	D2	Teiler
10	F	Schleifenfilter
	HP1	Hochpaß
	HP2	Hochpaß
	I	Kophasalkomponente
	MPX	Stereomultiplexsignal
15	M1	Multiplizierer
	M2	Multiplizierer
	OZ	digitaler Oszillator
	Q	Quadraturkomponente
	RE	Recheneinheit
20	SE	Steuereinheit
	TP1	Tiefpaß
	TP2	Tiefpaß

25 Patentansprüche

1. Verfahren zur Demodulation des RDS-Signals, in dem das abgetastete Stereomultiplexsignal (MPX) in einem ersten Zweig mit der Kophasalkomponente (I) eines Oszillators (OZ) multipliziert und das resultierende Signal anschließend tiefpaßgefiltert wird, die Abtastrate des tiefpaßgefilterten Signals durch einen vorgebbaren Teilungsfaktor geteilt wird, das tiefpaßgefilterte und in der Abtastrate dezimierte Signal hochpaßgefiltert wird, das hochpaßgefilterte Signal in einem RDS-Decodierer (DE) decodiert wird, das abgetastete Stereomultiplexsignal (MPX) in einem zweiten Zweig mit der Quadraturkomponente (Q) des Oszillators (OZ) multipliziert wird und das resultierende Signal anschließend tiefpaßgefiltert wird, die Abtastrate des tiefpaßgefilterten Signals durch einen vorgebbaren Teilungsfaktor geteilt wird, das tiefpaßgefilterte und in der Abtastrate dezimierte Signal hochpaßgefiltert wird und aus dem hochpaßgefilterten Signal des ersten und des zweiten Zweiges sowie dem RDS-Bittakt (CL) ein die Phasenlage zwischen dem Träger des RDS-Signals und dem Ausgangssignal des Oszillators (OZ) beschreibendes Fehlersignal berechnet wird, aus dem nach Filterung ein Korrektursignal für den Oszillator (OZ) erzeugt wird.
2. Verfahren nach Anspruch 1, wobei der RDS-Bittakt (CL) von einem Taktgenerator (CG) erzeugt wird, der vom Oszillator (OZ) und vom hochpaßgefilterten Signal des ersten Zweiges gesteuert wird.

3. Verfahren nach Anspruch 2, wobei der RDS-Decodierer (DE) mit dem RDS-Bittakt (CL) getaktet wird.
4. Verfahren nach Anspruch 1, 2 oder 3, wobei das Fehlersignal zu den Zeitpunkten berechnet wird, zu denen die Kophasalkomponente (I) maximal ist.
5. Verfahren nach Anspruch 1, 2, 3 oder 4, wobei vor Synchronisation des Oszillators (OZ) mit dem Träger des RDS-Signals die Amplitude der Kophasalkomponente (I) geprüft wird und bei Detektion eines Nulldurchgangs der Kophasalkomponente (I) der Berechnungszyklus für das Fehlersignal um eine Viertelbittaktperiode verschoben wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, wobei das Verfahren als Software realisiert wird.
7. Schaltungsanordnung zur Demodulation des RDS-Signals, in dem das abgetastete Stereomultiplexsignal (MPX) am ersten Eingang eines ersten Multiplizierers (M1) und eines zweiten Multiplizierers (M2) liegt, die Kophasalkomponente (I) eines Oszillators (OZ) am zweiten Eingang des ersten Multiplizierers (M1) und die Quadraturkomponente (Q) des Oszillators (OZ) am zweiten Eingang des zweiten Multiplizierers (M2) liegt, der Ausgang des ersten Multiplizierers (M1) mit dem Eingang eines ersten Tiefpasses (TP1) verbunden ist, dessen Ausgang mit dem Eingang eines ersten Teilers (D1) verbunden ist, dessen Ausgang an den Eingang eines ersten Hochpasses (HP) angeschlossen ist, der Ausgang des zweiten Multiplizierers (M2) mit dem Eingang eines zweiten Tiefpasses (TP2) verbunden ist, dessen Ausgang mit dem Eingang eines zweiten Teilers (D2) verbunden ist, dessen Ausgang an den Eingang eines zweiten Hochpasses (HP2) angeschlossen ist, der Ausgang des ersten Hochpasses (HP1) mit dem ersten Eingang einer Recheneinheit (RE), dem Eingang eines RDS-Decodierers (DE), an dessen Ausgang die RDS-Daten abnehmbar sind, und mit dem ersten Steuereingang eines Taktgenerators (CG) verbunden ist, der Ausgang des zweiten Hochpasses (HP) mit dem zweiten Eingang der Recheneinheit (RE) verbunden ist, deren Ausgang mit dem Eingang eines Filters (F) verbunden ist, der Ausgang des Filters (F) mit dem Eingang einer Steuereinheit (SE) verbunden ist, deren Ausgang an den Steuereingang des Oszillators (OZ) angeschlossen ist und dass der Ausgang des Oszillators (OZ) an den zweiten Steuereingang des Taktgenerators (CE) angeschlossen ist, dessen Taktausgang mit dem Takteingang der Recheneinheit (RE) und des RDS-Decodierers (DE) verbunden ist.

8. Schaltungsanordnung nach Anspruch 7, wobei für das Filter (F) ein Schleifenfilter vorgesehen ist.
9. Verfahren oder Schaltungsanordnung nach einem der vorangehenden Ansprüche, wobei die Abtastfrequenz für das Stereomultiplexsignal (MPX) so gewählt wird bzw. ist, dass das Spektrum des RDS-Signals im Bereich um den Träger des RDS-Signals vollständig vom digitalen Signal repräsentiert wird bzw. ist.
10. Verfahren oder Schaltungsanordnung nach Anspruch 9, wobei die Abtastfrequenz größer als 120 KHz gewählt wird bzw. ist.
11. Verfahren oder Schaltungsanordnung nach einem der vorangehenden Ansprüche, wobei der Teilungsfaktor zu 16 gewählt wird bzw. ist.
12. Verfahren oder Schaltungsanordnung nach einem der vorangehenden Ansprüche, wobei für den Oszillator (OZ) ein digitaler Oszillator vorgesehen wird bzw. ist.

Claims

1. Method of demodulating an RDS signal in which the sampled stereo multiplex signal (MPX) is multiplied in a first branch by the in-phase component (I) of an oscillator and the resulting signal is then low-pass filtered, the sampling rate of the low-pass filtered signal is divided by a predeterminable division factor, the low-pass filtered signal which is decimated in the sampling rate is high-pass filtered, the high-pass filtered signal is decoded in a RDS decoder (DE), the sampled stereo multiplex signal (MPX) is multiplied in a second branch by the quadrature component (Q) of the oscillator (OZ) and the resulting signal is then low-pass filtered, the sampling rate of the low-pass filtered signal is divided by a predeterminable division factor, the low-pass filtered signal which is decimated in the sampling rate is high-pass filtered, and from the high-pass filtered signal of the first and second branches as well as the RDS bit clock signal (CL) an error signal is calculated which describes the phase relationship between the carrier of the RDS signal and the output signal of the oscillator (OZ) and from which a correction signal for the oscillator (OZ) is generated after filtering.
2. Method as claimed in Claim 1, wherein the RDS bit clock signal (CL) is generated by a clock generator (CL) which is controlled by the oscillator (OZ) and by the high-pass filtered signal of the first branch.

3. Method as claimed in Claim 2, wherein the RDS decoder (DE) is clocked with the RDS bit clock signal (CL).
4. Method as claimed in Claims 1, 2 or 3, wherein the error signal is calculated at the times at which the in-phase component (I) is at a maximum.
5. Method as claimed in Claims 1, 2, 3 or 4, wherein before synchronisation of the oscillator (OZ) with the carrier of the RDS signal the amplitude of the in-phase component (I) is checked and when a zero passage of the in-phase component (I) is detected the calculation cycle for the error signal is shifted by a quarter-bit clock period.
6. Method as claimed in any one of Claims 1 to 5, wherein the method is implemented as software.
7. Circuitry for demodulating an RDS signal, in which the sampled stereo multiplex signal (MPX) is applied to the first input of a first multiplier (M1) and of a second multiplier (M2), the in-phase component (I) of an oscillator (OZ) is applied to the second input of the first multiplier (M1) and the quadrature component (Q) of the oscillator (OZ) is applied to the second input of the second multiplier (M2), the output of the first multiplier (M1) is connected to the input of a first low-pass (TP1), the output of which is connected to the input of a first divider (D1), the output of which is connected to the input of a first high-pass (HP), the output of the second multiplier (M2) is connected to the input of a second low-pass (TP2), the output of which is connected to the input of a second divider (D2), the output of which is connected to the input of a second high-pass (H2), the output of the first high-pass (HP1) is connected to the first input of an arithmetic unit (RE), to the input of an RDS decoder (DE), at the output of which the RDS data can be retrieved, and to the first control input of a clock generator (CG), the output of the second high-pass (HP) is connected to the second input of the arithmetic unit (RE), the output of which is connected to the input of a filter (F), the output of the filter (F) is connected to the input of a control unit (SE), the output of which is connected to the control input of the oscillator (OZ), and the output of the oscillator (OZ) is connected to the second control input of the clock generator (CE), the clock output of which is connected to the clock input of the arithmetic unit (R) and of the RDS decoder (DE).
8. Circuitry as claimed in Claim 7, wherein a loop filter is provided for the filter (F).
9. Method or circuitry as claimed in any one of the preceding claims, wherein the sampling frequency for the stereo multiplex signal (MPX) is selected in such

a way that the spectrum of the RDS signal in the region around the carrier of the RDS signal is represented completely by the digital signal.

- 5 10. Method or circuitry as claimed in Claim 9, wherein the sampling frequency is selected to be greater than 120 KHz.
- 10 11. Method or circuitry as claimed in any one of the preceding claims, wherein the division factor is selected to be 16.
- 15 12. Method or circuitry as claimed in any one of the preceding claims, wherein a digital oscillator is provided for the oscillator (OZ).

Revendications

- 20 1. Procédé pour la démodulation du signal RDS, dans lequel le signal stéréo multiplexe lu (MPX) est multiplié dans une première branche avec la composante cophasée (I) d'un oscillateur (OZ) et le signal résultant est ensuite filtré par un passe-bas, le taux de lecture du signal filtré par un passe-bas est divisé par un facteur de division pouvant être déterminé au préalable, le signal filtré par un passe-bas et décimé dans le taux de lecture est filtré par un passe-haut, le signal filtré par un passe-haut est décodé dans un décodeur RDS (DE), le signal stéréo multiplexe lu (MPX) est multiplié dans une seconde branche avec la composante en quadrature (Q) de l'oscillateur (OZ) et le signal résultant est ensuite filtré par un passe-bas, le taux de lecture du signal filtré par un passe-bas est divisé par un facteur de division pouvant être déterminé au préalable, le signal filtré par un passe-bas et décimé dans le taux de lecture est filtré par un passe-haut et à partir du signal filtré par un passe-haut de la première et de la seconde branche ainsi qu'à partir de la cadence binaire RDS (CL) on calcule un signal d'erreur décrivant la position de phase entre le support du signal RDS et le signal de sortie de l'oscillateur (OZ), signal d'erreur à partir duquel, après filtrage, un signal de correction est généré pour l'oscillateur (OZ).
2. Procédé selon la revendication 1, dans lequel la cadence binaire (CL) est générée par un générateur de signal (CL) qui est commandé par l'oscillateur (OZ) et par le signal filtré par un passe-haut de la première branche.
3. Procédé selon la revendication 2, dans lequel le décodeur RDS (DE) est cadencé avec la cadence binaire RDS (CL).
4. Procédé selon la revendication 1, 2 ou 3, dans lequel le signal d'erreur est calculé aux moments où

la composante cophasée (I) est maximale.

5. Procédé selon la revendication 1, 2, 3 ou 4, dans lequel avant la synchronisation de l'oscillateur (OZ) avec le support du signal RDS, l'amplitude de la composante cophasée (I) est contrôlée et en cas de détection d'un passage à zéro de la composante cophasée (I), le cycle de calcul pour le signal d'erreur est décalé d'une période de cycle d'un quart de bit. 10
6. Procédé selon l'une des revendications 1 à 5, dans lequel le procédé est réalisé comme logiciel.
7. Dispositif de circuit pour la démodulation du signal RDS, dans laquelle le signal stéréo multiplexe lu (MPX) se trouve à la première entrée d'un premier multiplicateur (M1) et d'un second multiplicateur (M2), la composante cophasée (I) d'un oscillateur (OZ) se trouve à la seconde entrée du premier multiplicateur (M1) et la composante en quadrature (Q) de l'oscillateur (OZ) à la seconde entrée du second multiplicateur (M2), la sortie du premier multiplicateur (M1) est reliée à l'entrée d'un premier filtre passe-bas (TP1) dont la sortie est reliée à l'entrée d'un premier démultiplicateur (D 1) dont la sortie est connectée à l'entrée d'un premier filtre passe-haut (HP) ; la sortie du second multiplicateur (M2) est reliée à l'entrée d'un second filtre passe-bas (TP2) dont la sortie est reliée à l'entrée d'un second démultiplicateur (D2) dont la sortie est connectée à l'entrée d'un second filtre passe-haut (HP2) ; la sortie du premier filtre passe-haut (HP1) est reliée à la première entrée d'une unité de calcul (RE), à l'entrée d'un décodeur RDS (DE), à la sortie duquel les données RDS sont prises, et à la première entrée de commande d'un générateur de signal (CG) ; la sortie du second filtre passe-haut (HP) est reliée à la seconde entrée de l'unité de calcul (RE) dont la sortie est reliée à l'entrée d'un filtre (F), la sortie du filtre (F) est reliée à l'entrée d'une unité de commande (SE) dont la sortie est connectée à l'entrée de commande de l'oscillateur (OZ), et la sortie de l'oscillateur (OZ) est connectée à la seconde entrée de commande du générateur de signal (CE) dont la sortie de cadence est reliée à l'entrée de cadence de l'unité de calcul (RE) et du décodeur RDS (DE). 15 20 25 30 35 40 45
8. Dispositif de circuit selon la revendication 7, dans lequel un filtre à boucle est prévu pour le filtre (F). 50
9. Procédé ou dispositif de circuit selon l'une des revendications précédentes, dans lequel la fréquence de lecture pour le signal stéréo multiplexe (MPX) sera ou est sélectionnée de telle sorte que le spectre du signal RDS sera ou est entièrement représenté par le signal digital dans la zone autour du porteur du signal RDS. 55

10. Procédé ou dispositif de circuit selon la revendication 9, dans lequel la fréquence de lecture est choisie ou est supérieure à 120 KHz.

5 11. Procédé ou dispositif de circuit selon l'une des revendications précédentes, dans lequel le facteur de division par 16 sera ou est choisi.

10 12. Procédé ou dispositif de circuit selon l'une des revendications précédentes, dans lequel pour l'oscillateur (OZ) un oscillateur digital sera ou est prévu.

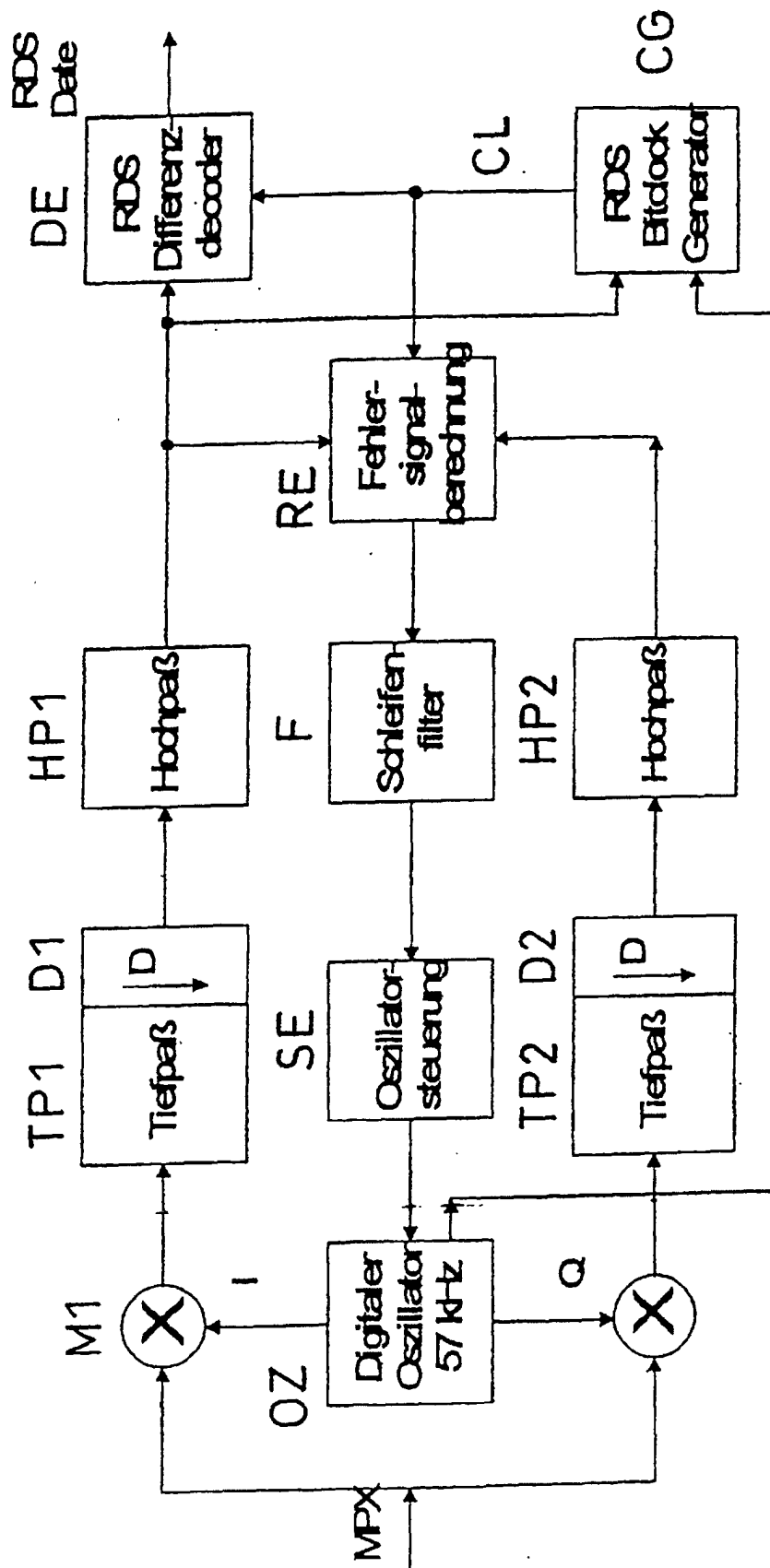


Fig.