

Description

[0001] L'invention concerne un oscillateur commandé en tension réalisé en technologie CMOS.

[0002] Plus particulièrement, l'invention concerne la synthèse de fréquences basée sur l'utilisation d'un oscillateur commandé en tension asservi par une fréquence de référence.

[0003] Une application particulièrement intéressante d'un tel oscillateur concerne le domaine des télécommunications pour la réalisation d'émetteurs ou de récepteurs radio, pour lesquels il est nécessaire d'engendrer des fréquences précises pour sélectionner un canal radio. Plus particulièrement, l'invention trouve une application particulièrement avantageuse dans le domaine des hautes fréquences, de l'ordre de 5 GHz, cette fréquence étant retenue dans certains réseaux locaux radio pour l'onde porteuse afin de ne pas perturber les réseaux voisins.

[0004] A chaque communication est attribué un canal contenu dans cette bande de fréquence, ayant une largeur d'environ 20 MHz. Il est donc nécessaire de disposer, en réception, d'un oscillateur local capable d'engendrer des fréquences précises pour sélectionner un canal donné. Un tel oscillateur, qui est destiné à être embarqué dans les terminaux de réception, doit nécessairement présenter un faible coût de production et un haut niveau d'intégration.

[0005] C'est la raison pour laquelle on réalise généralement ces oscillateurs en technologie CMOS. Selon cette technologie, les oscillateurs comportent par exemple deux circuits oscillants identiques comprenant chacun un circuit résonant de type LC, associés chacun à un inverseur constitué par l'association de deux transistors.

[0006] Comme on le conçoit, l'une des préoccupations majeures des fabricants de terminaux de télécommunications concerne la miniaturisation des composants électroniques embarqués. Ce problème se pose de manière accrue pour les selfs des oscillateurs constitutifs des circuits résonants, la surface de silicium utilisée pour la réalisation d'une self étant directement liée à la valeur de la self et donc à la fréquence d'oscillation. Il n'est donc pas possible de diminuer la taille de l'oscillateur sans modifier la valeur de la self et donc la fréquence de l'oscillateur.

[0007] C'est ainsi que, selon la technologie MOS, la surface de silicium nécessaire pour la réalisation des transistors de l'oscillateur est négligeable par rapport à la surface de silicium nécessaire pour la réalisation des selfs.

[0008] Le but de l'invention est donc de pallier les inconvénients des oscillateurs de l'état de la technique et de fournir un oscillateur commandé en tension ayant un niveau d'intégration accru.

[0009] Selon l'invention, il est donc proposé un oscillateur commandé en tension comprenant un étage oscillant à deux inverseurs CMOS couplés formant un

quadripôle à deux entrées et à deux sorties, et deux circuits oscillants disposés respectivement entre les entrées et les sorties des inverseurs et comportant chacun une self, le quadripôle étant adapté pour que les sorties dudit quadripôle soient en phase.

[0010] Selon une caractéristique générale de l'oscillateur selon l'invention, les selfs des circuits oscillants sont réalisés en technologie MOS et sont superposées l'une sur l'autre.

[0011] La superposition des deux selfs permet dès lors de diminuer la surface occupée par l'oscillateur, d'un facteur pouvant aller jusqu'à 2.

[0012] Selon une autre caractéristique de l'invention, les selfs des circuits oscillants sont réalisées sous la forme de spirales implantées dans des niveaux de métallisation respectifs d'un circuit intégré.

[0013] Ainsi, par exemple, les selfs se présentent sous la forme de capacités en forme de spirale formées respectivement par implantation de métal dans les niveaux de métallisation qui sont isolés par une couche d'oxyde mince.

[0014] Selon une autre caractéristique de l'invention, chaque inverseur comporte deux transistors MOS de polarité opposée, disposés en ligne, l'entrée de l'inverseur étant située sur la grille de l'un des transistors ayant une première polarité et la sortie au point milieu des deux transistors.

[0015] En outre, l'entrée de chaque inverseur est reliée à la grille d'un transistor d'une deuxième polarité de l'autre inverseur, ladite deuxième polarité étant opposée à ladite première polarité.

[0016] L'oscillateur comporte en outre un étage d'amplification comprenant deux transistors MOS de polarité opposée disposés en série, la grille de chaque transistor étant reliée à l'une des sorties de l'étage oscillant.

[0017] D'autres buts, caractéristiques et avantages de l'invention apparaîtront à la lecture de la description suivante, donnée uniquement à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :

- la figure 1 est un schéma illustrant la réalisation d'un oscillateur commandé en tension conforme à l'invention ;
- la figure 2 est une vue en coupe d'une plaquette de circuit intégré illustrant la réalisation des selfs d'un oscillateur conforme à l'invention ; et
- la figure 3 est une vue de dessus de la plaquette de la figure 2.

[0018] Sur la figure 1, on a représenté le circuit électronique d'un oscillateur commandé en tension conforme à l'invention.

[0019] Comme on le voit sur cette figure 1, l'oscillateur comporte un étage oscillant 10 associé à un étage amplificateur 12 de type "push-pull".

[0020] L'étage oscillant 10 constitue un quadripôle à deux entrées e1 et e2 et à deux sorties s1 et s2.

[0021] En particulier, l'étage oscillant 10 présente une structure à deux inverseurs 14 et 16 couplés, réalisés en technologie CMOS. Chaque inverseur 14 et 16 comporte deux transistors MOS, respectivement N1 et P1, et N2 et P2 de polarité opposée et disposés en série. En d'autres termes, l'un des inverseurs, à savoir l'inverseur désigné par la référence numérique générale 14, comporte un premier transistor MOS N1 de type N, et un deuxième transistor MOS P1 de type P couplés de sorte que la source S du transistor MOS N1 soit raccordé à la masse, que la source S du deuxième transistor P1 soit raccordé à une source de tension d'alimentation Vdd, et que le drain D du premier transistor N1 soit raccordé au drain du deuxième transistor P1.

[0022] Le câblage de l'autre inverseur 16 est réalisé de manière symétrique.

[0023] On voit sur la figure 1 que les deux entrées e1 et e2 du quadripôle 10 sont constituées par les grilles G des premiers transistors N1 et N2 des deux inverseurs 14 et 16, tandis que les sorties S1 et S2 sont constituées par les drains D des deux transistors N1, P1, d'une part, et N2, P2, d'autre part.

[0024] Ces sorties S1 et S2 sont raccordées à l'étage d'amplification 12.

[0025] Cet étage d'amplification 12 est constitué par l'association de deux transistors MOS N3 et P3 de polarité opposée disposés en série, dont les grilles respectives reçoivent les signaux de sortie s1 et s2 des deux inverseurs 14 et 16.

[0026] Cet étage d'amplification constitue un amplificateur de type push-pull conventionnel. Il ne sera donc pas décrit davantage par la suite.

[0027] Enfin, l'étage oscillant 10 est complété par deux circuits oscillants ou résonants 18 et 20, disposés en parallèle respectivement entre les entrées e1, e2 et les deux sorties s1, s2 des deux inverseurs 14 et 16. Comme le montre la figure 1, ces deux circuits oscillants 18 et 20 sont commandés en fréquence par une tension Vt d'accord à travers deux résistances R1 et R2. Chaque circuit oscillant 18 et 20 est formé d'une inductance L1, L2 et d'une capacité en parallèle réalisée par deux capacités C1, C2 et C3, C4 montées en série et dont le point milieu est piloté par la tension d'accord Vt.

[0028] Ces circuits oscillants 18 et 20 sont ainsi chacun constitués d'une self à induction associée à une capacité en parallèle, laquelle est successivement chargée puis déchargée à travers la self L1, L2, créant ainsi des oscillations dont la fréquence dépend de la valeur des capacités C1, C2 et C3, C4, de la valeur des selfs L1 et L2.

[0029] Comme indiqué précédemment, la réalisation des selfs en technologie CMOS présente des inconvénients majeurs en termes de surface de silicium nécessaire à la réalisation de ces composants.

[0030] Conformément à une caractéristique de l'invention, comme on le voit sur la figure 2, les selfs L1 et L2 sont formées dans deux niveaux de métallisation M4 et M5 isolés par une couche d'oxyde mince O et sont

superposées l'une sur l'autre, ce qui permet de réduire considérablement la surface de silicium nécessaire pour la réalisation de ces selfs.

[0031] On voit en effet sur la figure 2 que ces selfs L1 et L2 sont formées dans les deux derniers niveaux de métallisation M4 et M5 sur une couche d'oxyde de silicium 20 elle-même déposée sur un substrat 22 de type p, des caissons dopés de type N+24 et 26 étant prévus, dans le substrat 20, de part et d'autre des selfs, afin de limiter les pertes de ces dernières.

[0032] Comme on le voit sur la figure 3, sur laquelle seul le niveau de métallisation supérieur M5 a été représenté, les selfs sont réalisées par implantation de métal sous la forme de spirales et constituent, conjointement, une capacité en spirale. Les deux selfs sont dès lors couplées en formant une capacité. La présence d'une telle capacité n'est cependant pas gênante puisque la différence de potentiel entre les selfs L1 et L2 est nulle.

[0033] De préférence, comme visible sur la figure 2, pour la réalisation des selfs, on utilise entre autre le dernier niveau de métallisation M5, qui a une épaisseur accrue.

[0034] On notera que la mutuelle inductance entre les deux selfs permet de modifier les propriétés de l'oscillateur.

[0035] En effet, dans une configuration de selfs empilées, si chaque self présente une valeur d'inductance L, en raison du couplage de ces deux selfs, la valeur L' de chaque inductance devient alors :

$$L' = L(1+k)$$

k désignant le coefficient de mutuelle inductance des deux selfs.

[0036] On conçoit dès lors qu'en utilisant une telle structure de selfs empilées pour l'implantation des selfs L1 et L2, si le coefficient k de mutuelle inductance est voisin de 1, la valeur de l'inductance de chaque self est doublée, ce qui permet de diminuer par deux le diamètre de chaque self.

[0037] On notera enfin que selon une particularité du montage des deux inverseurs 14 et 16, du point de vue du câblage de ces inverseurs, ceux-ci ne sont pas formés puisque les grilles des transistors N1 et P1, d'une part, et N2 et P2, d'autre part, ne sont pas interconnectées à un même point. Cependant, le quadripôle 10, dont les entrées et les sorties correspondent aux entrées e1, e2 et aux sorties s1, s2 des inverseurs, présente un gain maximal quand les entrées e1 et e2 sont en phase. En d'autres termes, lorsque le quadripôle 10 a atteint son point de fonctionnement nominal défini par le gain maximum, les entrées e1 et e2 sont en phase et, de ce fait, les inverseurs 14 et 16 sont fonctionnellement fermés. On notera également que, dans ce cas, les sorties s1 et s2 sont également en phase, ce qui permet d'attaquer directement l'étage d'amplification 12.

Revendications

1. Oscillateur commandé en tension, comprenant un étage oscillant à deux inverseurs CMOS (14, 16) couplés formant un quadripôle à deux entrées (e1, e2) et à deux sorties (s1, s2), et deux circuits oscillant (18, 20) disposés respectivement entre les entrées et les sorties des inverseurs et comportant chacun une self (L1, L2), le quadripôle étant adapté pour que les sorties dudit quadripôle soient en phase, **caractérisé en ce que** les selfs (L1, L2) des circuits oscillants sont réalisées en technologie MOS et sont superposées l'une sur l'autre. 5 10
2. Oscillateur selon la revendication 1, **caractérisé en ce que** les selfs des circuits oscillants sont réalisées sous la forme de spirales implantées dans des niveaux de métallisation (M4, M5) respectifs d'un circuit intégré. 15 20
3. Oscillateur selon la revendication 2, **caractérisé en ce que** les selfs se présentent sous la forme de capacités en forme de spirale formées respectivement par implantation de métal dans lesdits niveaux de métallisation (M4, M5) qui sont isolés par une couche d'oxyde mince (O). 25
4. Oscillateur selon l'une quelconque des revendications 1 à 3, **caractérisé en ce que** chaque inverseur comporte deux transistors (N1, P1, N2, P2) MOS de polarité opposée, disposés en ligne, l'entrée de l'inverseur (e1, e2) étant située sur la grille (G) de l'un des transistors ayant une première polarité et la sortie (S1, s2) au point milieu des deux transistors. 30 35
5. Oscillateur selon la revendication 4, **caractérisé en ce que** l'entrée (e1, e2) de chaque inverseur est reliée à la grille (G) d'un transistor d'une deuxième polarité de l'autre inverseur, ladite deuxième polarité étant opposée à ladite première polarité. 40
6. Oscillateur selon l'une quelconque des revendications 1 à 5, **caractérisé en ce qu'il** comporte en outre un étage d'amplification (12) comprenant deux transistors MOS (N3, P3) de polarité opposée disposés en série, la grille de chaque transistor MOS étant reliée à l'une des sorties de l'étage oscillant. 45 50

55

FIG. 1

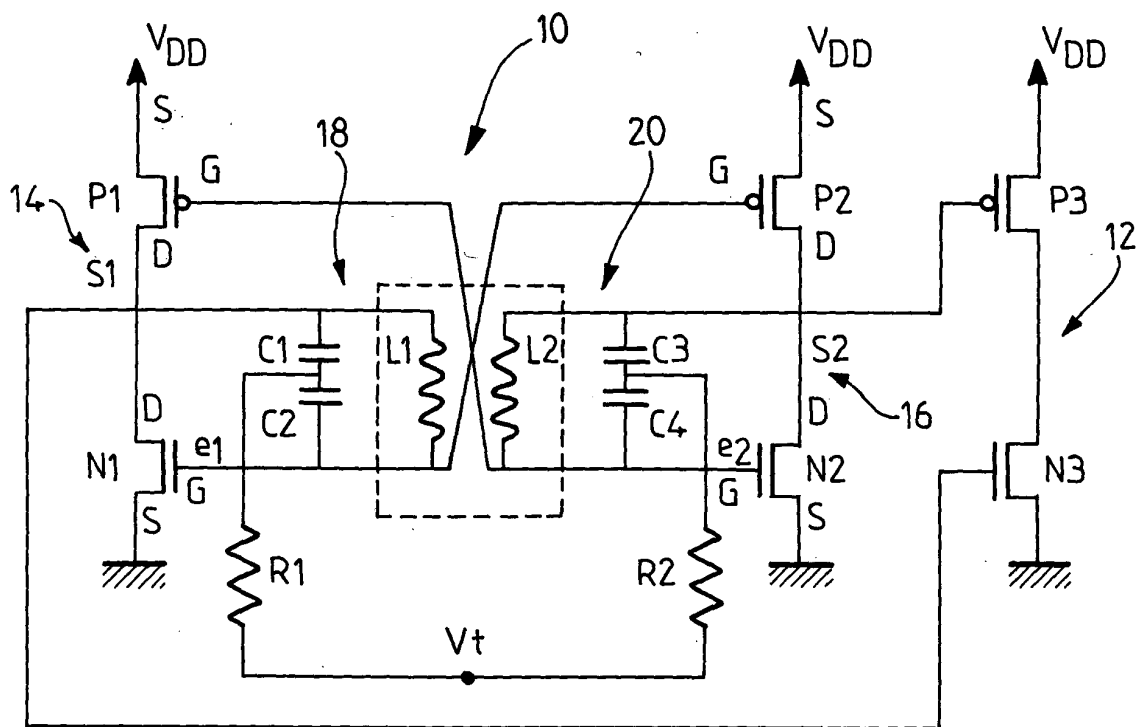


FIG. 2

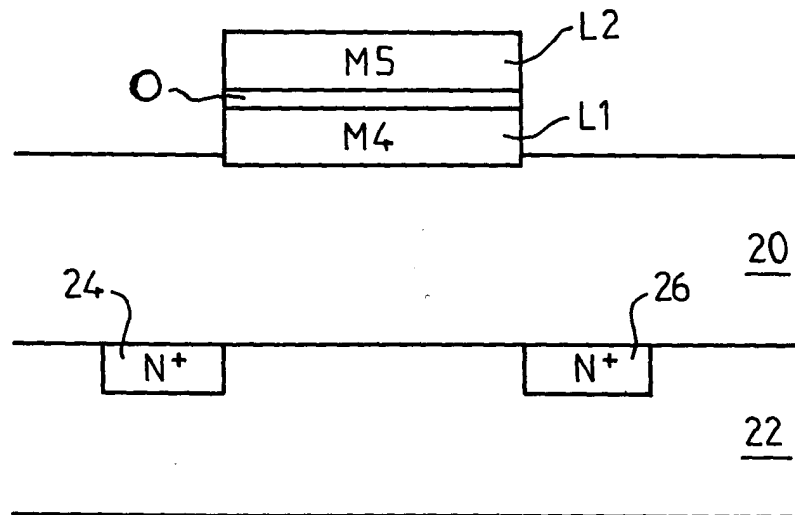
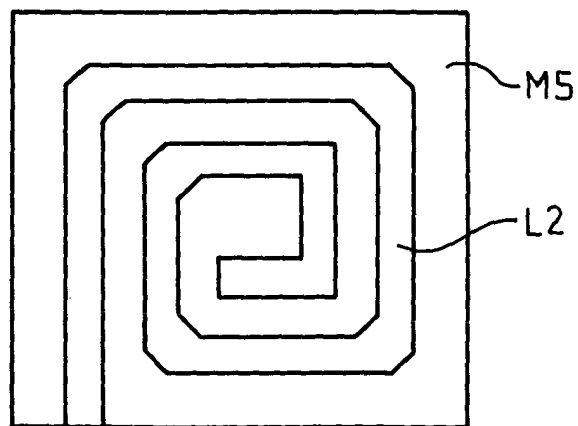


FIG. 3





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 04 29 0694

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
A	EP 1 187 308 A (FRANCE TELECOM) 13 mars 2002 (2002-03-13) * page RESUME * * colonne 2, ligne 15 - ligne 55 * * colonne 3, ligne 30 - colonne 4, ligne 4; figure 2 * ---	1-6	H03B5/12
A	US 2001/013813 A1 (FORBES LEONARD) 16 août 2001 (2001-08-16) * page 1, colonne 1, ligne 28 - ligne 41 * * page 2, colonne 1, ligne 56 - page 2, colonne 2, ligne 35 * * page 3, colonne 2, ligne 9 - ligne 50 * * page 4, colonne 2, ligne 39 - ligne 41 * -----	1-3	H03B
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche MUNICH		Date d'achèvement de la recherche 30 avril 2004	Examineur Mesic, M
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503 03.82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 04 29 0694

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

30-04-2004

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1187308 A	13-03-2002	FR 2814007 A1	15-03-2002
		EP 1187308 A2	13-03-2002
US 2001013813 A1	16-08-2001	US 6249191 B1	19-06-2001

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82