

(19)



(11)

EP 1 535 274 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des Hinweises auf die Patenterteilung:
24.01.2007 Patentblatt 2007/04

(51) Int Cl.:
G09G 5/18^(2006.01)

(21) Anmeldenummer: **03793774.5**

(86) Internationale Anmeldenummer:
PCT/EP2003/009633

(22) Anmeldetag: **29.08.2003**

(87) Internationale Veröffentlichungsnummer:
WO 2004/023452 (18.03.2004 Gazette 2004/12)

(54) **STEUEREINHEIT UND VERFAHREN ZUM REDUZIEREN VON INTERFERENZMUSTERN BEI DER ANZEIGE EINES BILDES AUF EINEM BILDSCHIRM**

CONTROL UNIT AND METHOD FOR REDUCING INTERFERENCE PATTERNS WHEN AN IMAGE IS DISPLAYED ON A SCREEN

UNITE DE COMMANDE ET PROCEDE POUR REDUIRE DES MODELES D'INTERFERENCES LORS DE L'AFFICHAGE D'UNE IMAGE SUR UN ECRAN

(84) Benannte Vertragsstaaten:
DE FR GB

(30) Priorität: **06.09.2002 DE 10241343**

(43) Veröffentlichungstag der Anmeldung:
01.06.2005 Patentblatt 2005/22

(73) Patentinhaber:
• **Philips Intellectual Property & Standards GmbH**
20099 Hamburg (DE)
Benannte Vertragsstaaten:
DE
• **Koninklijke Philips Electronics N.V.**
5621 BA Eindhoven (NL)
Benannte Vertragsstaaten:
FR GB

(72) Erfinder:
• **ENGELHARDT, Oliver**
85221 Dachau (DE)
• **ECKHARDT, Andreas**
81247 München (DE)

(74) Vertreter: **White, Andrew Gordon et al**
NXP Semiconductors
Intellectual Property Department
Cross Oak Lane
Redhill, Surrey RH1 5HA (GB)

(56) Entgegenhaltungen:
EP-A- 0 704 833 **US-A- 5 943 382**
US-A- 6 046 735 **US-B1- 6 433 766**

EP 1 535 274 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Steuereinheit und auf ein Verfahren zum Steuern eines Bildschirms, und hier insbesondere auf eine Steuereinheit und auf ein Verfahren zum Reduzieren von Interferenzmustern bei der Anzeige eines Bildes auf dem Bildschirm. Insbesondere bezieht sich die vorliegende Erfindung auf ein Verfahren und auf eine Steuereinheit zur Verwendung mit einem TFT/LCD-Bildschirm.

[0002] Komplexe Systeme, welche eine Vielzahl von Signalen verwenden, zeigen mit zunehmender Verringerung der Strukturgröße immer stärkere Wechselwirkungen zwischen digitalen und analogen Komponenten. Gravierend wirkt sich dieser Sachverhalt bei Systemen aus, die mehrere Taktsignale (Clock-Domänen) auf einem Chip vereinigen und die ähnliche Frequenzen zur digitalen Datenverarbeitung und analogen Datenerfassung verwenden.

[0003] Speziell bei Graphikapplikationen zeigen sich solche Wechselwirkungen in Form von Interferenzmustern im Ausgangsbild, was nachfolgend anhand eines TFT/LCD-Bildschirms näher erläutert wird (TFT = Thin Film Transistor = Dünnschichttransistor; LCD = Liquid Cystal Display = Flüssigkristallanzeige).

[0004] Zur Anbindung von TFT/LCD-Bildschirmen an gängige Bildquellen (z. B. an PC-Graphikkarten: VGA, DVI und parallele Anschlüsse (PC = Personal Computer; VGA = Video Graphics Adapter; DVI = Digital Video Input = digitaler Videoeingang)) werden LCD-Steuereinheiten benötigt, welche die unterschiedlichen Eingangsdaten erfassen, in digitale RGB-Daten (RGB = Rot, Grün, Blau) umwandeln und mit dem vom jeweiligen Bildschirmtyp erforderlichen Zeitverlauf (Pixelfrequenz) ausgeben.

[0005] Fig. 8 zeigt ein vereinfachtes Blockschaltbild eines herkömmlichen LCD-Steuerchips 800. Der Steuerchip 800 empfängt von unterschiedlichen Eingangsquellen 802, 804 und 806 Eingangssignale. Hierbei handelt es sich um die schematisch dargestellte Signalquelle 802, welche analoge Videoeingangssignale bereitstellt (AVI = Analog Video Input = analoger Videoeingang). Die Signalquelle 804 stellt digitale Videoeingangssignale bereit (DVI = Digital Video Input = digitaler Videoeingang). Die Signalquelle 806 stellt parallele Videoeingangssignale bereit (PVI = Parallel Video Input = paralleler Videoeingang). Die an den Steuerchip 800 durch die Eingangsquellen 802 bis 806 bereitgestellten Eingangssignale liegen an einer Eingangs-Auswahleinheit 808 an, welche die zu verarbeitenden Eingangssignale auswählt und einem Eingang 810 des Steuerchips 800 bereitstellt. Die am Eingang 810 bereitgestellten Signale werden einer Verarbeitungseinheit 812 bereitgestellt, welche einen FIFO-Speicher (FIFO = First In First Out) und ein Speicherelement umfaßt. Der der Verarbeitungseinrichtung 812 zugeordnete Speicher ist mit einer Speicherschnittstelle 814 verbunden (MI = Memory Interface = Speicherschnittstelle). Die Verarbeitungseinheit 812 gibt über einen Ausgang 814 und die Ausgangsschnittstelle 816 die auf dem Bildschirm anzuzeigenden Pixeldaten mit einer Pixelfrequenz $ppll_clk$ an den Bildschirm aus. Der Steuerchip 800 umfasst ferner einen Konfigurationsblock 818, welcher mit dem Systemtakt sys_clk betrieben wird.

[0006] Vor der Verarbeitungseinheit 812 liegen die Signale mit dem Takt $fclock$ an, der dem Takt der von den Eingangsquellen 802 bis 806 erfassten Eingangssignale entspricht (DVI_clk , AVI_clk , PVI_clk).

[0007] Wie in Fig. 8 dargestellt ist, befinden sich neben den unterschiedlichen Takten (Clock-Domänen) der Eingangsquellen (AVI_clk , DVI_clk , PVI_clk) auf dem Steuerchip 800, je nach Art des Steuerchips, weitere Takte (Domänen) für die Speicherschnittstelle 814 ($mpll_clk$) und die Bildschirm-Schnittstelle 818 ($ppll_clk$). Ferner ist der Systemtakt sys_clk vorgesehen.

[0008] Der in Fig. 8 gezeigte Steuerchip 800 ist beispielsweise auf einer gedruckten Schaltungsplatine angeordnet, und empfängt z.B. die von einem Computer bereitgestellten Video- oder Graphiksignale zur Aufbereitung und Anzeige auf dem Bildschirm.

[0009] Das Problem bei solchen Steuereinheiten besteht darin, dass die Taktsignale über das Substrat des Steuerchips 800 in einen oder mehrere Eingänge des Steuerchips einkoppeln und sich mit den anliegenden Signalen überlagern. Hierdurch werden bei der Anzeige der Daten auf dem Bildschirm störende Interferenzmuster erzeugt. Diese Problematik sei nachfolgend anhand der am analogen Eingang empfangenen Signale verdeutlicht.

[0010] Hinsichtlich der verschiedenen Eingänge des Steuerchips 800 ist festzuhalten, dass theoretisch auch der DVI-Eingang 804 über das Substrat des Chips von den übrigen Taktsignalen (Clock-Domänen) gestört werden kann, jedoch beschränken sich die nachfolgenden Ausführungen der Einfachheit halber auf den analogen Eingang 802 (AVI) als Störquelle, wobei die Speicher- und die Bildschirm-Taktsignale $mpll_clk$ und $ppll_clk$ als Störquelle betrachtet werden, die über das in der Regel niederohmig ausgeführte Substrat des Steuerchips 800 in den analogen Eingang AVI einkoppeln.

[0011] Der einfachste und in der Praxis oft auftretende Fall einer Interferenz bei LCD-Steuereinheiten ist das Einkoppeln des Störsignals in den analogen Videoeingang 802 (AVI) mit der Frequenz des Bildschirmtaktes $ppll_clk$ (Pixelfrequenz) bzw. den harmonischen Oberwellen dieses Taktes. Es existieren mehrere Möglichkeiten, wie das Störsignal erzeugt wird und in das niederohmige Substrat des Chips 800 gelangt. Als Hauptquelle für die Substratspannungen sind neben der digitalen Logik im Core (Kern) die Eingangs/Ausgangs-Treiber der Ausgangsschnittstelle 818 zu sehen.

[0012] Anhand der Fig. 9 ist ein Ersatzschaltbild der Bildschirm-Schnittstelle oder Ausgabe-Schnittstelle 818 aus Fig. 8 gezeigt. Im linken Abschnitt der Fig. 9 (links der gestrichelten Linie) sind die Elemente des Steuerchips dargestellt,

und rechts der gestrichelten Linie sind die Elemente der Schaltungsplatine dargestellt.

[0013] Vom Ausgang 816 empfängt die Schnittstelle an einer Treiberstufe 822 die auf dem Bildschirm anzuzeigenden Pixelsignale mit der Pixelfrequenz des Bildschirms $ppll_clk$. Die Treiberstufe 822 umfaßt bei dem dargestellten Beispiel einen ersten Feldeffekttransistor 822a sowie einen zweiten Feldeffekttransistor 822b. Der Ausgang der Treiberstufe 822 ist mit einer Anschlussfläche des Steuerchips 800 verbunden, wobei die Anschlussfläche eine Impedanz mit einem ohmschen Anteil und einem kapazitiven Anteil gegen die Substratmasse hat, was in Fig. 9 durch den Widerstand R_1 und die Kapazität C_1 angedeutet ist. Der Steuerchip 800 ist über einen Bonddraht mit einem Gehäuse verbunden, um eine Anschlussfläche des Steuerchips mit einer Anschlussfläche des Chipgehäuses zu verbinden. In Fig. 9 ist der induktive Anteil L_1 und der Ohmsche Anteil R_2 der Impedanz des Bonddrahts gezeigt.

[0014] Zusätzlich sind die kapazitiven, induktiven und ohmschen Anteile der Impedanzen der Anschlussfläche und des Gehäuses, mit dem der Steuerchip 800 über den Bonddraht verbunden ist, als Widerstand R_3 , als Induktivität L_2 sowie als Kapazitäten C_2 und C_3 gezeigt.

[0015] Auf der Schaltungsplatine ist eine Übertragungsleitung TL (TL = Transmission Line) vorgesehen, welche das von dem Steuerchip ausgegebene Signal an eine weitere Treiberstufe 824 ausgibt, die das Signal ihrerseits an den Bildschirm weiterleitet. Die Treiberstufe 824 umfaßt ähnlich der Treiberstufe 822 einen ersten Feldeffekttransistor 824a und einen zweiten Feldeffekttransistor 824b. Ferner ist mit der Kapazität C_4 eine Kapazität der Gehäusung der Treiberstufe 824 verdeutlicht.

[0016] In Fig. 9 ist ferner bezüglich der Induktivität L_1 die hierüber abfallende Spannung $u_L(t)$ dargestellt. Wie oben ausgeführt, sind eine der Hauptquellen für die Substratspannungen die Ausgangssignale der Eingangs/Ausgangs-Treiberstufe 822 der Bildschirmschnittstelle. Diese Schnittstelle erzeugt über die Induktivitäten L_1 , L_2 und die Widerstände R_1 , R_2 , R_3 der Bonddrähte und der Anschlussflächen sehr steile Signale (hohes di/dt). Dies führt dazu, dass über die Bonddrähte Spannungen bis zu einigen 100 mV ($u_L(t)$) abfallen können, die, bedingt durch das Treiberlayout, direkt oder indirekt auf das Substrat des Steuerchips 800 eingekoppelt.

[0017] Eine weitere Quelle für Störungen am analogen Eingang des Steuerchips 800 können Masse- oder Versorgungsspannungs-Störungen (bounces) sein, die durch eine geringe oder fehlende Entkopplung auf dem Steuerchip im digitalen Core oder durch eine unzulängliche Führung der die Versorgungsspannung führenden Leitungen (power-routing) entstehen können.

[0018] Die sichtbaren Effekte sind sich in beiden Fällen sehr ähnlich und bei unzureichender Immunität der analogen Schaltungen (Power-Supply-Ripple-Rejection = Leistungsversorgungs-Welligkeits-Unterdrückung, Ground- und Substrate-Noise-Decoupling = Masse- und Substrat-Rauschentkopplung) sind diese in der Form hochfrequenter Quasi-Rauschsignale (mit hoher Interferenzfrequenz $f_{\text{interf}} \approx avi_clk$), in Form von schmalen diagonalen Streifen und Linien ($1/2 avi_clk \geq f_{\text{interf}} \geq f_{\text{horizontal}}$) oder in Form von niederfrequenten horizontal ausgerichteten Streifen ($f_{\text{horizontal}} \geq f_{\text{interf}} \geq f_{\text{vertikal}}$) mit geringerer oder höherer Helligkeit sichtbar.

[0019] Die Erscheinungsform der auf dem Bildschirm (panel) sichtbaren Interferenz hängt hierbei von den auf dem Steuerchip 800 eingestellten Frequenzen in Relation zum Eingangstakt ab, wobei das jeweilige Eingangsformat (active area = aktive Fläche, blanking = Austastung, Zeilenfrequenz usw.) eine wesentliche Rolle spielt.

[0020] In Fig. 10A ist ein Beispiel für ein solches Interferenzmuster dargestellt, welches für eine LCD-Steuereinheit mit Bildschirm-Schnittstelle basierend auf einem C-Modell simuliert wurde. Der in Fig. 10A dargestellte Verlauf des Interferenzmusters stimmt weitestgehend mit dem bei einer realen LCD-Steuereinheit zu beobachtenden Verlauf überein.

[0021] Bis jetzt wurden lediglich LCD-Steuereinheiten mit einer Bildschirm-Schnittstelle betrachtet. Zusätzlich existieren jedoch auch LCD-Steuereinheiten, wie die anhand der Fig. 8 beschriebene, bei der zusätzlich die Speicher-Schnittstelle 814 vorgesehen ist. Prinzipiell gelten hier die gleichen Überlegungen wie oben, jedoch befinden sich bei LCD-Steuereinheiten mit externem Speicher neben der Bildschirm-Schnittstelle noch wesentlich stärkere Treibereingänge/ausgänge für die Speicher-Schnittstelle auf dem Steuerchip 800. Diese für die Speicher-Schnittstelle vorgesehenen stärkeren Treiber sind nicht zuletzt auch aufgrund ihrer Wirkung auf das Substrat für die Betrachtung wesentlich. Die Daten über die Speicher-Schnittstelle werden im Regelfall mit einem anderen, üblicherweise höheren Takt getaktet als bei der Bildschirm-Schnittstelle. Ebenso wie bei der Bildschirm-Schnittstelle werden auch hier durch die sehr steilen Signale (hohes di/dt) induktive Spannungen über den Bonddrähten erzeugt, die auf das Substrat einkoppeln und von dort die analogen Schaltungen beeinflussen können. In der Realität befindet sich somit ein Frequenzgemisch aus zumindest zwei Frequenzen auf dem Substrat, die etwa in der gleichen Größenordnung liegen wie die Eingangsfrequenz avi_clk des Signals von der betrachteten Eingangsquelle 802.

[0022] Betrachtet man beide Frequenzen unabhängig voneinander, ist eine Superposition zweier Interferenzmuster, wie sie in Fig. 10B gezeigt ist, möglich. Berücksichtigt sind hier lediglich die Grundfrequenzen und nicht die harmonischen Frequenzanteile, die ihrerseits zu einem abweichenden Interferenzmuster führen würden.

[0023] Nachfolgend wird die Entstehung der oben anhand der Fig. 10A und 10B erläuterten Interferenzmuster näher betrachtet. Bei der Entstehung der Interferenzmuster sei der im folgenden beschriebene, vereinfachte Mechanismus zugrunde gelegt. Ausgehend von einem realen XGA-Eingangsmodus (XGA = eXtended Graphics Adapter) wird, unter Berücksichtigung der eingestellten Pixelfrequenz (nur die Grundfrequenz), das sich ergebende Interferenzmuster rech-

EP 1 535 274 B1

nerisch hergeleitet und graphisch dargestellt. Für die nachfolgende Betrachtung seien die folgenden Bedingungen angenommen:

[0024] Eingangsmodus:

5 XGA 1024x768 @ 75 Hz bei 78,75 MHz
Horizontaler Back-Porch: 176 Pixel
Horizontaler Front-Porch: 112 Pixel
Vertikaler Back-Porch: 28 Linien
Vertikaler Front-Porch: 4 Linien

[0025] Bildschirmeinstellung:

XGA 1024x768
Pixelfrequenz: 66 MHz

[0026] Hieraus berechnet sich zunächst die Interferenzfrequenz f_{interf} zu:

$$^{20} \quad f_{\text{interf}} = 78,75 \text{ MHz} - 66 \text{ MHz} = 12,75 \text{ MHz}.$$

25 **[0027]** Hieraus lässt sich pro Eingangszeile am analogen Videoeingang (aktive Fläche + Austastung) die Anzahl der Interferenzen berechnen, die sich ergibt zu:

$$30 \quad \text{interf/Zeile} = (78,75/12,75)^{-1} * 1312 = 212,4190$$

[0028] Ein Maximum/Minimum der Interferenz tritt somit periodisch mit einem Abstand von

$$l_{\text{interf}} = 1312/212,4190 \dots = 6,1764 \dots \text{ Pixel}$$

40 bzw.

$$t_{\text{interf}} = (78,75 \text{ MHz})^{-1} * 6,1764... = 78,4313... \text{ ns}$$

auf.

[0029] Geht man davon aus, dass in dem ersten Rahmen (Frame; $f = 1$), erste Zeile ($n = 1$) der Startpunkt $t = 0s$ gewählt wird, so ist das erste Minimum/Maximum der Interferenz zwischen dem sechsten und siebten Pixel bzw. nach 78,4313 ns sichtbar und von dort an periodisch (mit t_{interf}) bis zum Zeilenende. Da die Interferenzperiode in der Regel nicht ganzzahlig in eine Eingangszeile passt, bleibt am Ende jeder Zeile ein Rest. Die Differenz von $(\text{interf}/\text{Zeile}) * n$ zur nächstgrößeren Ganzzahl ist dann der jeweilige Startwert für die folgende Zeile $n + 1$. Durch diese Verschiebung des jeweiligen Startwertes mit jeder Zeile entsteht ein diagonales Streifenmuster, wobei gilt:

```
Rest{interf/Zeile} <0,5 ⇒ diagonale Streifen \\\\\\\\\\\\\\\\\\\
```

$\text{Rest}\{\text{interf}/\text{Zeile}\} > 0,5 \Rightarrow \text{diagonale Streifen} \text{ ///////////////}$

- 5
- [0030]** Der in der letzten Zeile anfallende Nachkommawert von $(\text{interf}/\text{Zeile}) * n_{\text{max}}$ bestimmt den Startwert der Interferenz im nachfolgenden Rahmen $(f + 1)$, wodurch es in den meisten Fällen zu einer Verschiebung der diagonalen Linien nach oben bzw. nach unten kommt. Das Resultat sind, je nach Vertikalfrequenz des Bildschirms, bewegte diagonale Linien, die in einer Richtung über das Ausgangsbild wandern. Bei starren Frequenzverhältnissen ist die scheinbare Geschwindigkeit und die Richtung dieser Bewegung konstant und lediglich von der Interferenzfrequenz und dem Zeitverlauf des Eingangssignals am analogen Videoeingang abhängig.
- 10 **[0031]** Die gerade dargelegten Ausführungen, die zu dem Interferenzmuster geführt haben, sind anhand der Fig. 11 nochmals graphisch zusammengefasst. Insbesondere ist die Festlegung der Startwerte für die nachfolgenden Zeilen und nachfolgenden Rahmen verdeutlicht.
- 15 **[0032]** In der Realität ist der Mechanismus der Interferenzentstehung zwar komplexer, da zusätzlich nicht nur alle harmonischen Frequenzanteile, sondern auch das dynamische Verhalten aller Komponenten auf dem Steuerchip sowie der externen Elemente, beispielsweise der Phasenregelschleifen auf dem Steuerchip, der Eingangssignalquellen, etc., eine wichtige Rolle spielen, jedoch lassen sich prinzipiell auch hier die entstehenden Interferenzen berechnen.
- 20 **[0033]** Die aufgrund der oben beschriebenen Mechanismen erzeugten korrelierten Interferenzmuster auf dem Bildschirm sind für einen Benutzer/Betrachter sichtbar und daher störend.
- 25 **[0034]** Die US-A-6,046,735 betrifft eine Grafiksteuerung, welche Spread-Spectrum-Techniken verwendet, um einen Pixeltakt über einen Bereich von Frequenzen zu modulieren, um so die maximale Intensität von EMI-Abstrahlungen zu reduzieren. Eine Schaltung zur EMI-Unterdrückung umfasst einen EMI-FIFO-Speicher und eine LCD-Steuerung, die durch ein modulierte Taktsignal getaktet werden, wohingegen die verbleibenden Elemente mit einem nicht modulierten Videotakt getaktet werden. Der grundsätzliche Ansatz zur EMI-Reduzierung besteht darin, eine Spread-Spectrum-Technik anzuwenden, bei der während der Übertragung von Pixeldaten an einen Flachbildschirm die Frequenz des verwendeten Videotaktsignals moduliert wird. Durch diese Modulation der Taktfrequenz bei der Übertragung einer Zeile an einen Flachbildschirm wird die auftretende EMI-Abstrahlung reduziert. Die modulierte Frequenz wird nur zum Übertragen der Pixeldaten einer Zeile verwendet und nach dem Übertragen der Pixeldaten einer Zeile wird der Taktmodulator zurückgesetzt, so dass die nachfolgende Zeile mit genau der gleichen modulierten Taktfolge ausgelesen wird.
- 30 **[0035]** Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren und eine Steuereinheit zu schaffen, die die sichtbaren Interferenzen auf einem Bildschirm vermeidet.
- [0036]** Diese Aufgabe wird durch ein Verfahren nach Anspruch 1 und durch eine Vorrichtung nach Anspruch / gelöst.
- 35 **[0037]** Die vorliegende Erfindung schafft ein Verfahren zum Reduzieren von Interferenzmustern bei der Anzeige eines Bildes auf einem Bildschirm mit einer Pixelfrequenz, wobei das Bild durch Pixeldaten beschreibbar ist, die dem Bildschirm durch eine Steuereinheit basierend auf empfangenen Bilddaten bereitgestellt werden, wobei die Steuereinheit einen Eingang zum Empfangen der Bilddaten und eine Mehrzahl von Taktsignalen aufweist, wobei eines oder mehrere der Taktsignale über den Eingang in die Steuereinheit einkoppelt und die Bilddaten überlagert, wobei das Verfahren folgenden Schritt aufweist: während der Verarbeitung der an der Steuereinheit empfangenen Bilddaten für eine Anzeige auf dem Bildschirm, Variieren eines oder mehrerer der bei der Verarbeitung der Bilddaten verwendeten Taktsignale durch eine zeitabhängige Frequenzmodulation, wobei die zeitabhängige Frequenzmodulation über eine Zeile oder einen Rahmen der Bilddaten zeitdiskret ist, und die Frequenz bei einem Zeilenwechsel oder einem Rahmenwechsel geändert wird.
- 40 **[0038]** Die vorliegende Erfindung schafft eine Steuereinheit zum Steuern eines Bildschirms, der bei einer Pixelfrequenz arbeitet, zur Anzeige eines Bildes auf dem Bildschirm mit reduziertem Interferenzmuster, wobei die Steuereinheit eine Mehrzahl von Taktsignalen aufweist, mit einem Eingang zum Empfangen von Bilddaten, wobei über den Eingang eines oder mehrere der Taktsignale in die Steuereinheit einkoppelt und mit den Bilddaten überlagert ist; einer Verarbeitungseinrichtung, die die empfangenen Bilddaten für eine Anzeige auf dem Bildschirm verarbeitet, wobei die Verarbeitungseinrichtung während der Verarbeitung der Bilddaten eines oder mehrere der bei der Verarbeitung der Bilddaten verwendeten Taktsignale durch eine zeitabhängige Frequenzmodulation, variiert; und einem Ausgang, um die verarbeiteten Bilddaten zur Anzeige bereitzustellen, wobei die zeitabhängige Frequenzmodulation über eine Zeile oder einen Rahmen der Bilddaten zeitdiskret ist, und wobei die Verarbeitungseinrichtung eine Änderung der Frequenz bei einem Zeilenwechsel oder einem Rahmenwechsel bewirkt.
- 55 **[0039]** Das erfindungsgemäße Verfahren und die erfindungsgemäße Steuereinheit bewirken eine Manipulation der Taktverhältnisse auf dem Steuerchip, wodurch typische Interferenzmuster zerstört und somit nahezu unsichtbar gemacht werden.

[0040] Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, dass für die Entstehung der Interferenzmuster bzw. der Interferenzbilder ein starres Frequenzverhältnis und ein fixierter Eingangssignalzeitverlauf die Ursache sind. Ist die Vermeidung der sichtbaren Interferenzen durch ein geeignetes Design der analogen Komponenten allein nicht mehr möglich, sind die Frequenzverhältnisse auf dem Chip der Ansatzpunkt für das Lösen der Problematik im Zusammenhang mit Interferenzbildern.

[0041] Allgemein gesagt ist der erfindungsgemäße Ansatz darin zu sehen, die Korrelation bzw. das starre Verhältnis der verwendeten Frequenzen zu zerstören, so dass keine regelmäßige Störmuster innerhalb eines Rahmens oder innerhalb aufeinanderfolgender Rahmen entstehen können. Gemäß einem bevorzugten Ausführungsbeispiel erfolgt diese Zerstörung der Korrelation bzw. des starren Verhältnisses der Frequenzen durch eine zeitabhängige Frequenzmodulation.

[0042] Hierbei sind die Störungen, die typischerweise zwischen 1 bis 5 LSB (LSB = Least Significant Bit = minderwertigstes Bit) liegen, zwar immer noch vorhanden jedoch für das menschliche Auge lediglich als leichtes unregelmäßiges Rauschen im Bild sichtbar und daher wesentlich weniger störend.

[0043] Gemäß einem bevorzugten Ausführungsbeispiel erfolgt die Frequenzmodulation für einen Steuerchip durch eine externe Frequenzquelle oder gemäß einem weiteren Ausführungsbeispiel durch eine interne, auf den Chip realisierte Frequenzquelle.

[0044] Gemäß einem weiteren bevorzugten Ausführungsbeispiel erfolgt die Frequenzmodulation durch Verwendung von Spread-Spectrum-Phasenregelschleifen).

[0045] Bevorzugte Weiterbildungen der vorliegenden Anmeldung sind in den Unteransprüchen definiert.

[0046] Nachfolgend werden anhand der beiliegenden Zeichnungen bevorzugte Ausführungsbeispiele der vorliegenden Erfindung näher erläutert. Es zeigen:

Fig. 1A bis C Beispiele für eine zeitkontinuierliche Modulationsfunktion $g(t)$;

Fig. 2A bis C Beispiele für eine zeitdiskrete Modulationsfunktion $g(k)$;

Fig. 3 ein Blockdiagramm, das die Takterzeugung in einem Steuerchip für einen Bildschirm darstellt;

Fig. 4 ein Blockdiagramm einer Steuereinheit gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung mit einer externen Frequenzmodulation;

Fig. 5 eine Steuereinheit gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung mit einer internen Frequenzmodulation;

Fig. 6 den Frequenzverlauf bei einer Spread-Spectrum-Phasenregelschleife;

Fig. 7 ein Beispiel für ein Interferenzmuster bei einer LCD-Steuereinheit mit Speicher- und Bildschirm-Schnittstelle;

Fig. 8 ein Blockschaltbild einer bekannten LCD-Steuereinheit;

Fig. 9 ein Ersatzschaltbild der Bildschirmschnittstelle der LCD-Steuereinheit aus Fig. 8;

Fig. 10A ein Interferenzmuster einer LCD-Steuereinheit mit einer Bildschirm-Schnittstelle;

Fig. 10B ein Interferenzmuster einer LCD-Steuereinheit mit einer Bildschirm-Schnittstelle und einer Speicher-Schnittstelle; und

Fig. 11 eine Darstellung zur Erläuterung der Entstehung eines Interferenzmusters.

[0047] Bei der nachfolgenden Beschreibung der bevorzugten Ausführungsbeispiele werden in den Figuren gleiche, gleich wirkende oder ähnliche Elemente mit den gleichen Bezugszeichen versehen.

[0048] Basierend auf dem oben beschriebenen, einfachen Modell der Interferenzentstehung werden nachfolgend die erfindungsgemäßen Ansätze, Verfahren und Vorrichtungen beschrieben, mit denen die Entstehung sichtbarer und somit störender Interferenzen verhindert oder unterdrückt werden können.

[0049] An dieser Stelle sei jedoch darauf hingewiesen, dass die nachfolgend beschriebenen Verfahren, Ansätze und Vorrichtungen additiv zu den Maßnahmen zu sehen sind, die in den betroffenen analogen Schaltungsteilen und dem Gesamtsystem (gedruckte Schaltungsplatte, Chip, Anwendung) zu treffen sind, um die Empfindlichkeit gegenüber dem

Rauschen und ungewollten Substrat- und Masse-Spannungen zu verringern. Vorzugsweise setzt die vorliegende Erfindung somit bei Systemen ein, welche bereits ein ausgereiftes und relativ störunempfindliches analoges Betriebsverhalten aufweisen.

[0050] Wie oben erwähnt wurde, wird gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung die Änderung der Pixelfrequenz zur Vermeidung der Interferenzmuster dadurch erreicht, dass eine zeitabhängige Frequenzmodulation FM realisiert wird, welche die Korrelation bzw. das starre Verhältnis der Frequenzen zerstört, so dass beim Einkoppeln der Störfrequenzen Interferenzmuster reduziert oder unterdrückt werden.

[0051] Die zeitabhängige Frequenzmodulation kann durch eine zeitkontinuierliche Frequenzmodulation realisiert werden, beispielsweise durch die Funktion eines Frequenzwobblers, der um die von dem Bildschirm bzw. dem Speicher geforderte Basisfrequenz (f_0) einen Frequenzbereich Δf mit einer geeigneten Rate, die durch eine Modulationsfunktion $g(t)$ festgelegt ist, durchläuft.

[0052] Unter der Annahme, dass auf dem Steuerchip die erforderlichen Taktsignale durch Phasenregelschleifen (PLL = Phase Locked Loop) erzeugt werden, gilt für die Eingangsfrequenzen $f_{xpll(t)}$ der Phasenregelschleifen:

$$f_{xpll(t)} = f_0 + \Delta f * g(t)$$

mit:

f_0 = Basisfrequenz des Bildschirms (Pixelfrequenz) oder Basisfrequenz des Speichers
 Δf = Frequenzbereich um die Basisfrequenz
 $g(t)$ = Modulationsfunktion

[0053] Die Modulationsfunktion $g(t)$ kann eine beliebige stetige Funktion sein, beispielsweise die in Fig. 1A bis 1C dargestellten Funktionen, wobei sich jedoch grundsätzlich keine Einschränkung hinsichtlich der Ausgestaltung und Ausführung der verwendeten Funktion ergibt.

[0054] Bei dem hier beschriebenen, zeitkontinuierlichen Fall der Frequenzmodulation wird sich das ergebende Muster der Interferenz stetig innerhalb jeder Zeile und somit auch innerhalb jedes einzelnen Rahmens ändern, und bei geeigneter Festlegung der Funktion $g(t)$ und des Parameters Δf ist es möglich, aus dem ursprünglich korrelierten Interferenzmuster ein scheinbar unkorreliertes "weißes" (Quasi-)Rauschen zu erzeugen.

[0055] Bei einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung wird anstelle der oben beschriebenen, im allgemeinen recht aufwendigen Vorgehensweise für die zeitkontinuierliche Frequenzmodulation eine vereinfachte, zeitdiskrete Frequenzmodulation angewandt, die zu ähnlichen Resultaten führt, jedoch im Hinblick auf die Realisierung wesentliche Vorteile bietet.

[0056] Bei diesem Ausführungsbeispiel ändert sich die zu modulierende Frequenz $f_{xpll(k)}$ nicht kontinuierlich, sondern, je nach Ausführung, rahmenweise oder zeilenweise. Ferner kann auch eine beliebige zeitliche Festlegung gewählt werden. Wie bei der zeitkontinuierlichen Frequenzmodulation kann sich hier die Frequenz stetig oder zufällig und sprunghaft, mittels eines geeigneten Zufallsgenerators, ändern, was eine effektivere Erzeugung von "weißem" (Quasi-)Rauschen ermöglicht.

[0057] Bei diesem Ausführungsbeispiel gilt für die Eingangsfrequenz der Phasenregelschleifenanordnung:

$$f_{xpll(k)} = f_0 + \Delta f * g(k)$$

mit:

f_0 = Basisfrequenz des Bildschirms (Pixelfrequenz) oder Basisfrequenz des Speichers
 Δf = Frequenzbereich um die Basisfrequenz
 $g(k)$ = zeitdiskrete Modulationsfunktion
 k = Laufindex

[0058] Der Laufindex k wird immer dann um 1 erhöht, wenn eine zuvor festgelegte Bedingung für eine Frequenzänderung erfüllt ist, z. B. ein Zeilen- oder Rahmen-Wechsel oder ähnliches auftritt, also eine neue Zeile bzw. ein neuer Rahmen erreicht wird. In Fig. 2A bis C sind Beispiele für die zeitdiskrete Modulationsfrequenz $g(k)$ dargestellt, wobei jedoch auch hier darauf hinzuweisen ist, dass es grundsätzlich keine Einschränkung hinsichtlich der zu verwendenden

diskreten Funktion gibt.

[0059] Wie auch beim oben beschriebenen, ersten Ausführungsbeispiel ist das Ergebnis, bei geeigneter Wahl der Funktion $g(k)$, der Modulationsbedingung und dem Parameter Δf ein "weißes" (Quasi-)Rauschen, das im günstigsten Fall nicht oder nur sehr schwach sichtbar ist.

[0060] Hinsichtlich des oben beschriebenen Ausführungsbeispiels ist generell festzuhalten, dass das beschriebene Verfahren zur Erzeugung der zeitabhängigen Frequenzmodulation durch eine geeignete Festlegung der Modulationsbedingung ausgesprochen flexibel einsetzbar ist, was auch aufgrund der Vielzahl von möglichen Eingangsmodi und Eingangsfrequenzen erforderlich ist, um eine Anpassung des erfindungsgemäßen Verfahrens an verschiedene Umgebungsbedingungen zu ermöglichen.

[0061] Nachfolgend wird die Erzeugung und Verteilung von Taktsignalen auf einem Steuerchip, wie er beispielsweise anhand der Fig. 8 beschrieben wurde, näher erläutert, und anschließend erfolgt auf der Grundlage dieser Erläuterung die Beschreibung von Ausführungsbeispielen zur Implementierung der erfindungsgemäßen Verfahren bei Steuerchips für LCD-Bildschirme.

[0062] In Fig. 3 ist ein Blockdiagramm der für die Takterzeugung auf einem Steuerchip erforderlichen Einheiten dargestellt. Wie in der schematischen Darstellung von Fig. 3 zu sehen ist, werden die dort gezeigten Schaltungselemente zur Erzeugung des Speichertaktes $mpll_clk$ sowie des Pixeltaktes $ppll_clk$ verwendet. Die Schaltung umfaßt einen Multiplexer 100, der an einem ersten Eingang ein horizontales Synchronisationssignal HS (H-Sync) empfängt. An einem zweiten Eingang empfängt der Multiplexer 100 einen externen Oszillator-Takt sys_clk . Basierend auf einem Ansteuer-signal wählt der Multiplexer einen der beiden Eingänge als Eingangssignal zur Erzeugung des Pixeltaktes $ppll_clk$ aus. Das vom Multiplexer 100 ausgewählte Ausgangssignal wird über eine Leitung 102 einem Vor-Teiler 104 (n_{prediv}) bereitgestellt, wobei ein von diesem erzeugtes Ausgangssignal über eine weitere Leitung 106 dem Eingang einer Phasenregelschleife 108 bereitgestellt wird, die unter Steuerung eines internen Teilers 110 (n_{div}) den Pixeltakt $ppll_clk$ am Ausgang bereitstellt. Der externe Oszillator-Takt sys_clk wird ferner einem weiteren Vor-Teiler 112 (n_{prediv}) bereitgestellt, der an dessen Ausgang über eine Leitung 114 ein Ausgangssignal an die Phasenregelschleife 116 ausgibt. Die Phasenregelschleife 116 wird durch eine interne Steuerung 118 (n_{div}) gesteuert und gibt am Ausgang den Speichertakt $mpll_clk$ aus.

[0063] Ferner ist in Fig. 3 angedeutet, dass der Takt zum Betreiben des Registers, des in Fig. 8 gezeigten Konfigurationsregisters, $roclk$ gleich dem Systemtakt oder externen Oszillatortakt sys_clk ist.

[0064] Ferner ist dargestellt, dass aus dem horizontalen Synchronisationssignal HS über eine weitere Phasenregelschleife 120 und eine nachgeschaltete Phasenverzögerungsschleife 122 der Eingangstakt avi_clk erzeugt, welcher auch einem Abtaster 124 zur Akquisition und Digitalwandlung des AVI-Signals bereitgestellt wird.

[0065] Bei dem in Fig. 3 dargestellten Prinzipschaltbild handelt es sich um eine Steuereinheit zur Takterzeugung für einen LCD-Steuerchip mit externem Speicher, der in der Regel zumindest vier unterschiedliche Takte (Clock-Domänen) aufweist, die zueinander in einem bestimmten, zeitvarianten Verhältnis stehen. Ferner ist anhand der Fig. 3 eine Konfiguration für die Takterzeugung betrachtet, die auch bei späteren Implementierungen und Anwendungen anzutreffen ist.

[0066] In Fig. 3 sind die vier Takte und deren Erzeugung skizziert, und abgesehen von der Phasenregelschleife 108 (llpll), die als Eingangssignal das horizontale Synchronisationssignal HS des analogen Videoeingangs AVI verwenden kann, werden alle übrigen Phasenregelschleifen durch den externen Oszillator-Takt sys_clk angesteuert.

[0067] Unkritisch ist der für die Register des Steuerchips 800 verwendete Takt $roclk$. Dieser ist in der Regel identisch mit dem externen Takt ($roclk = sys_clk$) und hat, da die Register im Normalbetrieb statisch sind, keinen sicht- oder messbaren Einfluss auf die analogen Schaltungen des Chips.

[0068] Anders liegt der Fall beim Speichertakt $mpll_clk$ und Bildschirm-Takt (Pixeltakt) $ppll_clk$, die von den zugehörigen Phasenregelschleifen 108 und 116 ($ppll$, $mpll$) erzeugt werden. Mittels dieser Taktsignale werden nicht nur sehr große digitale Blöcke des LCD-Steuerchips getaktet, sondern auch die entsprechenden Eingangs/Ausgangs-Schnittstellen, nämlich die Speicherschnittstelle und die Bildschirm-Schnittstelle. Als Eingangssignal kann bei beiden Phasenregelschleifen der externe Oszillator-Takt verwendet werden und durch eine Programmierung der Vor-Teiler 104, 112 und der internen Schleifen-Teiler 110, 118 kann die erwünschte Frequenz des Taktsignals am Ausgang eingestellt werden. Bei der Bildschirm-Phasenregelschleife kann alternativ zum externen Takt sys_clk auch das H-Sync Signal des ausgewählten Eingangs, bei dem dargestellten Ausführungsbeispiel das Signal HS des analogen Videoeingangs, als Eingangssignal herangezogen werden.

[0069] Ausgehend von der in Fig. 3 dargestellten Systemarchitektur werden nachfolgend zwei bevorzugte Ausführungsbeispiele zur Implementierung der oben beschriebenen Verfahren zur Quasi-Dekorrelation der Takte beschrieben. Für einen Fachmann wird es aus der nachfolgend beschriebenen Implementierung ersichtlich sein, dass auch andere Implementierungen möglich sind.

[0070] Anhand der Fig. 3 wird ein erstes Ausführungsbeispiel beschrieben, bei dem der frequenzmodulierte Systemtakt durch eine externe Quelle eingespeist wird. In Fig. 4 ist ein Ausschnitt der in Fig. 3 gezeigten Schaltungselemente zur Erzeugung des Pixeltaktes $ppll_clk$ und des Speichertaktes $mpll_clk$ dargestellt, wobei für die Implementierung des Verfahrens der extern eingespeiste Systemtakt sys_clk als Eingangssignal an die Phasenregelschleife 108 zur Erzeu-

gung des Pixeltaktes ausgewählt wird, so dass der Einfachheit halber in Fig. 4 der in Fig. 3 noch gezeigte Multiplexer 100 weggelassen wurde.

[0071] In Fig. 4 ist zu sehen, dass anstelle des bei herkömmlichen LCD-Steuerchips verwendeten externen Quarz- oder Kristalloszillators 126 nunmehr ein Wobbelgenerator 128 verwendet wird, um den Systemtakt sys_clk bereitzustellen. Dies ist durch die unterbrochene Verbindung zwischen dem Quarz-Oszillator 126 und den Vor-Teilern 104 und 112 (n_{prediv}) bei 130 gezeigt. Bei dem in Fig. 4 dargestellten Ausführungsbeispiel handelt es sich um eine einfache Implementierung der vorliegenden Erfindung, wobei hier anstelle des herkömmlicherweise verwendeten Quarz-Oszillators 126 ein externer Frequenzgenerator 128, z. B. vom Typ Stanford DG 245 verwendet wird, der anstelle des Quarz-Oszillators auf der gedruckten Schaltungsplatine angeordnet ist, auf der auch der Steuerchip zur Ansteuerung des Bildschirms angeordnet ist. Wird der Frequenzgenerator 128 eingestellt, um ein frequenzmoduliertes Signal entsprechend den oben beschriebenen Ausführungsbeispielen des erfindungsgemäßen Verfahrens zu erzeugen, so kann dieses frequenzmodulierte Ausgangssignal des Generators 128 als Eingangssignal bzw. Systemtakt sys_clk für die Phasenregelschleifen 108 und 116 herangezogen werden. Bei sorgfältiger Auswahl der Parameter wird hier eine Quasi-Dekorrelation der durch die Phasenregelschleifen 108 und 116 (ppll, mppll) erzeugten Taktsignale ppl_clk und mppll_clk bezüglich des Abtasttaktes des analogen Eingangssignals (avi_clk) erreicht.

[0072] Die systematischen Grenzen der zu wählenden Parameter hängen zum einen ab von den dynamischen Regeleigenschaften der Phasenregelschleifen 108 und 116 und zum anderen von der Frequenztoleranz der angeschlossenen Einheiten, also des angeschlossenen Bildschirms und des Speichers. Dies bedeutet, dass auch bei einer maximalen Frequenzabweichung aufgrund der Frequenzmodulation immer noch ein sicherer Datentransfer zu den angeschlossenen Einheiten gewährleistet sein muss. Darüber hinaus ist bei einer starken Frequenzmodulation auch noch die Einhaltung der für die Synthese der digitalen Blöcke angelegten Beschränkungen zu beachten, um Zeitgebungsprobleme innerhalb der Blöcke und vor allem auch an den Schnittstellen zwischen den Takten (Clock-Domänen) zu vermeiden.

[0073] Die Bestimmung der zu wählenden Parameter für die Frequenzmodulation ist auf theoretischem Wege sehr aufwendig, da sich in der Realität nicht nur die Grundfrequenzen, sondern auch alle harmonischen Anteile sowie die dynamischen Eigenschaften aller Komponenten überlagern und zu einem komplexen Zeit- und Frequenzverhalten führen. Obwohl theoretisch bestimmbar, werden die Parameter für die Frequenzmodulation vorzugsweise empirisch für jede Kombination von Eingangsmodus/Anwendung ermittelt. Basierend auf den so ermittelten Werten erfolgt dann eine Einstellung entsprechend einem erwünschten Modus.

[0074] Obwohl das gerade beschriebene Ausführungsbeispiel mit dem externen Frequenzgenerator gute Ergebnisse liefert, ist ein Nachteil in dieser Ausgestaltung darin zu sehen, dass die Kosten und der Aufwand für den Anschluss des externen Frequenzgenerators zu hoch sind. Für eine spätere Anwendung ist der Einsatz eines externen Frequenzgenerators unerwünscht, so dass bei der Realisierung ein vereinfachter programmierbarer/parametrisierbarer Generator auf der gedruckten Schaltungsplatine herangezogen werden kann, was zwar eine mögliche, jedoch auch unwirtschaftliche Lösung darstellt.

[0075] Daher wird gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung zur Implementierung des erfindungsgemäßen Verfahrens der frequenzmodulierte Systemtakt intern erzeugt, d. h. in der Steuereinheit, nämlich auf dem Chip. In Fig. 5 ist eine Schaltung für die interne Erzeugung der Frequenzmodulation dargestellt. Wie zu erkennen ist, wird der herkömmlich verwendete externe Quarz-Oszillator 126, der auf der Schaltungsplatine angeordnet ist, beibehalten, um dem Steuerchip den Systemtakt sys_clk bereitzustellen. Zusätzlich zu den bereits oben beschriebenen Elementen ist ferner eine Teiler-Steuerung 132 (Divider-Controller) vorgesehen, die über einen ersten Steuerbus 134 mit dem ersten Vor-Teiler 104, über einen zweiten Steuerbus 136 mit dem zweiten Vor-Teiler 112, über einen dritten Steuerbus 138 mit dem ersten Rückkopplungsteiler 110 und über einen vierten Steuerbus 140 mit dem zweiten Rückkopplungsteiler 118 in Verbindung steht.

[0076] Bei der in Fig. 5 dargestellten Realisierung handelt es sich um eine, verglichen mit der anhand der Fig. 4 beschriebenen Realisierung, elegantere und technisch ungleich leichter zu realisierende Implementierung der Dekorrelation durch eine "On-Chip"-Frequenzmodulation. Die diesem Ausführungsbeispiel zugrundeliegenden Ansatzpunkte für die Frequenzmodulation sind die bei den Phasenregelschleifen 108 und 116 jeweils verwendeten Vor-Teiler 104 und 112 sowie die Rückkopplungsteiler 110 und 118. Der Teilerwert jedes der Vor-Teiler 104 und 112 und der Rückkopplungsteiler wird unter Steuerung des Teiler-Steuerung 132 mittels eines geeigneten Algorithmus oder eines programmierbaren pseudozufälligen Generators verändert, um so das oben beschriebene Zeit- und Frequenzverhalten zu erhalten. Bei dem in Fig. 5 dargestellten Ausführungsbeispiel enthält die Teiler-Steuerung 132 eine Abtaststeuerung, einen programmierbaren Zähler/Teiler sowie einen Zufallsgenerator.

[0077] Für das Ergebnis der Frequenzmodulation ist die Genauigkeit der Vor-Teiler 104, 112 (n_{prediv}) wichtig, wobei zu beachten ist, dass der hierdurch einzustellende, kleinste Frequenzschritt $\Delta f_{\text{Schritt}}$ durch den Rückkopplungsteiler 110, 118 (n_{div}) der Phasenregelschleife 108, 116 wieder herauf transformiert wird. Für die Größe des effektiv zu erzielenden Frequenzschrittes beim Pixeltakt ppll_clk bzw. beim Speichertakt mppll_clk gilt bei gleichem Aufbau der Schaltungen:

$$\Delta f_{\text{Schritt}} = \Delta f_n * n_{\text{div}} / n_{\text{prediv}},$$

5 wobei z.B. gilt:

$$n_{\text{div}} = 2^0$$

10

$$n_{\text{prediv}} = 2^{16},$$

15

woraus sich der minimale $\Delta f_{\text{Schritt}}$ ergibt.

20 **[0078]** Ein Problem bei der Variation der Frequenzteiler ist die Tatsache, dass es sich hierbei im Prinzip um Zähler handelt, die auf einen bestimmten Endwert programmiert sind und bei Erreichen dieses Endwertes (Schwelle) einen Ausgangspuls liefern. Eine Umprogrammierung und somit eine Modulation der Eingangsfrequenz der Phasenregelschleifen kann somit auch nur beim Überlauf des Zählers stattfinden. Aufgrund des dynamischen Verhaltens der Phasenregelschleifen kommt es jedoch zu einer mehr oder weniger zeitkontinuierlichen Änderung der Ausgangstaktsignale bzw. der Ausgangsfrequenzen mpll_clk, ppll_clk. Aus diesem Grund ist es auch nicht erforderlich, eine hohe Auflösung bei den Schrittweiten $\Delta f_{\text{Schritt}}$ zu realisieren, da die Zwischenbereiche ohnehin kontinuierlich von den Phasenregelschleifen durchlaufen werden.

25

[0079] Die Realisierung des zweiten Ausführungsbeispiels zur Implementierung des erfindungsgemäßen Verfahrens ist ungleich leichter als bei der externen Erzeugung des frequenzmodulierten Signals, jedoch ist hier auch das Zeitverhalten der Phasenregelschleife entscheidend. Da bereits die Vor-Teiler in bestehenden Schaltungen und Entwürfen vorhanden sind, kann das erfindungsgemäße Verfahren mit wenig Aufwand (Teilerlogik und -ansteuerung) implementiert und verifiziert werden.

30

[0080] Ein drittes, bevorzugtes Ausführungsbeispiel zur Implementierung der für die Dekorrelation erforderlichen Frequenzmodulation ist der Einsatz eines alternativen Phasenregelschleifen-Konzepts. Sogenannte Spread-Spectrum-Phasenregelschleifen werden bei ähnlichen Anwendungen zur Verbesserung der EMC/EMI (EMC = electromagnetic Compatibility = elektromagnetische Verträglichkeit, EMI-Minimierung = Störstrahlungsminimierung) eingesetzt. Durch eine geeignete Anpassung der Parameter der Phasenregelschleifen und deren Ansteuerung (linear, Funktion, oder zufällig) ist es möglich, sowohl eine Dekorrelation der Takte zu erhalten, woraus keine sichtbaren Interferenzen folgen, sowie das EMC/EMI-Verhalten positiv zu beeinflussen.

35

[0081] In Fig. 6 ist der Unterschied zwischen einer normalen Phasenregelschleife (normale PLL) und einer Spread-Spectrum-Phasenregelschleife (Spread-Spectrum-PLL) dargestellt. Wie zu erkennen ist, erzeugt die Spread-Spectrum-PLL im Gegensatz zur normalen PLL Ausgangssignale über einen vorbestimmten Frequenzbereich, wohingegen die normale PLL lediglich abhängig von der Eingangsfrequenz eine einzige Ausgangsfrequenz liefert. Somit lassen sich auch hier durch die erfindungsgemäßen, oben näher beschriebenen Verfahren zur Dekorrelation die Taktsignale realisieren.

40

[0082] Nachfolgend werden experimentelle Ergebnisse zur Dekorrelation der Taktsignale näher beschrieben, wobei diese basierend auf dem oben beschriebenen ersten Ausführungsbeispiel zur Implementierung des Verfahrens mittels einer externen Einspeisung der frequenzmodulierten Signale durchgeführt wurden.

45

[0083] Für die Analyse von auftretenden Interferenzen bei einer LCD-Steuereinheit eignen sich besonders solche Steuereinheiten, z. B. SAA6714, mit der Möglichkeit, die Daten in einem Speicher zu speichern und somit auch statisch zu bewerten. Im folgenden wird daher zunächst ein entsprechender Versuchsaufbau beschrieben und anschließend die hieraus gewonnenen Ergebnisse der Dekorrelation, mit externer Einspeisung des frequenzmodulierten Systemtaktes, dargestellt.

50

[0084] Der Testaufbau umfasste folgende Geräte und Komponenten:

- Stanford Research Systems Synthesized Function Generator, Modell DS345 als System-Clock Generator,
- 55 - Quantum Data Video Test Generator, Modell 801 GD als AVI Signalquelle,
- SAA6714 Evaluation Board "Early Dragon", Version 1.2, mit SAA6714A,
- LG Philips Panel, 18 Zoll, Modell LM181E1, SXGA-Auflösung,
- Deutronic Power Supply 12V / 5A, Modell DTP60

[0085] Folgende Einstellungen und Parameter wurden gewählt:

[0086] Eingang:

[0087] Quantum Data Testgenerator

Format: 83 = DMT1260

Image: 43 = 45Flat27

Auflösung: 1280x1024

[0088] Takt-Erzeugung:

Stanford Research Systems Synthesized Function Generator:

Basisfrequenz: 25.000.005,000 Hz (25,000005 MHz)

[0089] Aufgrund der Möglichkeit, die Frequenz am Stanford Research Generator in Hz-Schritten einzustellen, konnte auch der Spezialfall eines stehenden Interferenzmusters erzeugt werden, welches dann statisch - auch ohne Zwischenspeicherung im Speicher - bewertet werden konnte. Wird im Normalbetrieb der Systemtakt von einem Quarz-Oszillator erzeugt, so hängt die Entstehung und die Art der Interferenzlinien sehr stark von der Temperatur des Quarz-Oszillators sowie von dessen Alterung, Fertigungstoleranzen usw. ab.

[0090] Untersucht wurde das Verhalten einer LCD-Steuerung, wie sie anhand der Fig. 8 beschrieben wurde. Der Ausgang des externen Frequenzgenerators dient hierbei als Referenzsignal für den Speichertakt und den Bildschirmtakt (Pixeltakt), wie es oben beschrieben wurde. Eine Frequenzmodulation am externen Generator führt zu einer vom dynamischen Verhalten der jeweiligen Phasenregelschleife bestimmten Frequenzmodulation des Speichertaktes bzw. des Bildschirmtaktes.

[0091] Fig. 7 zeigt einen Ausschnitt eines Bildschirmausdrucks welcher durch Einfrieren des Bildes im externen Speicher des LCD-Scalers und durch Auslesen dieses Speicherbereichs erstellt wurde. Da beim Ausdruck des Dokuments die Interferenzlinien kaum noch sichtbar sind, wurden zur Veranschaulichung drei davon durch weiße Linien hervorgehoben.

[0092] Im Gegensatz zu dem bereits beschriebenen diskreten Modell zeigt sich in der Realität schon bei kleinen Frequenzänderungen eine starke Abhängigkeit des Interferenzmusters. Bei einer Änderung der Eingangsfrequenz um nur wenige Hertz wurden unterschiedliche Interferenzmuster sichtbar.

[0093] In der nachfolgenden Tabelle sind einige Einstellung sowie die jeweiligen Erscheinungsformen der Interferenzlinien wiedergegeben.

Frequenz (Hz)	Interferenzlinien
25.000.004	ca. 20 Grad Neigung im Uhrzeigersinn im Abstand von ca. 5 mm
25.000.010	ca. 20 Grad Neigung im Uhrzeigersinn im Abstand von ca. 3 mm
25.000.012	ca. 150 Grad Neigung im Uhrzeigersinn im Abstand von ca. 2 mm
25.000.018	ca. 20 Grad Neigung im Uhrzeigersinn im Abstand von ca. 5 mm
25.000.025	wie bei 25.000.012 und 25.000.010 zusammen

[0094] Durch Anwenden der Dekorrelation mittels eines frequenzmodulierten Systemtaktes anstelle des Quarz-Oszillators auf der gedruckten Schaltungsplatine ist es möglich, die in Fig. 7 dargestellten Interferenzmuster für das menschliche Auge "unsichtbar" zu machen. Entscheidend für den erwünschten Effekt ist hierbei die Kombination aus Interferenzfrequenz, Diversion der Interferenzlinien durch die Frequenzmodulation und die vertikale Auffrischrate.

[0095] Als Beispiel sei das Interferenzmuster betrachtet, welches bei 25.000.004 Hz Systemtakt auftrat. Eine Sweep-Rate von 25 Hz, ein überstrichener Frequenzbereich von 7777 Hz sowie eine Sinusfunktion als Modulationsfrequenz $g(t)$ wurde gewählt, und bei diesen Einstellungen am Funktionsgenerator wurde ein sehr gutes Ergebnis erzielt, bei dem die Interferenzlinien für das menschliche Auge nicht mehr sichtbar waren.

[0096] Vorzugsweise wird das erfindungsgemäße Verfahren unter Verwendung einer zufälligen Modulation ausgeführt, da die Möglichkeit besteht, dass durch die Frequenzmodulation selbst wieder ein neues und in seiner Entstehung komplexes Interferenzmuster erzeugt wird. Da dieses Verhalten vor allem bei stetigen Modulationsfunktionen zu erwarten ist, geht aus den Simulationsergebnissen mit dem diskreten Modell hervor, dass die zufällige Modulation die günstigere Variante der Frequenzmodulation ist.

[0097] Das erfindungsgemäße Verfahren hat sowohl im Modell als auch in der Realität gezeigt, dass hierdurch effektiv Interferenzerscheinungen bei LCD-Steuereinheiten mittels der beschriebenen Quasi-Dekorrelation der Taktsignale abgemildert bzw. unsichtbar gemacht werden können.

[0098] Die technische Realisierung ist mit relativ geringem Aufwand möglich, jedoch sind für den effektiven Einsatz des Verfahrens die geeigneten Parameter für verschiedene Modi zu ermitteln, um sicherzustellen, dass das Verfahren zuverlässig arbeitet und es keine Probleme mit den externen Komponenten (Speicher und Bildschirm) gibt.

[0099] Im Vorhergehenden wurde ein bevorzugtes Ausführungsbeispiel der vorliegenden Erfindung näher beschrieben, bei dem die sichtbaren Interferenzen durch eine Änderung der Pixelfrequenz bei der Erzeugung der Pixeldaten erreicht wurde. Die vorliegende Erfindung ist jedoch nicht hierauf beschränkt.

[0100] Grundsätzlich können alle Störsignale auf dem Chip oder der Schaltungsplatine in gleicher Weise manipuliert werden wie die Signale ppll und mppll, so dass die vorliegende Erfindung nicht auf diese Taktsignale beschränkt ist, sondern allgemein auf alle Taktsignale anwendbar ist.

Patentansprüche

1. Verfahren zum Reduzieren von Interferenzmustern bei der Anzeige eines Bildes auf einem Bildschirm mit einer Pixelfrequenz (ppll_clk), wobei das Bild durch Bilddaten beschreibbar ist, die dem Bildschirm durch eine Steuereinheit (800) basierend auf empfangenen Bilddaten bereitgestellt werden, wobei die Steuereinheit einen Eingang (802, 804, 806) zum Empfangen der Bilddaten und eine Mehrzahl von Taktsignalen aufweist, wobei eines oder mehrere der Taktsignale über den Eingang in die Steuereinheit einkoppelt und die Bilddaten überlagert, wobei das Verfahren folgenden Schritt aufweist:

während der Verarbeitung der an der Steuereinheit empfangenen Bilddaten für eine Anzeige auf dem Bildschirm, Variieren eines oder mehrerer der bei der Verarbeitung der Bilddaten verwendeten Taktsignale durch eine zeitabhängige Frequenzmodulation (FM),

dadurch gekennzeichnet, dass die zeitabhängige Frequenzmodulation (FM) über eine Zeile oder einen Rahmen der Bilddaten zeitdiskret ist, und die Frequenz (ppll_clk) bei einem Zeilenwechsel oder einem Rahmenwechsel geändert wird.

2. Verfahren nach Anspruch 1, bei dem während der Verarbeitung der Bilddaten die Pixelfrequenz (ppll_clk) geändert wird.

3. Verfahren nach Anspruch 1 oder 2, bei dem die Steuereinheit eine Einrichtung (108) umfaßt, die abhängig von einer anliegenden Eingangsfrequenz (sys_clk) die Pixelfrequenz (ppll_clk) erzeugt, wobei der Schritt des Änderns der Pixelfrequenz (ppll_clk) das Ändern der Eingangsfrequenz (sys_clk) umfaßt.

4. Verfahren nach Anspruch 3, bei dem die Eingangsfrequenz (sys_clk) durch eine externe Frequenzquelle (128) oder durch eine interne Frequenzquelle (132) der Steuereinheit (800) bereitgestellt wird.

5. Verfahren nach Anspruch 3 oder 4, bei dem die Steuereinheit eine Speicherschnittstelle (814), die durch ein Treibersignal mit einer Speicherfrequenz (mppll_clk) getrieben wird, und eine Einrichtung (116) zum Erzeugen der Speicherfrequenz (mppll_clk) umfaßt, wobei die Eingangsfrequenz (sys_clk) der Einrichtung (108) zum Erzeugen der Pixelfrequenz (ppll_clk) ferner an der Einrichtung (116) zum Erzeugen der Speicherfrequenz (mppll_clk) anliegt.

6. Verfahren nach einem der Ansprüche 3 bis 5, bei dem die Einrichtung zum Erzeugen der Pixelfrequenz (ppll_clk) eine Spread-Spectrum-Phasenregelschleife umfaßt.

7. Steuereinheit zum Steuern eines Bildschirms, der bei einer Pixelfrequenz (ppll_clk) arbeitet, zur Anzeige eines Bildes auf dem Bildschirm mit reduziertem Interferenzmuster, wobei die Steuereinheit eine Mehrzahl von Taktsignalen aufweist, mit einem Eingang (802, 804, 806) zum Empfangen von Bilddaten, wobei über den Eingang eines oder mehrere der Taktsignale in die Steuereinheit einkoppelt und mit den Bilddaten überlagert ist; einer Verarbeitungseinrichtung (812), die die empfangenen Bilddaten für eine Anzeige auf dem Bildschirm verarbeitet, wobei die Verarbeitungseinrichtung (812) während der Verarbeitung der Bilddaten eines oder mehrere der bei der Verarbeitung der Bilddaten verwendeten Taktsignale durch eine zeitabhängige Frequenzmodulation (FM), variiert; und

einem Ausgang (818), um die verarbeiteten Bilddaten zur Anzeige bereitzustellen,
dadurch gekennzeichnet, dass die zeitabhängige Frequenzmodulation (FM) über eine Zeile oder einen Rahmen
der Bilddaten zeitdiskret ist, und
dass die Verarbeitungseinrichtung (812) eine Änderung der Frequenz (ppll_clk) bei einem Zeilenwechsel oder einem
Rahmenwechsel bewirkt.

8. Steuereinheit nach Anspruch 7, bei der die Verarbeitungseinrichtung (812) während der Verarbeitung der Bilddaten die Pixelfrequenz (ppll_clk) ändert.
9. Steuereinheit nach Anspruch 7 oder 8, bei der die Verarbeitungseinrichtung (812) einen Pixelfrequenzgenerator (108) umfaßt, der die Pixelfrequenz (ppll_clk) abhängig von einem veränderlichen Eingangsfrequenzsignal (sys_clk) erzeugt.
10. Steuereinheit nach Anspruch 9, bei der das veränderliche Eingangsfrequenzsignal durch eine externe Signalquelle (128) oder basierend auf einem externen, konstanten Frequenzsignal durch eine interne Frequenzsteuerung (134) bereitgestellt wird.
11. Steuereinheit nach Anspruch 9 oder 10, bei der die Verarbeitungseinheit einen Speicherfrequenzgenerator (116) umfaßt, der basierend auf dem Eingangsfrequenzsignal (sys_clk) eine Speicherfrequenz (mpll_clk) für ein Treibersignal für eine Speicherschnittstelle (814) erzeugt.
12. Steuereinheit nach einem der Ansprüche 9 bis 11, bei der der Pixelfrequenzgenerator eine Spread-Spectrum-Phasenregelschleife umfaßt.

Claims

1. A method for reducing interference patterns in the display of an image on a screen with a pixel frequency (ppll_clk), wherein the image can be described by pixel data, which are provided to the screen by a control unit (800) based on received image data, wherein the control unit has an input (802, 804, 806) for receiving the image data and a plurality of clock signals, wherein one or more of the clock signals couples into the control unit via the input and overlays the image data, the method comprising:

while processing the image data received at the control unit for display on the screen, varying one or several of the clock signals used when processing the image data by time-dependent frequency modulation (FM),

characterized in that

the time-dependent frequency modulation (FM) is time-discrete over a row or a frame of the image data, and the frequency (ppll_clk) is changed in a change of rows or a change of frames.

2. The method according to claim 1, wherein while processing the image data the pixel frequency (ppll_clk) is changed.
3. The method according to claim 1 or 2, wherein the control unit comprises means (108), which generates the pixel frequency (ppll_clk) depending on an applied input frequency (sys_clk), wherein the step of changing the pixel frequency (ppll_clk) comprises changing the input frequency (sys_clk).
4. The method according to claim 3, wherein the input frequency (sys_clk) is provided by an external frequency source (128) or by an internal frequency source (132) of the control unit (800).
5. The method according to claim 3 or 4, wherein the control unit comprises a memory interface (814), which is driven by a driving signal with a memory frequency (mpll_clk), and means (116) for generating the memory frequency (mpll_clk), wherein the input frequency (sys_clk) of the means (108) for generating the pixel frequency (ppll_clk) is further applied to the means (116) for generating the memory frequency (mpll_clk).
6. The method according to one of claims 3 to 5, wherein the means for generating the pixel frequency (ppll_clk) comprises a spread spectrum phase locked loop.
7. A control unit for controlling a screen, which operates at a pixel frequency (ppll_clk), for the display of an image on

the screen with reduced interference pattern, wherein the control unit comprises a plurality of clock signals, comprising an input (802, 804, 806) for receiving image data, wherein one or more of the clock signals couples into the control unit via the input and is overlaid with the image data;

processing means (812), which processes the received image data for display on the screen, wherein the processing means (812) varies one or several of the clock signals used when processing the image data while processing the image data by time-dependent frequency modulation (FM); and

an output (812) for providing the processed image data for the display,

characterized in that

the time-dependent frequency modulation (FM) is time-discrete over a row or a frame of the pixel data, and

the processing means (812) causes a change of the frequency (ppll_clk) in a change of rows or a change of frames.

8. The control unit according to claim 7, wherein the processing means (812) changes the pixel frequency (ppll_clk) while processing the image data.

9. The control unit according to claim 7 or 8, wherein the processing means (812) comprises a pixel frequency generator (108), which generates the pixel frequency (ppll_clk) depending on a changing input frequency signal (sys_clk).

10. The control unit according to claim 9, wherein the variable input frequency signal is provided by an external signal source (128) or by an internal frequency control (134) based on an external constant frequency signal.

11. The control unit according to claim 9 or 10, wherein the processing unit comprises a memory frequency generator (116), which generates a memory frequency (mpll_clk) for a driving signal for a memory interface (814), based on the input frequency signal (sys_clk).

12. The control unit according to one of claims 9 to 11, wherein the pixel frequency generator comprises a spread spectrum phase locked loop.

Revendications

1. Procédé pour réduire les modèles d'interférence lors de l'affichage d'une image sur un écran à une fréquence de pixels (ppll_clk), l'image pouvant être décrite par des données de pixels qui sont mises à disposition de l'écran par une unité de commande (800) sur base de données d'image reçues, l'unité de commande présentant une entrée (802, 804, 806) pour recevoir les données d'image et une pluralité de signaux d'horloge, un ou plusieurs des signaux d'horloge se couplant par l'intermédiaire de l'entrée dans l'unité de commande et se superposant aux données d'image, le procédé présentant l'étape suivante consistant à :

pendant le traitement des données d'image reçues à l'unité de commande pour affichage à l'écran, faire varier un ou plusieurs des signaux d'horloge utilisés lors du traitement des données d'image par une modulation de fréquence (FM) fonction du temps,

caractérisé par le fait que

la modulation de fréquence (FM) fonction du temps est discrète dans le temps sur une ligne ou une trame des données d'image, et la fréquence (ppll_clk) est changée lors d'un changement de ligne ou d'un changement de trame.

2. Procédé selon la revendication 1, dans lequel la fréquence de pixels (ppll_clk) est changée pendant le traitement des données d'image.

3. Procédé selon la revendication 1 ou 2, dans lequel l'unité de commande comporte un dispositif (108) qui génère la fréquence de pixels (ppll_clk) en fonction d'une fréquence d'entrée (sys_clk) présente, l'étape de modification de la fréquence de pixels (ppll_clk) comportant la modification de la fréquence d'entrée (sys_clk).

4. Procédé selon la revendication 3, dans lequel la fréquence d'entrée (sys_clk) est mise à disposition de l'unité de commande (800) par une source de fréquence externe (128) ou par une source de fréquence interne (132).

5. Procédé selon la revendication 3 ou 4, dans lequel l'unité de commande comporte une interface de mémoire (814) qui est actionnée par un signal pilote à une fréquence de mémoire (mpll_clk), et un dispositif (116) destiné à générer la fréquence de mémoire (mpll_clk), la fréquence d'entrée (sys_clk) du dispositif (108) destiné à générer la fréquence

de pixels (ppll_clk) étant, par ailleurs, présente au dispositif (116) destiné à générer la fréquence de mémoire (mppll_clk).

6. Procédé selon l'une des revendications 3 à 5, dans lequel le dispositif destiné à générer la fréquence de pixels (ppll_clk) comporte une boucle à verrouillage de phase à étalement de spectre.

7. Unité de commande pour la commande d'un écran qui fonctionne à une fréquence de pixels (ppll_clk) pour l'affichage d'une image à l'écran avec un modèle d'interférence réduit, l'unité de commande présentant une pluralité de signaux d'horloge, avec

une entrée (802, 804, 806) pour recevoir des données d'image, un ou plusieurs des signaux d'horloge se couplant, via l'entrée, dans l'unité de commande et étant superposés aux données d'image ;

un dispositif de traitement (812) qui traite les données d'image reçues pour un affichage à l'écran, le dispositif de traitement (812) faisant varier, pendant le traitement des données d'image, un ou plusieurs des signaux d'horloge utilisés lors du traitement des données d'image par une modulation de fréquence (FM) fonction du temps ; et

une sortie (818) pour mettre à disposition les données d'image traitées pour affichage,

caractérisée par le fait que

la modulation de fréquence (FM) fonction du temps est discrète dans le temps sur une ligne ou une trame des données d'image, et

que le dispositif de traitement provoque une variation de la fréquence (ppll_clk) lors d'un changement de ligne ou d'un changement de trame.

8. Unité de commande selon la revendication 7, dans lequel le dispositif de traitement (812) modifie la fréquence de pixels (ppll_clk) pendant le traitement des données d'image.

9. Unité de commande selon la revendication 7 ou 8, dans lequel le dispositif de traitement (812) comporte un générateur de fréquence de pixels (108) qui génère la fréquence de pixels (ppll_clk) en fonction d'un signal de fréquence d'entrée variable (sys_clk).

10. Unité de commande selon la revendication 9, dans lequel le signal de fréquence d'entrée variable est mis à disposition par une source de signal externe (128) ou sur base d'un signal de fréquence externe constant par une commande de fréquence interne (134).

11. Unité de commande selon la revendication 9 ou 10, dans lequel l'unité de traitement comporte un générateur de fréquence de mémoire (116) qui génère, sur base du signal de fréquence d'entrée (sys_clk), une fréquence de mémoire (mppll_clk) pour un signal pilote pour une interface de mémoire (814).

12. Unité de commande selon l'une des revendications 9 à 11, dans lequel le générateur de fréquence de pixels comporte une boucle à verrouillage de phase à étalement de spectre.

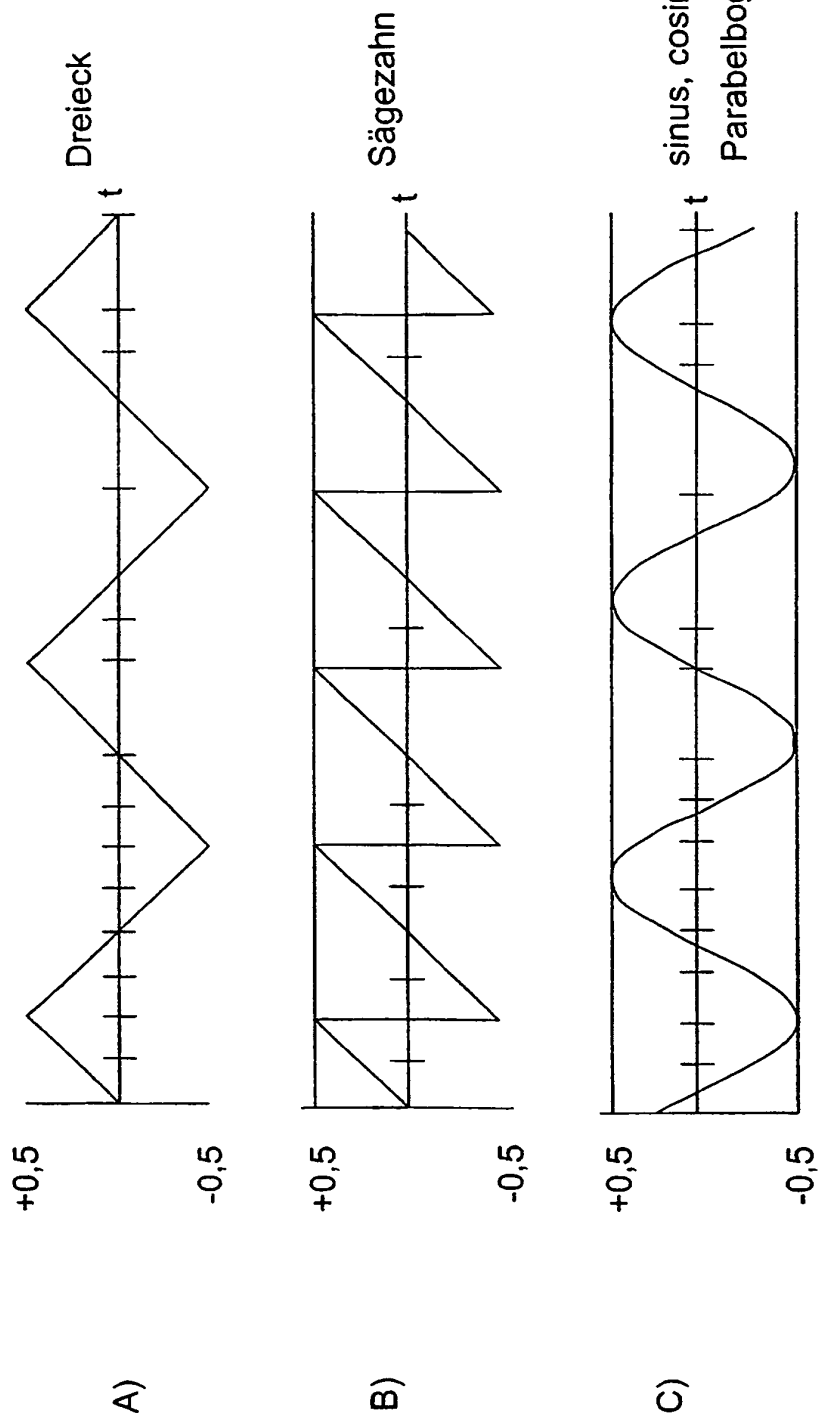


Fig.1

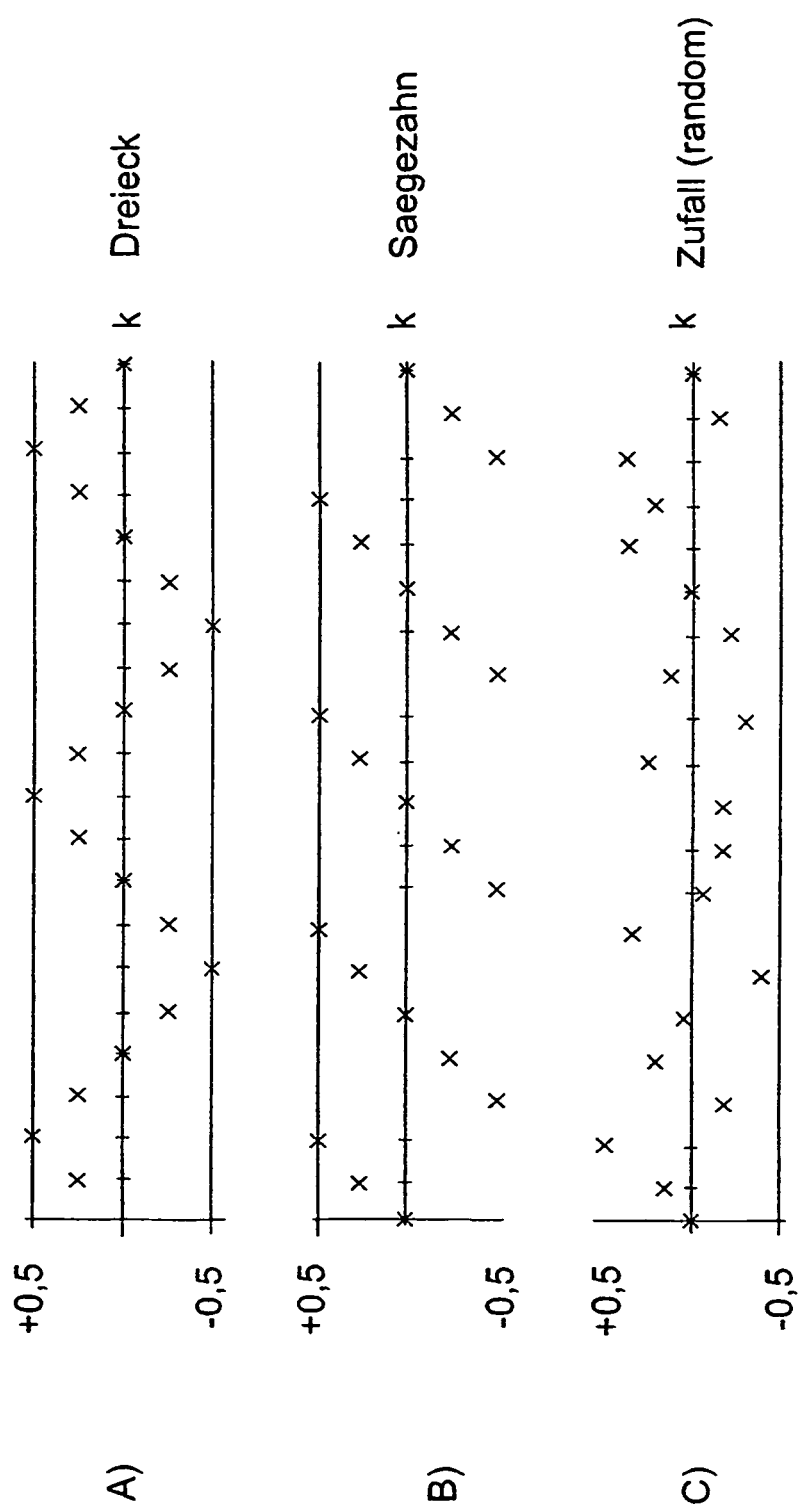


Fig. 2

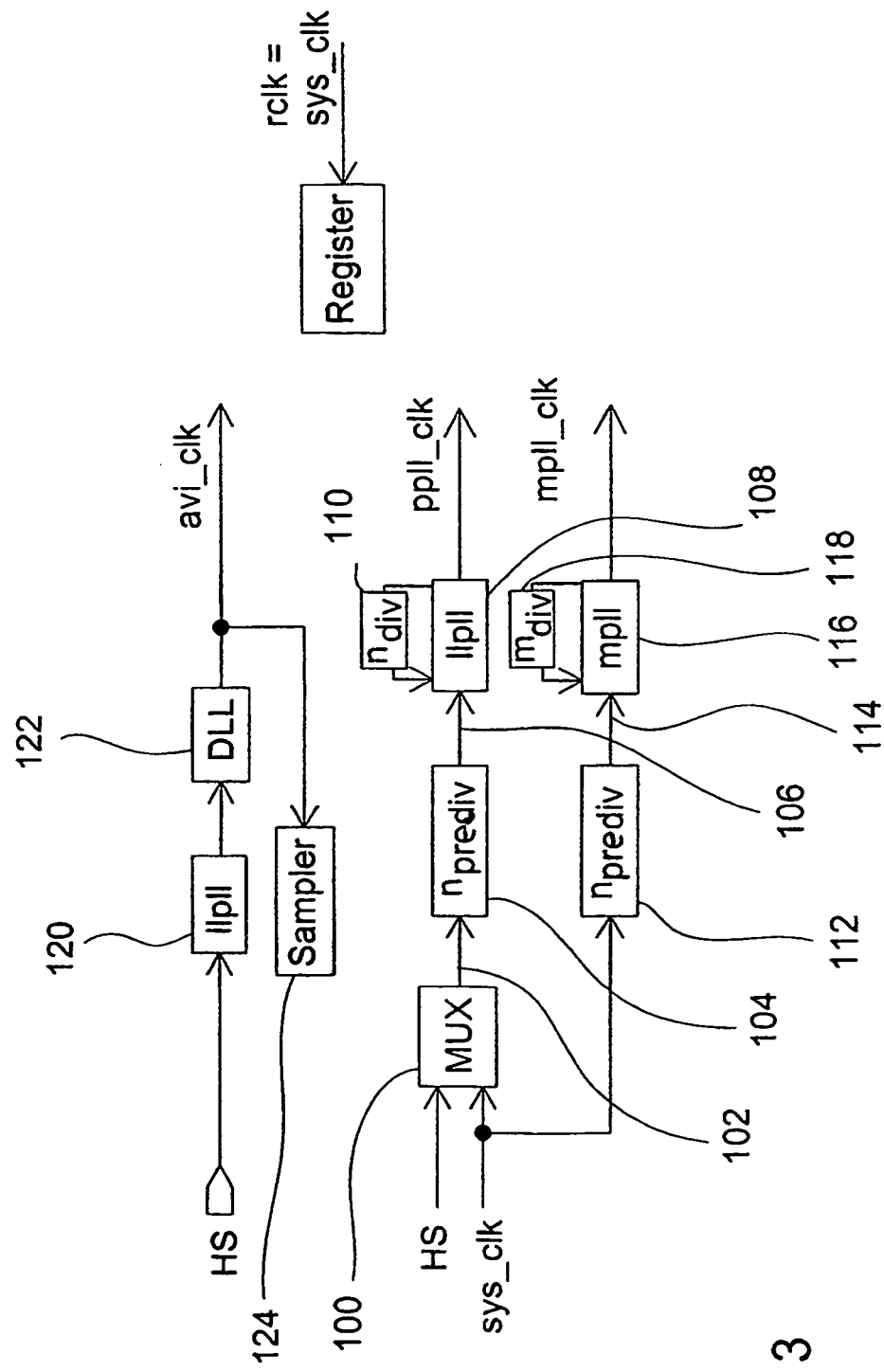


Fig. 3

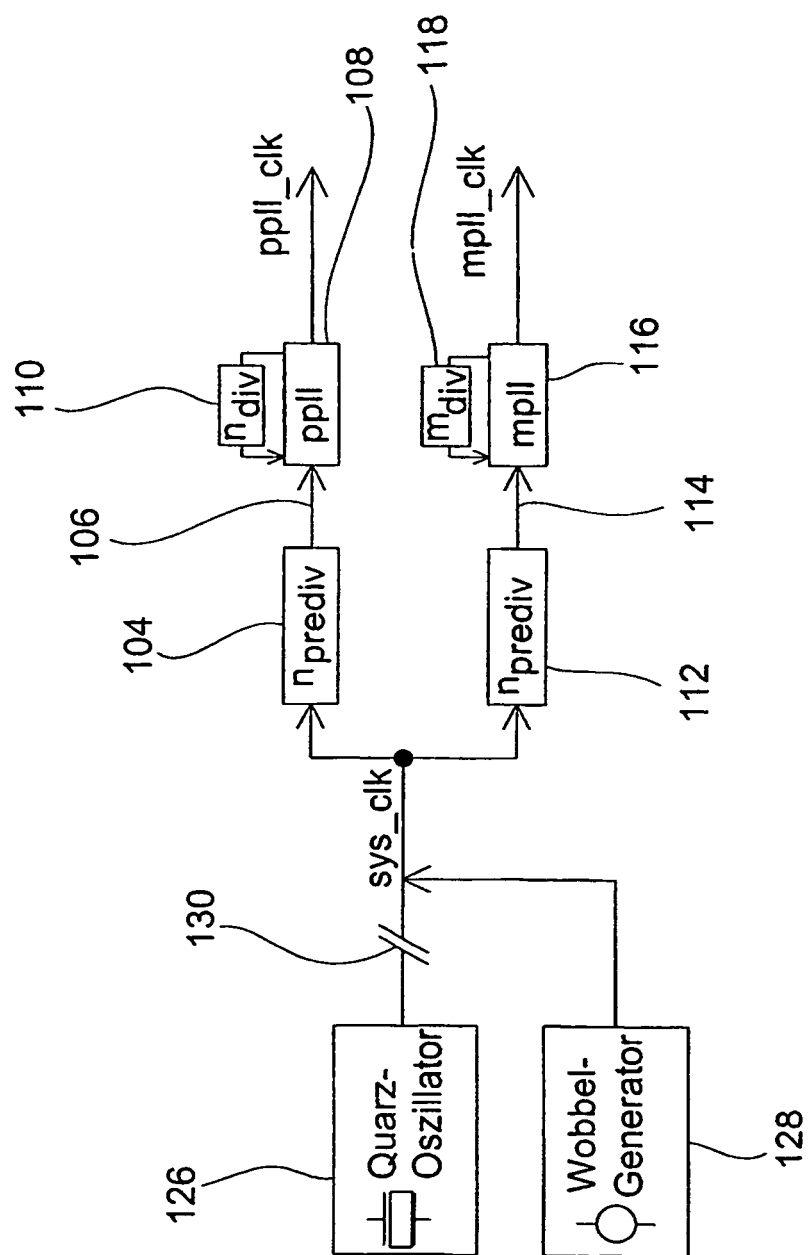


Fig. 4

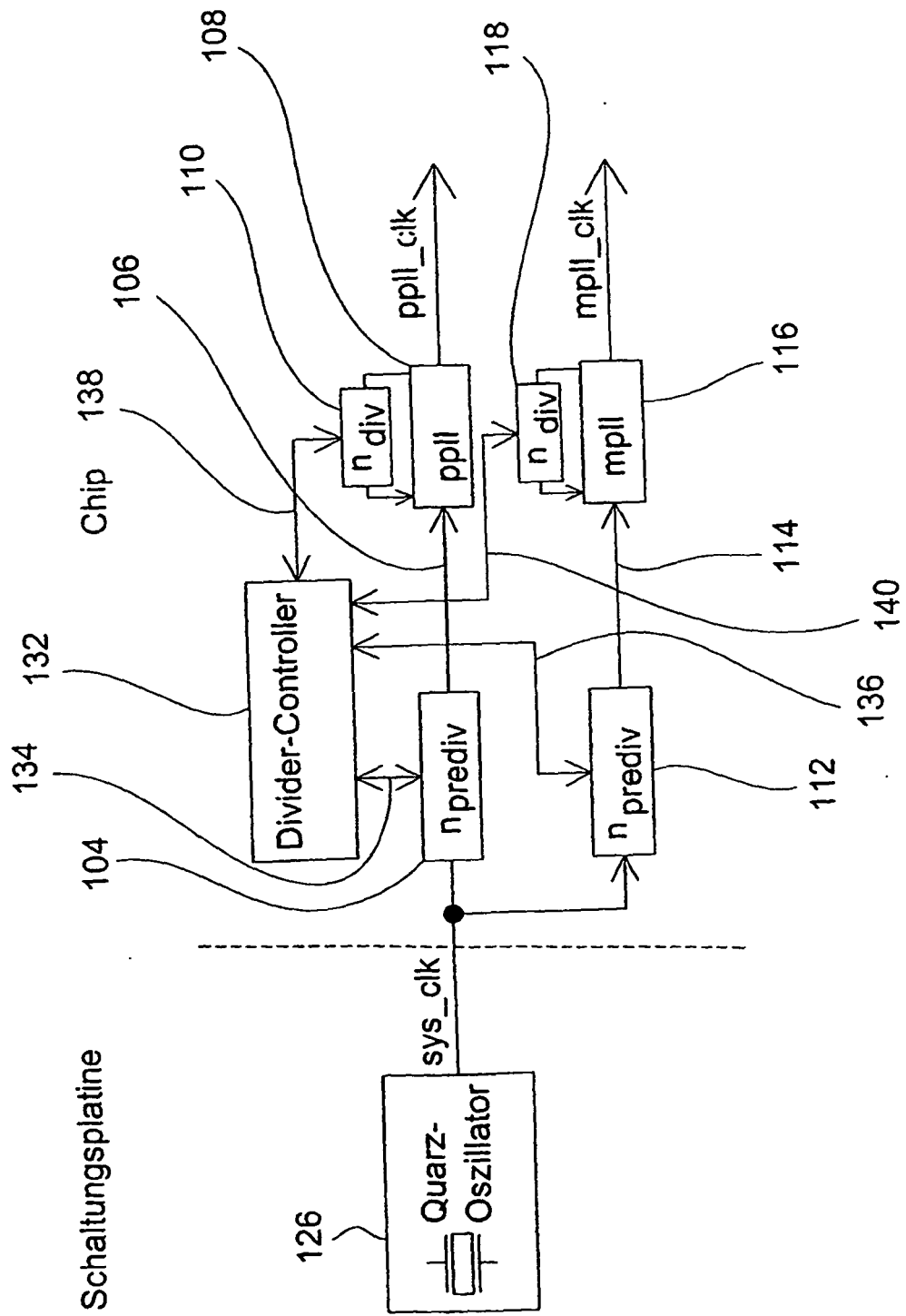


Fig. 5

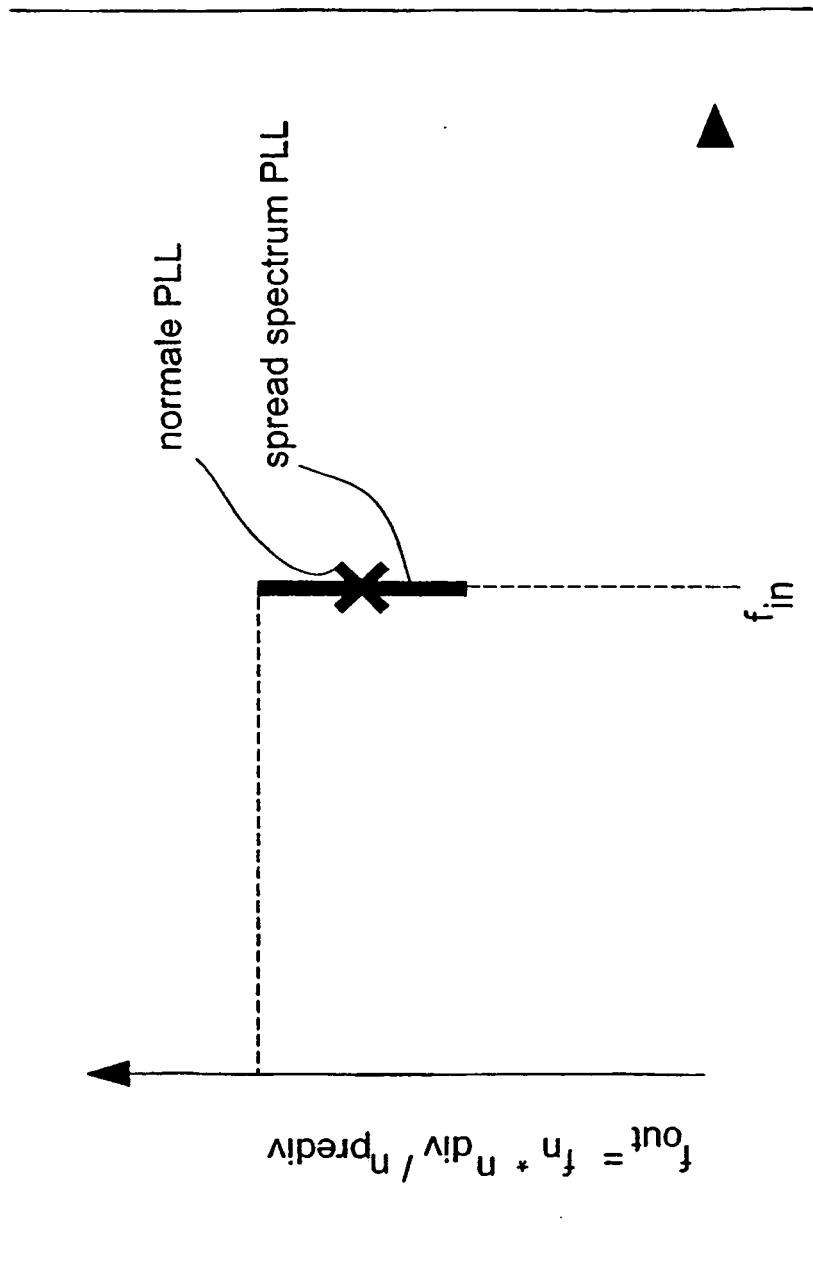


Fig. 6

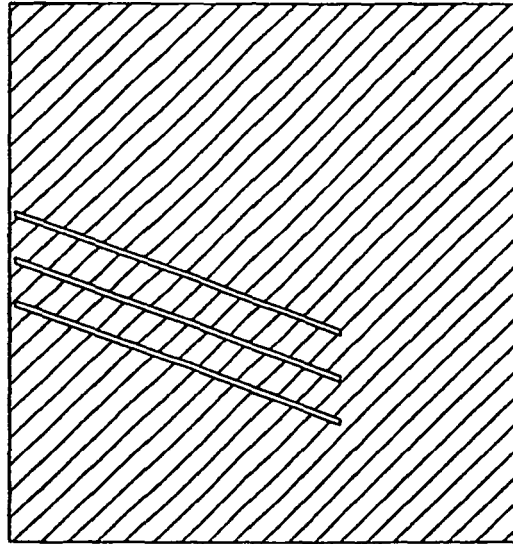


Fig. 7

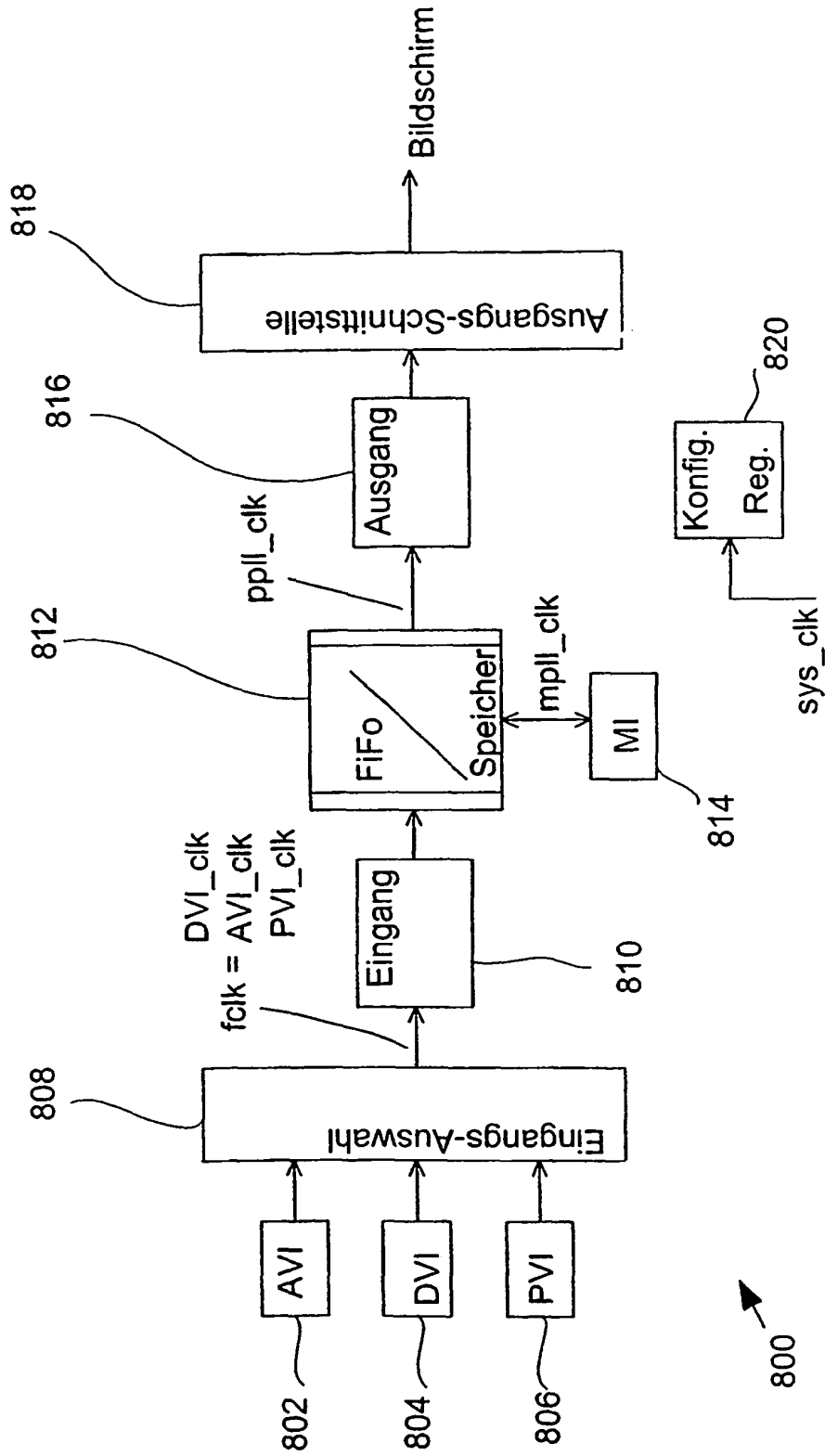


Fig. 8

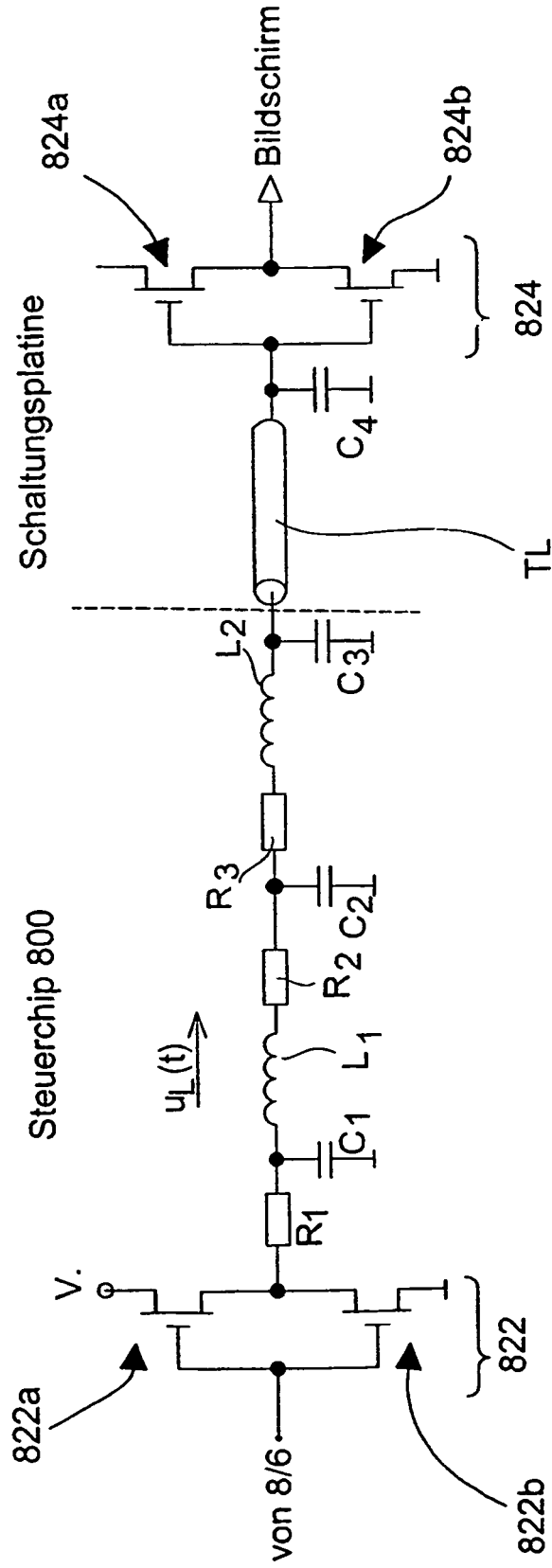


Fig. 9

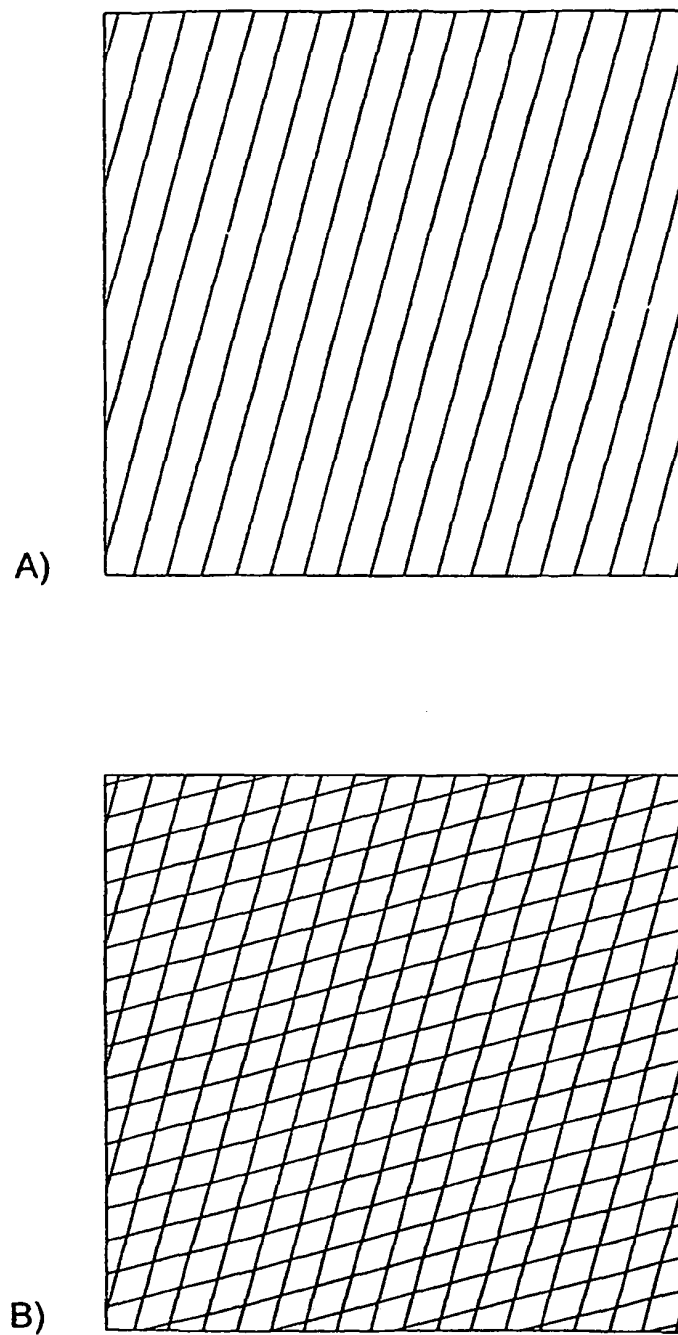


Fig. 10

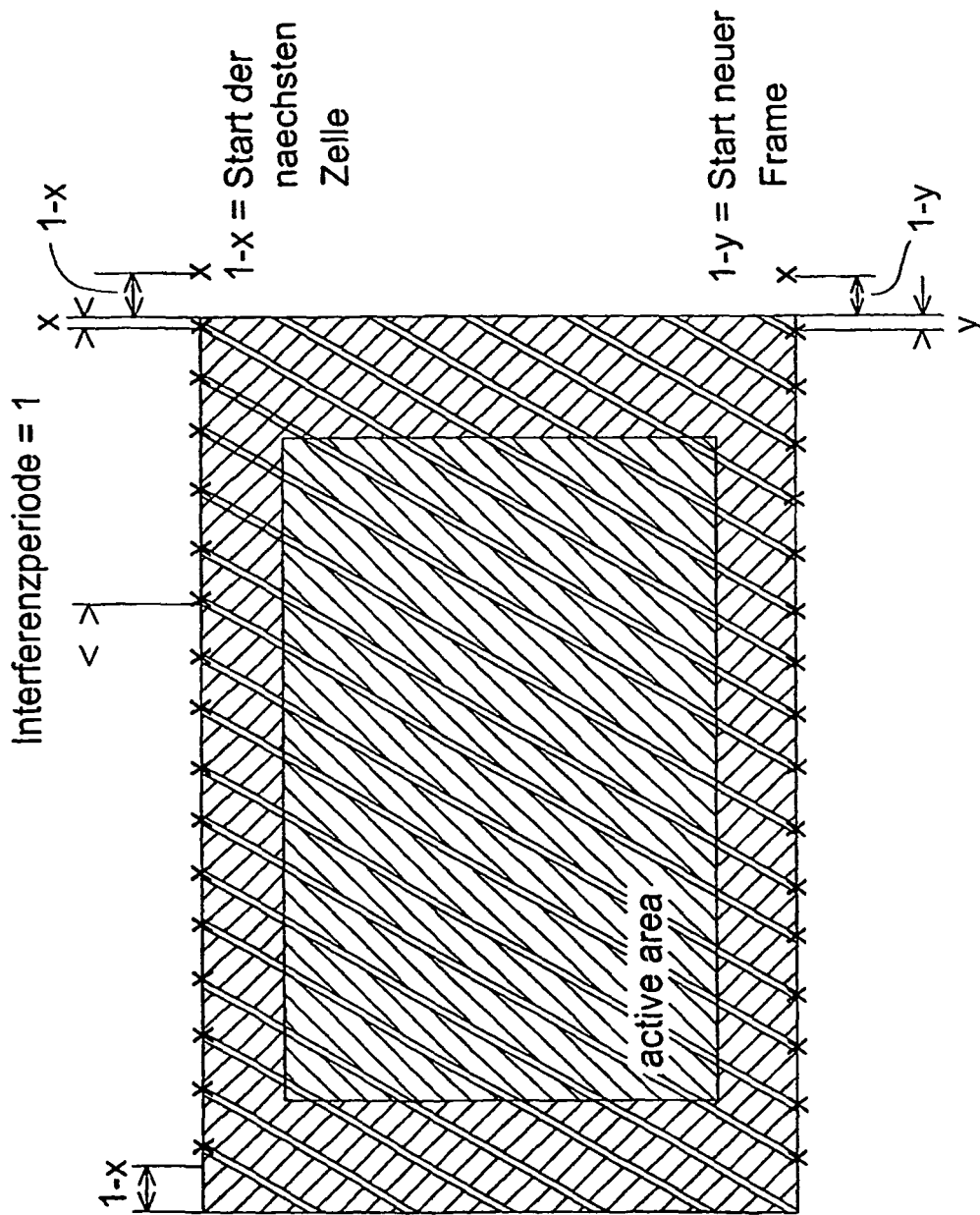


Fig. 11