

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 1 667 101 A1

(12)

DEMANDE DE BREVET EUROPEEN

(43) Date de publication:

07.06.2006 Bulletin 2006/23

(51) Int Cl.:

G09G 3/32^(2006.01)

(21) Numéro de dépôt: 05111703.4

(22) Date de dépôt: 05.12.2005

(84) Etats contractants désignés:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
HU IE IS IT LI LT LU LV MC NL PL PT RO SE SI
SK TR

Etats d'extension désignés:

AL BA HR MK YU

(30) Priorité: 06.12.2004 FR 0452868

(71) Demandeur: ST MICROELECTRONICS S.A.
92120 Montrouge (FR)

(72) Inventeurs:

- Chaussy, Danika
38320 Brie et Angonnes (FR)
- Mas, Céline
38320 Poisat (FR)

(74) Mandataire: de Beaumont, Michel et al
Cabinet Michel de Beaumont
1, rue Champollion
F-38000 Grenoble (FR)

(54) Adaptation automatique de la tension d'alimentation d'un écran électroluminescent en fonction de la luminance souhaitée

(57) L'invention concerne un dispositif de régulation de la tension de polarisation (V_{POL}) de circuits de commande de colonnes d'un écran matriciel adaptés à sélectionner des colonnes pour rendre conductrices les diodes électroluminescentes des colonnes sélectionnées et d'une ligne sélectionnée, le dispositif comprenant un premier circuit de mesure (m_i) fournissant un premier signal de mesure (V_{MAX}) représentatif de la tension la plus élevée des tensions des colonnes sélectionnées ; un se-

cond circuit de mesure (P''_i) fournissant un second signal de mesure (V_{MIN}) représentatif de la tension la moins élevée des tensions des colonnes sélectionnées ; et un circuit d'ajustement (A_{MAX} , A_{MIN} , 52) adapté à diminuer la tension de polarisation si le premier signal de mesure est inférieur à un premier signal de comparaison et à augmenter la tension de polarisation si le second signal de mesure est supérieur à un second signal de comparaison.

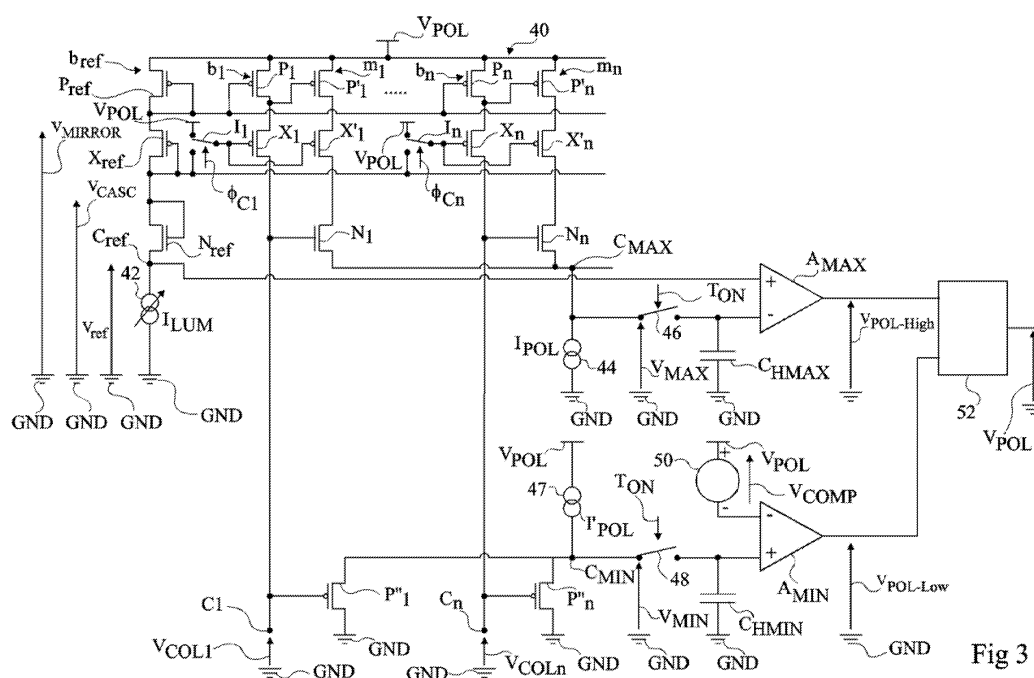


Fig 3

Description

Domaine de l'invention

[0001] La présente invention concerne des écrans matriciels à affichage électroluminescent composés d'un ensemble de diodes électroluminescentes. Il s'agit par exemple d'écrans composés de diodes organiques ("OLED" de l'anglais Organic Light Emitting Display) ou polymères ("PLED" de l'anglais Polymer Light Emitting Display). La présente invention concerne plus particulièrement la régulation de la tension d'alimentation des circuits de commande des diodes électroluminescentes de tels écrans.

Exposé de l'art antérieur

[0002] La figure 1 représente un écran matriciel comportant n colonnes C_1 à C_n et k lignes L_1 à L_k permettant d'adresser $n \times k$ diodes électroluminescentes d dont les anodes sont connectées à une colonne et les cathodes à une ligne.

[0003] Des circuits de commande de lignes CL_1 à CL_k permettent de polariser respectivement les lignes L_1 à L_k . Seule une ligne est activée à la fois, et est polarisée à la masse. Les lignes non activées sont polarisées à une tension V_{ligne} .

[0004] Des circuits de commande de colonnes CC_1 à CC_n permettent de polariser respectivement les colonnes C_1 à C_n . Les colonnes adressant les diodes électroluminescentes que l'on souhaite activer sont polarisées par un courant à une tension V_{COL} supérieure à la tension de seuil des diodes électroluminescentes de l'écran. Les colonnes que l'on ne souhaite pas activer sont mises à la masse.

[0005] Une diode électroluminescente reliée à la ligne activée et à une colonne polarisée à V_{COL} est alors passante et émet de la lumière. La tension V_{ligne} est prévue suffisamment élevée afin que les diodes électroluminescentes reliées aux lignes non activées et aux colonnes à la tension V_{COL} ne soient pas conductrices et n'émettent pas de lumière.

[0006] La figure 2 représente un exemple classique de circuit de commande de colonne CC et d'un circuit de commande de ligne CL adressant respectivement une colonne C et une ligne L reliées à une diode électroluminescente d de l'écran. Le circuit de commande de ligne CL comprend un inverseur de puissance 1 commandé par un signal de commande de ligne ϕ_L . L'inverseur de puissance 1 comprend un transistor NMOS 2 permettant de décharger la ligne L quand ϕ_L est au niveau haut et un transistor PMOS 3 permettant de charger la ligne L à la tension de polarisation V_{ligne} quand ϕ_L est au niveau bas.

[0007] Le circuit de commande de colonne CC comprend un miroir de courant réalisé dans le présent exemple avec deux transistors 4, 5 de type PMOS. Le transistor 4 constitue la branche de référence du miroir et le

transistor 5 constitue la branche de duplication. Les sources des transistors 4 et 5 sont connectées à une tension de polarisation V_{POL} de l'ordre de 15 V pour des écrans OLED. Les grilles des transistors 4 et 5 sont reliées l'une à l'autre. Le drain et la grille du transistor 4 sont reliés l'un à l'autre. Le transistor 4 est donc monté en diode, la tension source-grille (V_{sg_4}) étant égale à la tension source-drain (V_{sd_4}). Le drain du transistor 4 est relié à la source d'un transistor 6 de puissance de type PMOS. Le drain et la grille du transistor 6 sont reliés l'un à l'autre. Le drain du transistor 6 est relié à une borne d'une source de courant 7 dont l'autre borne est reliée à la masse GND. Le courant traversant le transistor 4 est fixé par la source de courant 7 qui fournit un courant I_{LUM} dit de "luminance".

[0008] Le drain du transistor 5 est relié à la source d'un transistor 8 de puissance de type PMOS. Le drain du transistor 8 est relié à la colonne C . Un interrupteur 9, commandé par un signal de commande ϕ_C , est adapté à relier la grille du transistor 8 à la tension de polarisation V_{POL} , par exemple lorsque le signal de commande ϕ_C est au niveau haut, et à la grille du transistor 6 lorsque le signal de commande ϕ_C est au niveau bas. Quand le signal ϕ_C est au niveau bas, le transistor 8 est passant et la colonne C se charge jusqu'à atteindre la tension V_{COL} . Quand la ligne L et la colonne C sont activées, les signaux de commande de ligne ϕ_L et de colonne ϕ_C sont respectivement haut et bas, la diode électroluminescente d est passante et le courant traversant la diode est égal au courant de luminance I_{LUM} . Le circuit de mise à la masse de la colonne C lorsque le signal de commande ϕ_C est au niveau haut n'est pas représenté.

[0009] Pour que le circuit de commande de colonne CC fonctionne tel que décrit précédemment, il est nécessaire que la tension V_{POL} soit suffisamment élevée pour que la recopie du courant I_{LUM} soit correcte. La tension de polarisation V_{POL} est égale à la somme de la tension drain-source V_{ds_2} du transistor 2, de la tension V_d aux bornes de la diode électroluminescente d , de la tension source-drain V_{sd_3} du transistor 8 et de la tension source-drain V_{sd_5} du transistor 5.

[0010] Quand la recopie du courant I_{LUM} est correcte, le transistor 5 est en régime de saturation et la tension V_{sd_5} est au minimum égale à la tension source-drain V_{sd_4} du transistor 4. Une recopie correcte du courant dans la branche de duplication impose donc que la tension de polarisation V_{POL} soit au moins égale à la somme précédemment mentionnée quand le courant la traversant est égal au courant de luminance I_{LUM} . Si la tension de polarisation V_{POL} est trop faible, le courant traversant la diode électroluminescente d est inférieur au courant I_{LUM} et la luminance des diodes est insuffisante.

[0011] Le courant de luminance I_{LUM} fourni par la source de courant 7 peut de façon générale varier en fonction de la luminance souhaitée pour l'écran. Quand le courant de luminance I_{LUM} augmente, la tension source-drain V_{sd_4} du transistor 4 monté en diode augmente et la tension V_d de la diode électroluminescente d augmente aus-

si. Il s'ensuit que la tension de polarisation V_{POL} doit être suffisamment importante pour que le transistor 5 soit en saturation quel que soit le courant de luminance.

[0012] Toutefois, par souci d'économie d'énergie électrique, on cherche à réduire la tension de polarisation V_{POL} , ce qui permet ensuite de réduire la tension V_{ligne} des circuits de commande de ligne.

[0013] Il existe des circuits de commande qui ont une tension de polarisation V_{POL} fixe et déterminée en fonction du courant de luminance I_{LUM} maximum souhaité. L'inconvénient de tels circuits est leur forte consommation d'énergie électrique.

[0014] Il existe d'autres circuits de commande pour lesquels la tension de polarisation V_{POL} varie en fonction du courant de luminance I_{LUM} souhaité. Si le courant I_{LUM} est faible, la tension V_{POL} est faible et inversement. Toutefois, il est nécessaire de prévoir une marge de sécurité pour tenir compte du vieillissement des diodes électroluminescentes de l'écran. En effet, à courant égal dans la diode électroluminescente d, la tension V_d aux bornes de la diode augmente avec le temps. Pour une même luminance, correspondant à un courant de luminance donné, la tension de polarisation minimale V_{POL} nécessaire augmente donc progressivement avec le temps. Les économies d'énergie obtenues pour ces circuits ne sont donc pas optimales.

[0015] Un objet de la présente invention est de prévoir un dispositif de régulation de la tension de polarisation de circuits de commande de colonnes fournissant une tension de polarisation V_{POL} la plus faible possible quel que soit le vieillissement des diodes électroluminescentes de l'écran.

[0016] Un autre objet de la présente invention est de prévoir un dispositif de régulation de la tension de polarisation de circuits de commande de conception simple.

Résumé de l'invention

[0017] Pour atteindre ces objets, la présente invention prévoit un dispositif de régulation de la tension de polarisation de circuits de commande de colonnes d'un écran matriciel composé de diodes électroluminescentes réparties en lignes et en colonnes, les circuits de commande de colonnes étant adaptés à sélectionner des colonnes pour rendre conductrices les diodes électroluminescentes des colonnes sélectionnées et d'une ligne sélectionnée de l'écran matriciel, le dispositif comprenant un premier circuit de mesure fournissant un premier signal de mesure représentatif de la tension la plus élevée parmi les tensions des colonnes sélectionnées ; un second circuit de mesure fournissant un second signal de mesure représentatif de la tension la moins élevée parmi les tensions des colonnes sélectionnées ; et un circuit d'ajustement recevant les premier et second signaux de mesure et adapté à diminuer la tension de polarisation si le premier signal de mesure est inférieur à un premier signal de comparaison et à augmenter la tension de polarisation si le second signal de mesure est supérieur à un second

signal de comparaison.

[0018] Selon un mode de réalisation de la présente invention, le circuit d'ajustement comprend un premier circuit de mémorisation, adapté à mémoriser le premier signal de mesure pendant au moins la durée de l'affichage d'une image sur l'écran matriciel en l'absence de nouvelle mesure du premier signal de mesure ; et un second circuit de mémorisation, adapté à mémoriser le second signal de mesure pendant au moins la durée de l'affichage d'une image sur l'écran matriciel en l'absence de nouvelle mesure du second signal de mesure.

[0019] Selon un mode de réalisation de la présente invention, le premier circuit de mesure est adapté à mesurer la tension maximale parmi les tensions des colonnes de l'écran matriciel, le circuit de mesure comportant un circuit de protection adapté à désactiver le circuit de mesure pour chaque colonne associée à une diode électroluminescente non conductrice.

[0020] Selon un mode de réalisation de la présente invention, les circuits de commande de colonnes sont réalisés sous la forme d'un miroir de courant comportant une branche de référence et plusieurs branches de duplication reliées à la tension de polarisation, chaque branche de duplication étant reliée à une colonne, la branche de référence comportant un transistor de référence à effet de champ de type PMOS dont la source est connectée à la tension de polarisation, et dont le drain est relié à une source de courant de référence fournissant un courant égal à un courant de luminance, la grille et le drain du transistor de référence étant connectés ensemble. En outre, chaque branche de duplication du miroir de courant comporte un transistor de duplication à effet de champ de type PMOS dont la source est connectée à la tension de polarisation et dont le drain est relié à ladite colonne, les grilles des transistors de chaque branche étant connectées ensemble.

[0021] Selon un mode de réalisation de la présente invention, le premier circuit de mesure comprend, pour chaque colonne, un transistor de protection à effet de champ de type PMOS dont la source est reliée à la tension de polarisation et dont la grille est reliée au drain du transistor de duplication de la branche de duplication associée à ladite colonne et un transistor de mesure à effet de champ de type NMOS, dont le drain est relié au drain du transistor de protection et dont la grille est reliée à la colonne, les sources des premiers transistors de mesure étant reliés à un point de mesure.

[0022] Selon un mode de réalisation de la présente invention, la branche de référence comporte, en outre, un transistor de puissance de référence à effet de champ de type PMOS dont la source est connectée au drain du transistor de référence, la grille et le drain du transistor de puissance de référence étant connectés à la source de courant de référence. Chaque branche de duplication comporte, en outre, un transistor de puissance de duplication à effet de champ de type PMOS dont la source est connectée au drain du transistor de duplication et dont le drain est connecté à la colonne, et dont la grille

est adaptée à être connectée au drain du transistor de puissance de référence pour sélectionner ladite colonne, le premier signal de comparaison étant la tension au drain du transistor de puissance de référence.

[0023] Selon un mode de réalisation de la présente invention, le second circuit de mesure comprend, pour chaque colonne, un transistor de mesure à effet de champ de type PMOS dont le drain est relié à un potentiel de référence et dont la grille est reliée à la colonne, les sources des seconds transistors de mesure étant reliées à un point de mesure.

[0024] Selon un mode de réalisation de la présente invention, le second signal de comparaison est égal à la tension de polarisation diminuée d'une tension constante déterminée.

[0025] La présente invention prévoit également un écran matriciel comprenant des diodes électroluminescentes réparties en lignes et en colonnes et des circuits de commande de colonnes adaptés à sélectionner des colonnes pour rendre conductrices les diodes électroluminescentes des colonnes sélectionnées et d'une ligne sélectionnée, ledit écran matriciel comprenant en outre un dispositif de régulation de la tension de polarisation des circuits de commande de colonnes tel que décrit précédemment.

[0026] La présente invention prévoit également un procédé de régulation de la tension de polarisation de circuits de commande de colonnes d'un écran matriciel composé de diodes électroluminescentes réparties en lignes et en colonnes, les circuits de commande de colonnes étant adaptés à sélectionner des colonnes pour rendre conductrices les diodes électroluminescentes des colonnes sélectionnées et d'une ligne sélectionnée de l'écran matriciel. Le procédé consiste à diminuer la tension de polarisation lorsque la tension la plus élevée parmi les tensions des colonnes sélectionnées est inférieure à une première tension de comparaison et à augmenter la tension de polarisation lorsque la tension la moins élevée parmi les tensions des colonnes sélectionnées est supérieure à une seconde tension de comparaison.

[0027] Selon un mode de réalisation de la présente invention, les circuits de commande de colonnes sont réalisés sous la forme d'un miroir de courant comportant une branche de référence et plusieurs branches de duplication reliées à la tension de polarisation, chaque branche de duplication étant reliée à une colonne, la branche de référence comportant un transistor de référence à effet de champ de type PMOS dont la source est connectée à la tension de polarisation, la grille et le drain du transistor de référence étant connectés ensemble, et un transistor de puissance de référence à effet de champ de type PMOS dont la source est connectée au drain du transistor de référence, la grille et le drain du transistor de puissance étant connectés à une source de courant de référence fournissant un courant égal à un courant de luminance prédéfini. En outre, le premier signal de comparaison est la tension au drain du transistor de puissance de référence et le second signal de comparaison

est la tension au drain du transistor de référence.

Brève description des dessins

[0028] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante d'un exemple de réalisation particulier faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, représente un écran électroluminescent matriciel ;
la figure 2, précédemment décrite, représente un circuit de commande de colonne et un circuit de commande de ligne adressant une diode électroluminescente d'un écran ;
la figure 3 illustre un exemple de réalisation du dispositif de régulation selon la présente invention ; et
la figure 4 illustre un exemple de réalisation plus détaillé d'une partie du dispositif de la figure 3.

Description détaillée

[0029] Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références aux différentes figures.

[0030] La figure 3 représente un exemple de réalisation de circuits de commande de colonnes et du dispositif de régulation selon la présente invention.

[0031] Les circuits de commande de colonnes comprennent un miroir de courant 40 composé dans le présent exemple d'une branche de référence b_{ref} et de n branches de duplication b_1 à b_n . Chaque branche est composée d'un transistor PMOS, P_{ref} pour la branche de référence et P_1 à P_n pour les branches b_1 à b_n . Les sources des transistors de chacune des branches sont connectées à la tension de polarisation V_{POL} et les grilles sont reliées les unes aux autres. Le drain et la grille du transistor P_{ref} de la branche de référence b_{ref} sont reliés à une source d'un transistor PMOS de puissance X_{ref} . La grille et le drain du transistor de puissance X_{ref} sont reliés ensemble. Le drain du transistor X_{ref} est relié au drain d'un transistor NMOS N_{ref} . La grille et le drain du transistor N_{ref} sont reliés ensemble. La source du transistor N_{ref} est reliée à une borne d'une source de courant de référence 42 en un point C_{ref} . L'autre borne de la source de courant 42 est reliée à la masse GND. Par la suite, on note V_{ref} la tension entre le point C_{ref} et la masse GND, V_{CASC} la tension entre le drain du transistor X_{ref} et la masse GND et V_{MIRROR} la tension entre le drain du transistor P_{ref} et la masse GND.

[0032] La source de courant de référence 42 fournit un courant de luminance I_{LUM} . Le drain de chaque transistor P_i , i étant compris entre 1 et n , est relié à la source d'un transistor de puissance PMOS X_i dont le drain est relié à une colonne C_i . Chaque transistor de puissance, X_{ref} et X_1 à X_n , permet de maintenir la tension entre la source et le drain du transistor, P_{ref} et P_1 à P_n , corres-

pendant dans la plage de fonctionnement de ce transistor. La grille de chaque transistor de puissance X_i , i étant compris entre 1 et n , est reliée à une borne d'un interrupteur I_i à deux positions commandé par un signal ϕ_{Ci} et adapté à relier la grille du transistor X_i au drain du transistor X_{ref} , quand le signal ϕ_{Ci} est par exemple au niveau bas, ou à la tension de polarisation V_{POL} , quand le signal ϕ_{Ci} est au niveau haut. Quand le signal ϕ_{Ci} est au niveau bas, le transistor X_i est passant et la tension de la colonne C_i se stabilise à la tension de fonctionnement V_{COLi} de la colonne tandis que le courant I_{LUM} circule dans la colonne. Les circuits de commande comprennent en outre, pour chaque colonne, un interrupteur (non représenté) adapté à relier la colonne C_i à la masse GND.

[0033] La présente invention consiste à prévoir pour chaque branche de duplication b_i , i étant compris entre 1 et n , un premier circuit de mesure m_i comprenant un transistor PMOS P'_i , dont la source est reliée à la tension de polarisation V_{POL} et dont la grille est reliée au drain du transistor P_i de la branche de duplication b_i correspondante. Le drain de chaque transistor P'_i est relié à la source d'un transistor PMOS de puissance X'_i dont la grille est reliée à la grille du transistor de puissance X_i de la branche de duplication b_i correspondante. Le transistor de puissance X'_i permet de maintenir la tension entre la source et le drain du transistor P'_i associé dans la plage de fonctionnement de ce transistor. Le drain de chaque transistor de puissance X'_i est relié au drain d'un transistor NMOS N_i , monté en suiveur, dont la grille est reliée à la colonne C_i . Les sources des transistors N_1 à N_n sont reliées, en un point C_{MAX} , à une borne d'une source de courant 44 dont l'autre borne est reliée à la masse GND. On note V_{MAX} la tension entre le point C_{MAX} et la masse GND. La source de courant 44 fournit un courant de polarisation I_{POL} pour la polarisation des transistors NMOS N_1 à N_n . Un interrupteur 46, commandé par un signal T_{ON} , permet de relier le point C_{MAX} à une borne d'un condensateur C_{HMAX} dont l'autre borne est reliée à la masse GND. La tension aux bornes du condensateur C_{HMAX} attaque l'entrée inverseuse (-) d'un amplificateur opérationnel A_{MAX} monté en comparateur. L'entrée non-inverseuse (+) de l'amplificateur A_{MAX} est reliée au point C_{ref} . L'amplificateur A_{MAX} fournit un signal de commande binaire V_{POL_High} .

[0034] Pour chaque colonne C_i , i variant de 1 à n , on prévoit un second circuit de mesure comprenant un transistor de type PMOS P''_i dont la grille est reliée à la colonne C_i et dont le drain est relié à la masse GND. Les sources des transistors P''_1 à P''_n sont reliées, en un point C_{MIN} , à une borne d'une source de courant 47 fournissant un courant I'_{POL} pour la polarisation des transistors PMOS P''_1 à P''_n . On note V_{MIN} la tension entre le point C_{MIN} et la masse GND. Un interrupteur 48, commandé par le signal T_{ON} , permet de relier le point C_{MIN} à une borne d'un condensateur C_{HMIN} dont l'autre borne est reliée à la masse GND. La tension aux bornes du condensateur C_{HMIN} attaque l'entrée non-inverseuse (+)

d'un amplificateur opérationnel A_{MIN} monté en comparateur. L'entrée inverseuse (-) de l'amplificateur A_{MIN} est reliée à une borne d'un générateur de tension constante 50, fournissant une tension constante V_{COMP} , dont l'autre borne est reliée à la tension de polarisation V_{POL} . L'amplificateur A_{MIN} fournit un signal de commande binaire V_{POL_Low} .

[0035] Les signaux de commande V_{POL_High} , V_{POL_Low} sont fournis à un module d'ajustement 52 qui modifie la valeur de la tension de polarisation V_{POL} en fonction des valeurs des signaux de commande.

[0036] L'invention consiste à réguler la tension de polarisation V_{POL} de façon que, pour chaque colonne active C_i , la tension de la colonne V_{COLi} suive au mieux la relation suivante :

$$V_{CASC} < V_{COLi} < V_{MIRROR}$$

[0037] En effet, si la tension V_{COLi} est inférieure à V_{CASC} , cela signifie que, pour la colonne C_i considérée, la tension de polarisation V_{POL} est inutilement trop élevée. Par ailleurs, si la tension V_{COLi} excède V_{MIRROR} , alors la recopie du courant dans la colonne C_i est incorrecte puisque la tension source-drain du transistor P_i est inférieure à la tension source-drain du transistor P_{ref} .

[0038] Pratiquement, on utilise la tension la plus élevée, notée V_{COLMAX} parmi les tensions des colonnes actives C_1 à C_n que l'on compare à la tension V_{CASC} pour déterminer si la tension de polarisation V_{POL} est trop élevée.

[0039] De façon plus précise, lors d'une phase d'activation, la tension de chaque colonne C_i , i variant de 1 à n , se stabilise à une tension de colonne V_{COLi} pouvant varier d'une colonne à l'autre. Les transistors N_1 à N_n étant montés en suiveur, la tension V_{MAX} suit la tension la plus élevée V_{COLMAX} parmi les tensions des colonnes C_1 à C_n . Plus précisément, la tension V_{MAX} est égale à la différence entre la tension V_{COLMAX} et la tension grille-source (imposée par I_{POL}) du transistor N_i de la colonne C_i ayant la tension de colonne V_{COLi} la plus élevée. L'interrupteur 46 est fermé seulement lorsqu'au moins un pixel d'une ligne est sélectionné. Dans un tel cas, la tension V_{MAX} est appliquée aux bornes du condensateur C_{HMAX} . La durée de fermeture de l'interrupteur 46 peut varier mais ne dépasse pas la durée d'une phase d'activation d'une ligne de l'écran pour éviter le déchargement du condensateur C_{HMAX} avec le courant I_{POL} . L'amplificateur A_{MAX} compare la tension V_{MAX} avec la tension V_{ref} . Ceci revient à comparer la tension V_{COLMAX} avec la tension V_{CASC} en considérant que les tensions grille-source du transistor N_{ref} et des transistors N_1 à N_n sont égales. L'amplificateur A_{MAX} fournit par exemple un signal de commande V_{POL_High} au niveau "0" lorsque la tension V_{MAX} est supérieure à la tension V_{ref} et un signal de commande V_{POL_High} au niveau "1" lorsque la tension V_{MAX} est inférieure à la tension V_{ref} .

[0040] Parmi les colonnes actives, certaines peuvent présenter un défaut du type pixel "ouvert". Un pixel "ouvert" correspond à une coupure dans la liaison entre la colonne et l'anode de la diode électroluminescente du pixel ou à une coupure dans la liaison entre la ligne et la cathode de la diode électroluminescente du pixel. Une colonne C_i ouverte étant à haute impédance, la tension V_{COLi} de la colonne monte jusqu'à la tension de polarisation V_{POL} . La tension V_{COLMAX} serait alors égale à V_{POL} , ce qui serait incorrect.

[0041] Le dispositif selon l'invention permet de ne pas prendre en compte une colonne ouverte pour la détermination de V_{COLMAX} . En effet, dans le cas d'un pixel "ouvert", par exemple le pixel de la colonne C_1 , lorsque le transistor de puissance X_1 est passant, la colonne étant ouverte et à haute impédance, la tension au drain du transistor P_1 monte jusqu'à la tension de polarisation V_{POL} . La tension sur la grille du transistor P'_1 est alors égale à la tension de polarisation V_{POL} et le transistor P'_1 est bloqué. Aucun courant ne traverse donc le transistor P'_1 . Le transistor N_1 n'est alors plus alimenté et ne peut charger le condensateur C_{HMAX} .

[0042] Toutefois, avec un tel dispositif, la tension V_{COLMAX} ainsi obtenue ne peut pas être utilisée pour déterminer si la tension de polarisation V_{POL} est trop faible. En effet, si la tension de polarisation V_{POL} devenait trop faible, la tension V_{COLi} de chaque colonne C_i active serait égale à la tension de polarisation V_{POL} si bien que le transistor P'_i associé serait bloqué. Le condensateur C_{HMAX} serait alors déchargé par le courant I_{POL} et la tension V_{MAX} pourrait diminuer en dessous de la tension V_{CASC} indiquant donc, de façon erronée, que la tension de polarisation V_{POL} serait trop élevée.

[0043] Pour déterminer si la tension de polarisation V_{POL} est trop faible, on utilise la tension la plus faible, notée V_{COLMIN} , parmi les tensions des colonnes actives qui est obtenue séparément de la tension V_{COLMAX} . On compare alors la tension V_{COLMIN} à la tension V_{MIRROR} pour déterminer si la tension de polarisation V_{POL} est trop faible.

[0044] De façon plus précise, les transistors P''_1 à P''_n étant montés en suiveur, la tension V_{MIN} suit la tension la plus faible V_{COLMIN} parmi les tensions des colonnes actives C_1 à C_n . Plus précisément, la tension V_{MIN} est égale à la somme de la tension V_{COLMIN} et de la tension source-grille du transistor P''_i de la colonne C_i à la tension V_{COLMIN} . En théorie, si l'on pouvait considérer que la tension grille-source du transistor P_{ref} était égale à la tension grille-source du transistor P''_i de la colonne C_i à la tension V_{COLMIN} , comparer la tension V_{COLMIN} à la tension V_{MIRROR} serait équivalent à comparer V_{MIN} à V_{POL} . En pratique, pour tenir compte des dispersions des transistors, on compare V_{MIN} à une tension qui est inférieure à la tension de polarisation V_{POL} de la tension constante V_{COMP} , par exemple fixée à 300 mV. L'amplificateur A_{MIN} compare la tension V_{MIN} avec la tension $V_{POL} - V_{COMP}$ et fournit un signal de commande V_{POL_Low} à "1" lorsque la tension V_{MIN} est supérieure à la tension

$V_{POL} - V_{COMP}$ et un signal de commande V_{POL_Low} à "0" lorsque la tension V_{MIN} est inférieure à la tension $V_{POL} - V_{COMP}$.

[0045] En combinant les informations fournies par les signaux de commande V_{POL_High} et V_{POL_Low} , on peut traiter tous les cas de figures :

- premier cas : la tension de polarisation V_{POL} est trop faible pour le niveau de brillance souhaité, ceci correspond à $V_{POL_High} = 0$ et $V_{POL_Low} = 1$;
- deuxième cas : la tension de polarisation V_{POL} est trop élevée pour le niveau de brillance souhaité, ceci correspond à $V_{POL_High} = 1$ et $V_{POL_Low} = 0$; et
- troisième cas : la tension de polarisation V_{POL} est correcte pour le niveau de brillance souhaitée, ceci correspond à $V_{POL_High} = 0$ et $V_{POL_Low} = 0$.

[0046] Les capacités des condensateurs C_{HMIN} et C_{HMAX} sont suffisamment importantes pour limiter les fuites au niveau de ces condensateurs au moins pendant la durée correspondant à l'activation de toutes les lignes de l'écran. Ceci permet de fournir une tension de polarisation V_{POL} correcte même dans le cas où une seule ligne de l'écran est éclairée lors de l'affichage d'une image sur l'écran.

[0047] La figure 4 représente un exemple de réalisation d'un circuit correspondant au comparateur A_{MIN} et à la source de tension constante V_{COMP} .

[0048] Le circuit comprend un transistor NMOS 50 dont le drain et la grille sont reliés à la tension de polarisation V_{POL} . La source du transistor 50 est reliée à la source d'un transistor PMOS 52. La grille et le drain du transistor 52 sont reliés à une borne d'une source de courant constant 54 dont l'autre borne est reliée à la masse GND. Le circuit comprend une résistance R ajustable dont une borne est reliée à la tension de polarisation V_{POL} et dont l'autre borne est reliée au drain d'un transistor NMOS 56. La grille du transistor 56 correspond à l'entrée non inverseuse (+) de l'amplificateur A_{MIN} de la figure 3. La source du transistor 56 est reliée à la source d'un transistor PMOS 58. La grille du transistor 58 est reliée à la grille du transistor 52 et le drain du transistor 58 est relié à la masse GND. Le drain du transistor 56 est relié à la grille d'un transistor PMOS 60 dont la source est reliée à la tension de polarisation V_{POL} . Le courant I_{Low} au drain du transistor 60 fournit le signal de commande V_{POL_Low} après une conversion courant-tension.

[0049] A titre d'exemple, supposons que la tension de colonne V_{COL1} associée à la colonne C_1 a la tension de fonctionnement la plus faible V_{COLMIN} . On considère que la tension de la colonne C_1 doit rester inférieure à V_{MIRROR} , c'est-à-dire à la somme de la tension V_{CASC} et de la tension grille-source du transistor X_{ref} , puisque au-delà de cette valeur la recopie est mauvaise. La tension V_{MIRROR} est aussi égale à la différence entre la tension de polarisation V_{POL} et la tension grille-source du transistor P_{ref} . Lorsque la tension V_{COL1} atteint cette limite, la tension V_{MIN} appliquée aux bornes du

condensateur C_{HMIN} est égale à la tension $V_{POL} - V_{GS_{Pref}} + V_{GS_{P''1}}$, c'est-à-dire égale à V_{POL} si l'on considère que les deux tensions grille-source sont identiques.

[0050] Tant que la tension V_{MIN} est inférieure à V_{POL} , le transistor 58 est bloqué et le courant I_{LOW} est nul. Lorsque la tension V_{MIN} est supérieure à V_{POL} , un courant circule dans le transistor 58 et donc dans le transistor de puissance 60. Le courant I_{LOW} issu du drain du transistor 60 peut alors être transformé en tension pour obtenir le signal de commande V_{POL_LOW} . En pratique, les tensions grille-source des transistors P_{ref} et P''_1 ne sont pas parfaitement identiques et on compare plutôt la tension V_{MIN} à la tension $V_{POL} - V_{COMP}$, où la tension V_{COMP} est positive, pour tenir compte des dispersions sur les différents transistors. On ajuste alors les dimensions des transistors 50 et 56 et la valeur de la résistance R de façon à ajuster le gain du comparateur et la tension pour laquelle il bascule.

[0051] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, le miroir de courant peut être réalisé avec un nombre plus important de transistors par branche.

Revendications

1. Dispositif de régulation de la tension de polarisation (V_{POL}) de circuits de commande de colonnes d'un écran matriciel composé de diodes électroluminescentes réparties en lignes et en colonnes (C_i), les circuits de commande de colonnes étant adaptés à sélectionner des colonnes pour rendre conductrices les diodes électroluminescentes des colonnes sélectionnées et d'une ligne sélectionnée de l'écran matriciel, le dispositif comprenant :

- un premier circuit de mesure (m_i) fournissant un premier signal de mesure (V_{MAX}) représentatif de la tension la plus élevée parmi les tensions des colonnes sélectionnées ;
- un second circuit de mesure (P''_i) fournissant un second signal de mesure (V_{MIN}) représentatif de la tension la moins élevée parmi les tensions des colonnes sélectionnées ; et
- un circuit d'ajustement (A_{MAX} , A_{MIN} , 52) recevant les premier et second signaux de mesure et adapté à diminuer la tension de polarisation si le premier signal de mesure est inférieur à un premier signal de comparaison et à augmenter la tension de polarisation si le second signal de mesure est supérieur à un second signal de comparaison.

2. Dispositif selon la revendication 1, dans lequel le circuit d'ajustement comprend :

- un premier circuit de mémorisation (C_{HMAX}),

adapté à mémoriser le premier signal de mesure (V_{MAX}) pendant au moins la durée de l'affichage d'une image sur l'écran matriciel en l'absence de nouvelle mesure du premier signal de mesure ; et

- un second circuit de mémorisation (C_{HMIN}), adapté à mémoriser le second signal de mesure (V_{MIN}) pendant au moins la durée de l'affichage d'une image sur l'écran matriciel en l'absence de nouvelle mesure du second signal de mesure.

3. Dispositif selon la revendication 1, dans lequel le premier circuit de mesure (m_i) est adapté à mesurer la tension maximale parmi les tensions des colonnes de l'écran matriciel, le circuit de mesure comportant un circuit de protection (P'_i) adapté à désactiver le circuit de mesure pour chaque colonne associée à une diode électroluminescente non conductrice.

4. Dispositif selon la revendication 2, dans lequel les circuits de commande de colonnes sont réalisés sous la forme d'un miroir de courant comportant une branche de référence (b_{ref}) et plusieurs branches de duplication (b_1 à b_n) reliées à la tension de polarisation (V_{POL}), chaque branche de duplication (b_i) étant reliée à une colonne (C_i), la branche de référence comportant un transistor de référence à effet de champ de type PMOS (P_{ref}) dont la source est connectée à la tension de polarisation (V_{POL}), et dont le drain est relié à une source de courant de référence (42) fournissant un courant égal à un courant de luminance (I_{LUM}), la grille et le drain du transistor de référence étant connectés ensemble et dans lequel chaque branche de duplication (b_i) du miroir de courant comporte un transistor de duplication à effet de champ de type PMOS (P_i) dont la source est connectée à la tension de polarisation (V_{POL}) et dont le drain est relié à ladite colonne (C_i), les grilles des transistors de chaque branche étant connectées ensemble.

5. Dispositif selon la revendication 4, dans lequel le premier circuit de mesure (m_i) comprend, pour chaque colonne (C_i), un transistor de protection à effet de champ de type PMOS (P'_i) dont la source est reliée à la tension de polarisation (V_{POL}) et dont la grille est reliée au drain du transistor de duplication (P_i) de la branche de duplication (b_i) associée à ladite colonne et un transistor de mesure à effet de champ de type NMOS (N_i), dont le drain est relié au drain du transistor de protection et dont la grille est reliée à la colonne, les sources des premiers transistors de mesure étant reliés à un point de mesure (C_{MAX}).

6. Dispositif selon la revendication 5, dans lequel la branche de référence (b_{ref}) comporte, en outre, un transistor de puissance de référence à effet de

- champ de type PMOS (X_{ref}) dont la source est connectée au drain du transistor de référence (P_{ref}), la grille et le drain du transistor de puissance de référence étant connectés à la source de courant de référence (42), dans lequel chaque branche de duplication (b_i) comporte, en outre, un transistor de puissance de duplication à effet de champ de type PMOS (X_i) dont la source est connectée au drain du transistor de duplication (P_i) et dont le drain est connecté à la colonne (C_i), et dont la grille est adaptée à être connectée au drain du transistor de puissance de référence pour sélectionner ladite colonne, et dans lequel le premier signal de comparaison est la tension au drain du transistor de puissance de référence (X_{ref}).
7. Dispositif selon la revendication 4, dans lequel le second circuit de mesure comprend, pour chaque colonne (C_i), un transistor de mesure à effet de champ de type PMOS (P''_i) dont le drain est relié à un potentiel de référence (GND) et dont la grille est reliée à la colonne (C_i), les sources des seconds transistors de mesure étant reliées à un point de mesure (C_{MIN}).
8. Dispositif selon la revendication 7, dans lequel le second signal de comparaison est égal à la tension de polarisation (V_{POL}) diminuée d'une tension constante déterminée (V_{COMP}).
9. Ecran matriciel comprenant des diodes électroluminescentes réparties en lignes et en colonnes (C_i) et des circuits de commande de colonnes adaptés à sélectionner des colonnes pour rendre conductrices les diodes électroluminescentes des colonnes sélectionnées et d'une ligne sélectionnée, ledit écran matriciel comprenant en outre un dispositif de régulation de la tension de polarisation (V_{POL}) des circuits de commande de colonnes selon la revendication 1.
10. Procédé de régulation de la tension de polarisation (V_{POL}) de circuits de commande de colonnes d'un écran matriciel composé de diodes électroluminescentes réparties en lignes et en colonnes (C_i), les circuits de commande de colonnes étant adaptés à sélectionner des colonnes pour rendre conductrices les diodes électroluminescentes des colonnes sélectionnées et d'une ligne sélectionnée de l'écran matriciel, ledit procédé consistant à diminuer la tension de polarisation lorsque la tension la plus élevée parmi les tensions des colonnes sélectionnées est inférieure à une première tension de comparaison et à augmenter la tension de polarisation lorsque la tension la moins élevée parmi les tensions des colonnes sélectionnées est supérieure à une seconde tension de comparaison.
11. Procédé selon la revendication 10, dans lequel les circuits de commande de colonnes sont réalisés

sous la forme d'un miroir de courant comportant une branche de référence (b_{ref}) et plusieurs branches de duplication (b_1 à b_n) reliées à la tension de polarisation (V_{POL}), chaque branche de duplication (b_i) étant reliée à une colonne (C_i), la branche de référence comportant un transistor de référence à effet de champ de type PMOS (P_{ref}) dont la source est connectée à la tension de polarisation (V_{POL}), la grille et le drain du transistor de référence étant connectés ensemble, et un transistor de puissance de référence à effet de champ de type PMOS (X_{ref}) dont la source est connectée au drain du transistor de référence, la grille et le drain du transistor de puissance étant connectés à une source de courant de référence (42) fournissant un courant égal à un courant de luminance (I_{LUM}) prédéfini et dans lequel le premier signal de comparaison est la tension au drain du transistor de puissance de référence (X_{ref}) et dans lequel le second signal de comparaison est la tension au drain du transistor de référence (P_{ref}).

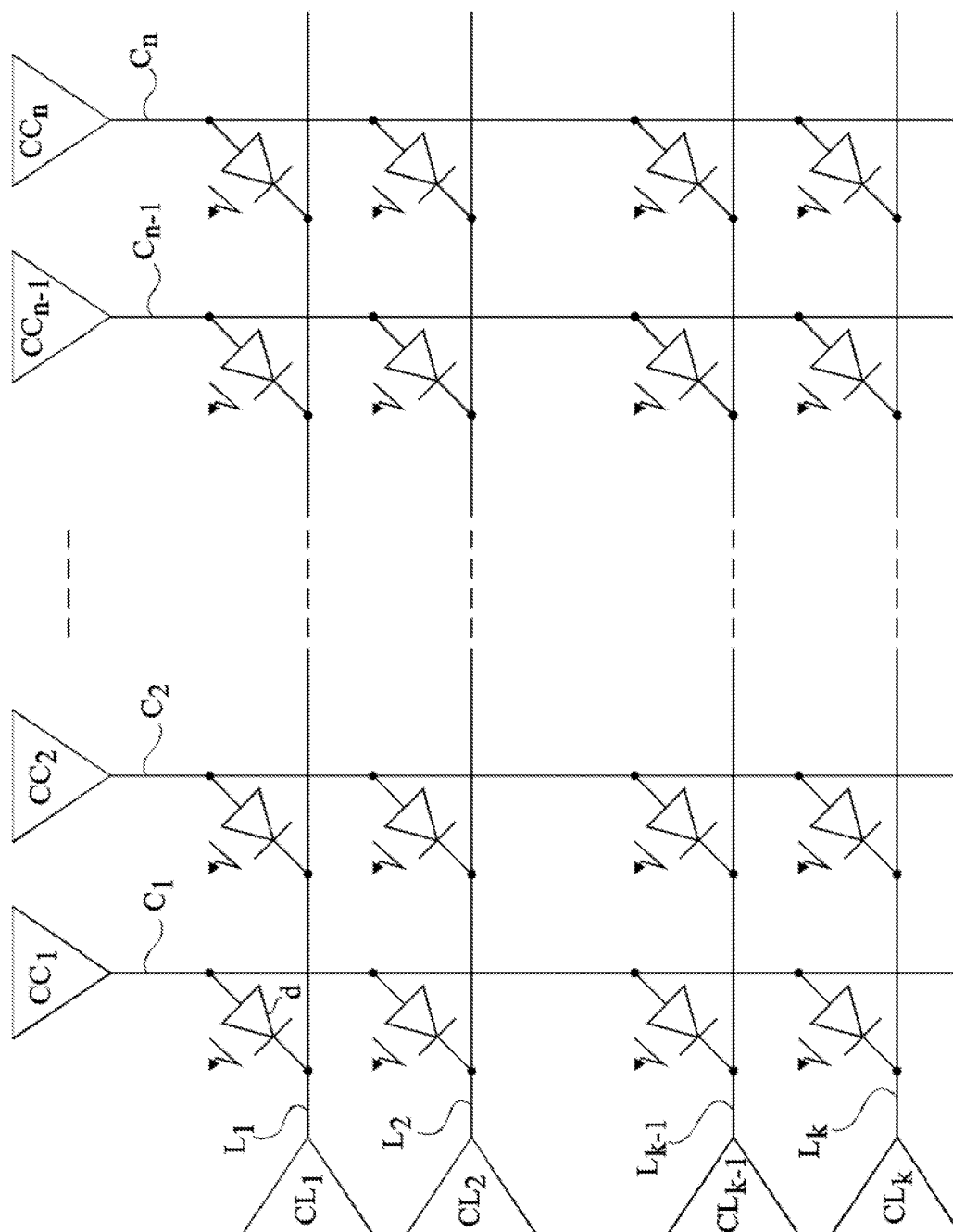


Fig 1

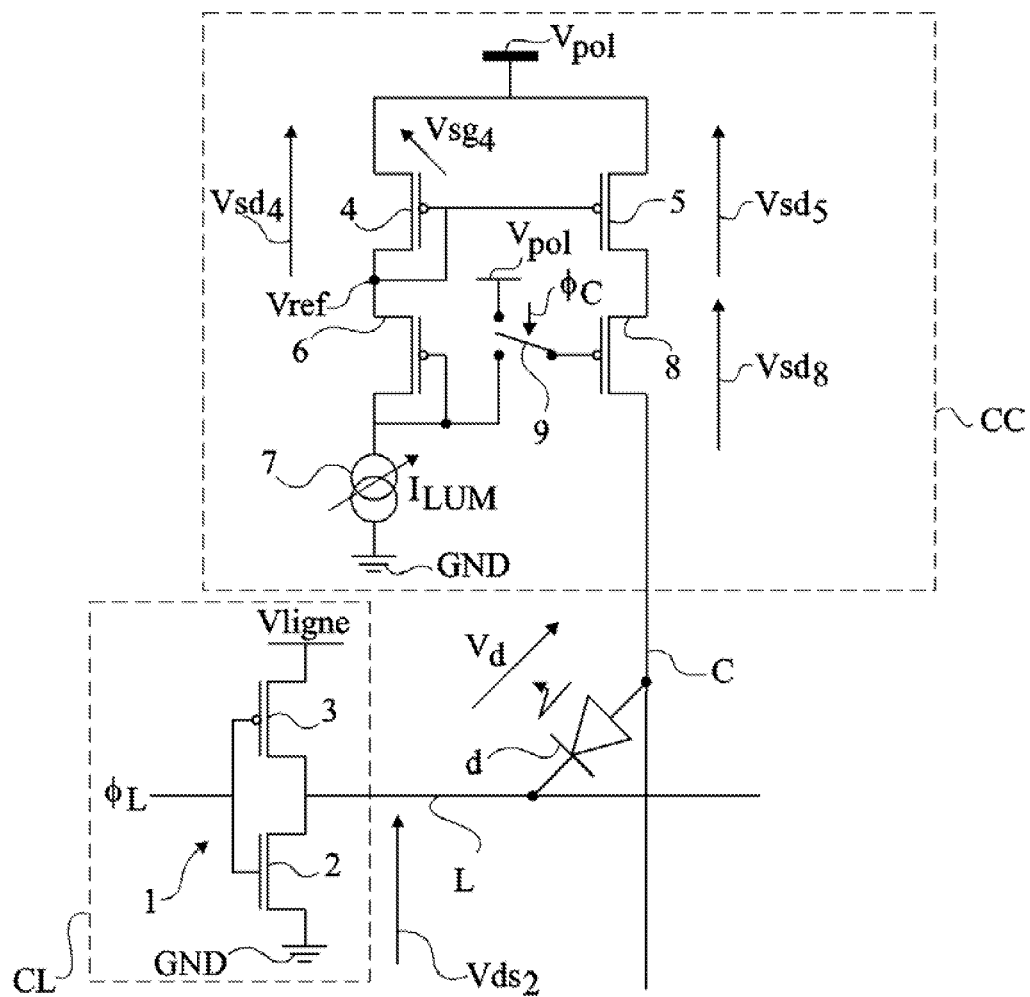


Fig 2

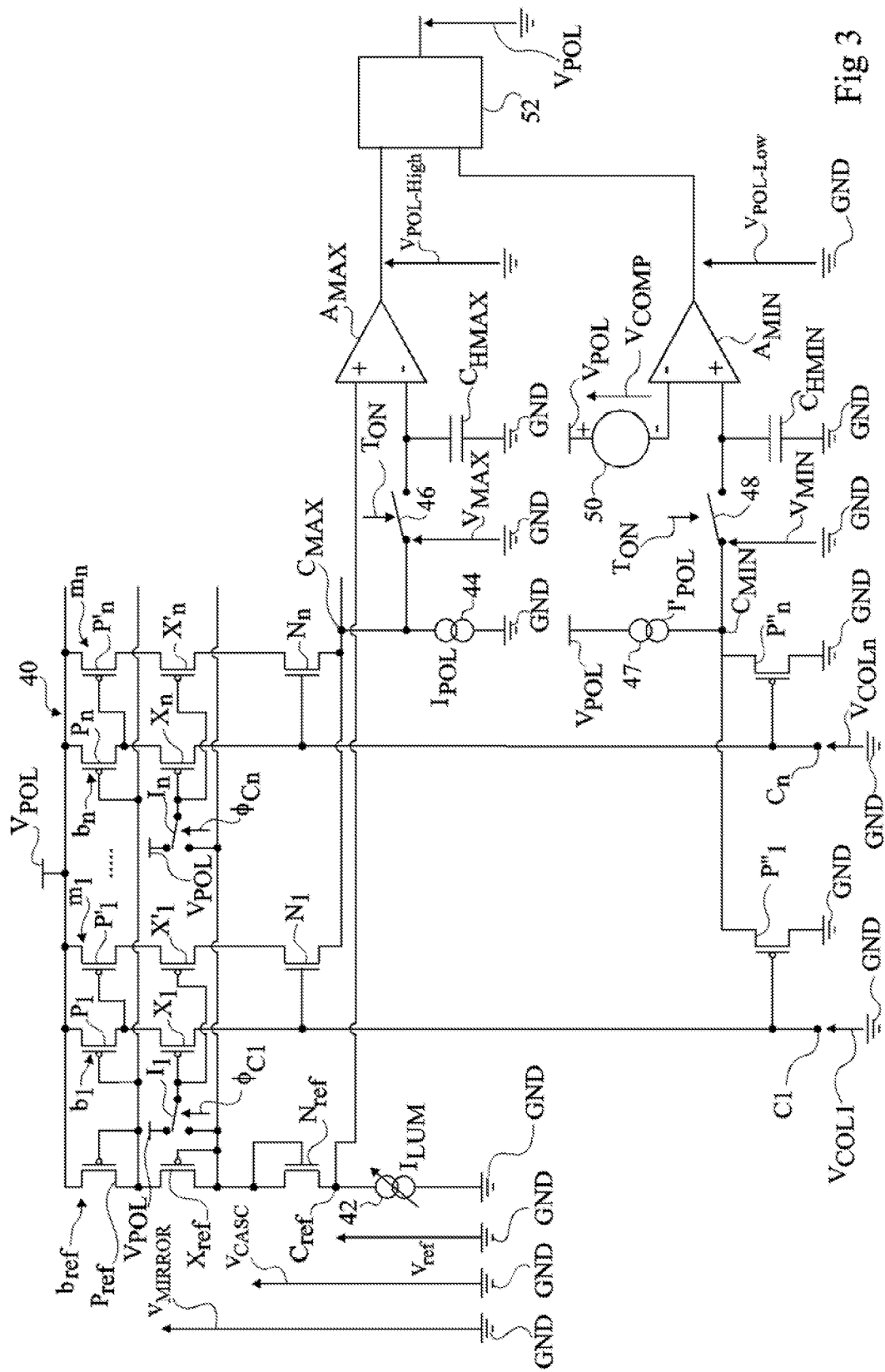


Fig 3

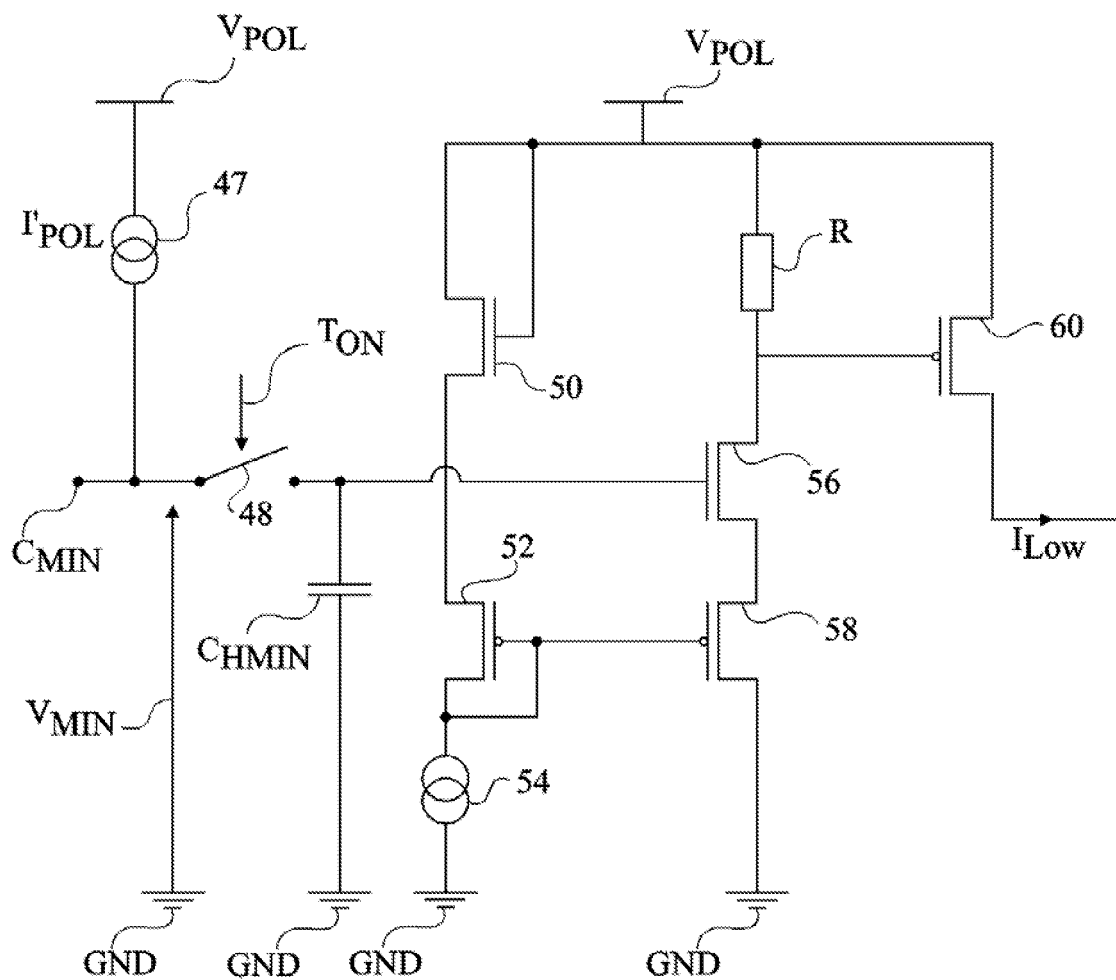


Fig 4



DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (IPC)
A	US 2004/017725 A1 (MAS CELINE ET AL) 29 janvier 2004 (2004-01-29) * alinéa [0033] - alinéa [0038] * * alinéa [0050] - alinéa [0052] * * figures 3-5 *	1,9,10	G09G3/32
A	US 2003/184237 A1 (TOGASHI MASATO ET AL) 2 octobre 2003 (2003-10-02) * alinéa [0017] - alinéa [0018] * * alinéa [0066] - alinéa [0068] * * figures 1,2,8,9 *	1,9,10	
A	US 2002/097002 A1 (LAI WAI-YAN STEPHEN ET AL) 25 juillet 2002 (2002-07-25) * alinéa [0002] * * alinéa [0014] - alinéa [0015] * * alinéa [0031] - alinéa [0045] * * figures 1-4 *	1,9,10	
			DOMAINES TECHNIQUES RECHERCHES (IPC)
			G09G
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche Munich		Date d'achèvement de la recherche 9 mars 2006	Examineur Petitpierre, O
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

 2
EPO FORM 1503 03.82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 05 11 1703

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

09-03-2006

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2004017725 A1	29-01-2004	EP 1383103 A1	21-01-2004
US 2003184237 A1	02-10-2003	JP 2003288053 A	10-10-2003
US 2002097002 A1	25-07-2002	TW 530293 B	01-05-2003

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82