



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
18.10.2006 Bulletin 2006/42

(51) Int Cl.:
G05F 3/26 (2006.01)

(21) Numéro de dépôt: **06112470.7**

(22) Date de dépôt: **11.04.2006**

(84) Etats contractants désignés:
**AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
HU IE IS IT LI LT LU LV MC NL PL PT RO SE SI
SK TR**
Etats d'extension désignés:
AL BA HR MK YU

(72) Inventeurs:
• **Moro, Jean-Luc
38000 Grenoble (FR)**
• **Ramet, Serge
38100 Grenoble (FR)**
• **Sabut, Marc
38320 Eybens (FR)**

(30) Priorité: **12.04.2005 FR 0550932**

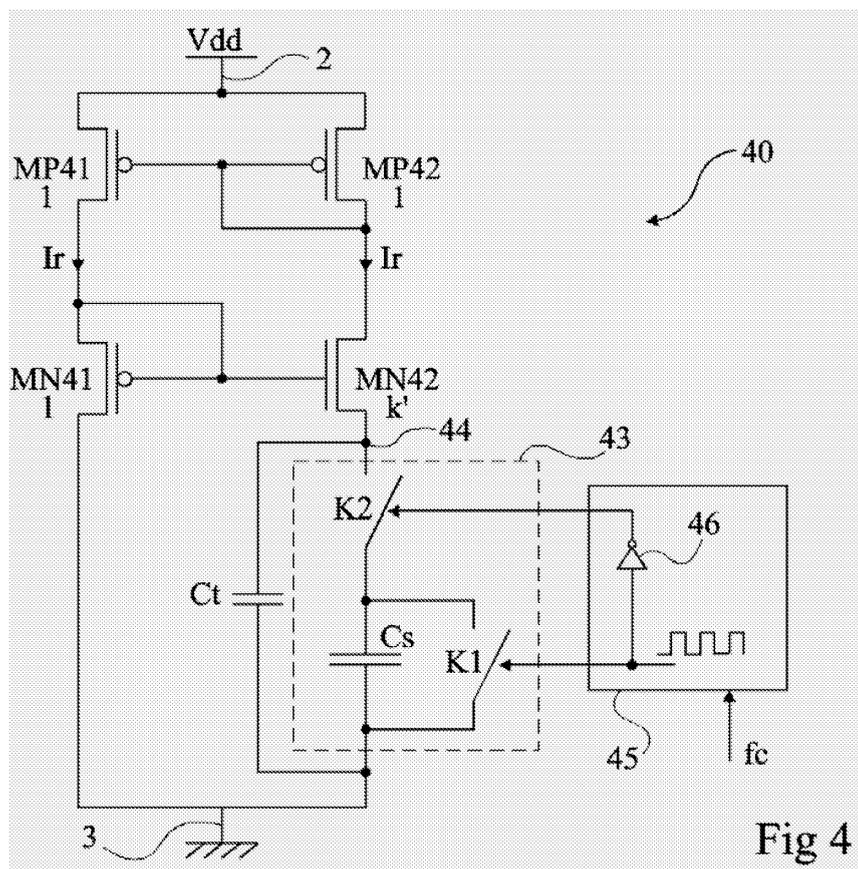
(74) Mandataire: **de Beaumont, Michel
1, rue Champollion
38000 Grenoble (FR)**

(71) Demandeur: **ST MICROELECTRONICS S.A.
92120 Montrouge (FR)**

(54) **Circuit de génération d'un courant de référence**

(57) L'invention concerne un circuit de génération (40) d'un courant de référence (I_r), comportant, entre deux bornes (2, 3) d'application d'une tension d'alimentation : au moins une première branche consti-

tuée d'au moins un premier (MP41) et d'au moins un deuxième transistors (MN41) en série ; au moins une deuxième branche constituée d'au moins un troisième (MP42) et d'au moins un quatrième (MN42) transistors en série avec un circuit (43) à capacité commutée (C_s).



Description

Domaine de l'invention

[0001] La présente invention concerne de façon générale les circuits électroniques et plus particulièrement la génération de courants de référence à des fins de polarisation, notamment, destinés à des amplificateurs.

[0002] Un exemple d'application de la présente invention concerne les convertisseurs analogique-numérique et la génération de courants de polarisation des étages différentiels des amplificateurs opérationnels du convertisseur.

[0003] Un autre exemple d'application de la présente invention concerne les filtres actifs.

[0004] Plus généralement, l'invention s'applique à tout générateur d'un courant de référence.

Exposé de l'art antérieur

[0005] La figure 1 représente, de façon très schématique et sous forme de blocs, un convertisseur analogique-numérique 1 (ADC) du type auquel s'applique la présente invention. Un tel convertisseur est alimenté par une tension continue Vdd appliquée entre deux bornes 2 et 3 du circuit 1. Dans l'exemple de la figure 1, le convertisseur 1 est à entrées différentielles. Un signal différentiel Vin est appliqué entre deux bornes d'entrée 4 et 5 du convertisseur. Une fréquence d'échantillonnage fc est fixée par un signal d'horloge appliqué sur une entrée d'horloge 6. Le circuit 1 fournit un signal binaire OUT sur n bits sur une sortie série ou plusieurs sorties parallèle 7. Le convertisseur intègre ou reçoit également deux signaux de référence de tension non représentés et intègre ou est relié à au moins un circuit 30 (CREF) de génération d'un courant de référence destiné à polariser des amplificateurs opérationnels (non représentés en figure 1) du convertisseur 1.

[0006] La figure 2 représente un exemple de schéma simplifié d'un amplificateur opérationnel 10 du type auquel s'applique, par exemple, la présente invention. Cet amplificateur comporte, entre les deux bornes 2 et 3 d'application d'une tension d'alimentation continue Vdd, un étage différentiel constitué de deux branches parallèles de transistors (ici, des transistors MOS), en série avec une source de courant 20 fixant un courant de polarisation Ip. Chaque branche comporte, par exemple, un transistor MOS à canal P MP11, MP12 en série avec un transistor MOS à canal N MN11, MN12. Les grilles des transistors MP11 et MP12 sont connectées ensemble au drain du transistor MP11 pour former une charge active, tandis que les grilles des transistors MN11 et MN12 définissent des entrées différentielles, respectivement non inverseuse 14 (+) et inverseuse 15 (-), de l'amplificateur 1. Le drain du transistor MN12, relié au drain du transistor MP12 définit une borne 17 de sortie de l'amplificateur. Les sources communes des transistors MN11 et MN12 sont reliées à une première borne 22 de la sour-

ce de courant 20 dont l'autre borne 23 est connectée à la masse 3. La source de courant 20 est formée d'un transistor MN20, par exemple un transistor MOS à canal N, monté en miroir de courant sur un transistor (non représenté en figure 2) de recopie d'un courant de référence compensé au moins en température.

[0007] La figure 3 représente un exemple classique d'un générateur 30 d'un courant de référence destiné à être recopié pour fournir un ou plusieurs courants de polarisation à destination d'amplificateurs du type de celui représenté en figure 2. Un tel générateur est basé sur la conversion résistive d'une tension fournie par des transistors, compensée en température et en tolérances de fabrication des transistors.

[0008] Dans l'exemple de la figure 3, on suppose un générateur en technologie MOS, constitué de deux branches parallèles entre deux bornes 2 et 3 d'application d'une tension continue Vdd d'alimentation. Une première branche comporte deux transistors MOS, respectivement à canal P MP31 et à canal N MN31, en série entre les bornes 2 et 3. Une deuxième branche comporte deux transistors MOS, respectivement à canal P MP32 et à canal N MN32, en série avec une résistance R30 entre les lignes 2 et 3. Les grilles des transistors MP31 et MP32 sont reliées ensemble au drain du transistor MP32 (drain du transistor MN32). Les grilles des transistors MN31 et MN32 sont reliées ensemble au drain du transistor MN31 (drain du transistor MP31).

[0009] Le courant 10 circulant dans chacune des branches est égal au rapport de la différence (ΔV_{gs}) des tensions grille-source (V_{gs31} et V_{gs32}) des transistors MN31 et MN32 sur la valeur de la résistance R30 ($10 = \Delta V_{gs}/R30$).

[0010] Pour polariser les amplificateurs du type de celui de la figure 2, le courant 10 est ensuite dupliqué par des montages miroir de courant.

[0011] Par exemple, un transistor MP21 est en série avec un transistor MN21 entre les bornes 2 et 3. Le transistor MP21 est monté en miroir sur le transistor MP32 (sa grille est reliée au drain du transistor MP32) et le transistor MN21 est monté en diode (sa grille est reliée à son drain). La grille du transistor MN20 de l'amplificateur à polariser est reliée aux drains des transistors MP21 et MN21.

[0012] Le rapport k entre les surfaces respectives des transistors MN31 et MN32 fixe l'importance de la différence ΔV_{gs} , donc l'amplitude du courant 10 à résistance R donnée. Ce courant est choisi pour que le circuit de polarisation soit capable de fournir un courant suffisant à tous les amplificateurs qu'il polarise. On choisit généralement un rapport de surface k entre les transistors supérieur à l'unité (généralement compris entre 5 et 10). En figure 3, le rapport de surface k a été illustré en supposant un transistor MN31 de taille unitaire (largeur W sur longueur L de grille du transistor MN31 égale à 1) et un transistor MN32 de taille k (largeur W sur longueur L de grille du transistor MN32 égale à k). Un rapport de surface unitaire se retrouve au niveau des transistors

MP31 et MP32, montés en miroir de courant.

[0013] Un inconvénient du circuit de la figure 3 est que l'intégration de la résistance R30, le plus souvent sous la forme d'une résistance en silicium polycristallin, oblige à tenir compte de ses tolérances de fabrication dans le dimensionnement des transistors pour tenir compte du pire cas. En effet, ces tolérances (de l'ordre de 20%) ne sont pas compensées par le montage.

[0014] Un autre inconvénient du circuit de la figure 3 est que le pire cas doit également être pris en compte pour la fréquence de fonctionnement des amplificateurs (10, figure 2) polarisés par le montage. En effet, plus la fréquence maximale de la bande passante de l'amplificateur est élevée, plus il consomme, donc plus son courant I_p de polarisation doit être important. Dans l'exemple d'application aux convertisseurs analogique-numérique, cela conduit à tenir compte de la fréquence d'échantillonnage maximale du convertisseur. Par exemple, un convertisseur analogique-numérique prévu pour fonctionner avec une fréquence d'échantillonnage allant jusqu'à 100 MHz va nécessiter un générateur de courant dimensionné en conséquence, alors même que dans son montage applicatif, ce convertisseur risque de ne fonctionner qu'avec une fréquence d'échantillonnage de 10 MHz. Dans l'exemple d'application à un filtre actif, cela conduit à tenir compte de la fréquence maximale de fonctionnement du filtre.

[0015] De plus, les contraintes de pires cas de la résistance et de la fréquence maximale sont contradictoires. En effet, prévoir la résistance la pire (valeur maximale) diminue, pour un dimensionnement donné des transistors, le courant I_0 . Or, prévoir une fréquence élevée requiert d'augmenter le courant I_0 disponible.

[0016] En outre, en se référant au montage de la figure 2, la bande passante de l'amplificateur 1 est fonction du rapport de la transconductance g_{m10} de cet amplificateur sur la valeur capacitive de son impédance de sortie. En effet, un amplificateur opérationnel I_0 , dans son montage applicatif, toujours sa sortie reliée à la masse 3 (ou plus généralement à une ligne d'application de la tension d'alimentation) par une capacité (C1 en pointillés en figure 2). Or, cette capacité C1 a aussi des tolérances de fabrication. Cela conduit donc également à dimensionner le circuit de génération du courant I_0 en fonction des valeurs maximales possibles de ces capacités équivalentes de sortie. De plus, l'évolution va dans le même sens que celui lié à la résistance R30, de sorte que ces pires cas s'additionnent.

[0017] Ces dimensionnements en tenant compte des pires cas conduisent à des pertes élevées dans la plupart des applications, l'excès de courant de polarisation des amplificateurs étant dissipé dans les transistors de leurs branches respectives.

[0018] Le document US-A-2002/0180512 décrit un système pour ajuster un circuit VLSI dans lequel un réseau de capacités commutées est connecté en série avec une branche d'un miroir de courant dont une autre branche est en série avec une résistance externe. Le

rôle du circuit à capacité commutée est d'obtenir un courant fixe pour une tension de référence également fixe fournie au générateur.

[0019] Le document US-B-5 969 513 décrit l'utilisation de sources de courant à capacités commutées dans des régulateurs à commutation utilisant une tension de référence fixe et dans lesquels chaque capacité est en série avec un unique transistor.

[0020] Le document US-B-5 408 174 décrit la génération d'un courant de référence au moyen d'une capacité commutée dans lequel la fréquence de commutation conditionne la valeur de courant et qui a recours à des éléments résistifs pour fixer un potentiel de référence.

15 Résumé de l'invention

[0021] La présente invention vise à pallier tout ou partie des inconvénients des circuits connus de génération d'un courant de référence.

20 **[0022]** La présente invention vise plus particulièrement les circuits de génération d'un courant de référence ayant pour objet d'être reproduits pour polariser un ou plusieurs amplificateurs.

25 **[0023]** La présente invention vise également à proposer un circuit dont la consommation s'adapte aux besoins en courant des amplificateurs qu'il polarise.

30 **[0024]** La présente invention vise également à éviter la surconsommation due aux tolérances de fabrication de la résistance d'un circuit de génération de courant de référence.

[0025] La présente invention vise également à proposer un circuit particulièrement adapté à des applications dans lesquelles une fréquence d'horloge est disponible.

35 **[0026]** Pour atteindre tout ou partie de ces objets, la présente invention prévoit un circuit de génération d'un courant de référence, comportant, entre deux bornes d'application d'une tension d'alimentation :

au moins une première branche d'au moins un premier et d'au moins un deuxième transistors en série ;
au moins une deuxième branche d'au moins un troisième et d'au moins un quatrième transistors en série avec un circuit à capacité commutée comportant au moins un premier élément capacitif.

45 **[0027]** Selon un mode de réalisation de la présente invention, un deuxième élément capacitif est prévu aux bornes du circuit à capacité commutée.

50 **[0028]** Selon un mode de réalisation de la présente invention, ledit deuxième élément capacitif est de capacité supérieure dans un rapport d'au moins cinq, de préférence d'au moins dix, à la capacité du premier élément capacitif constitutif du circuit à capacité commutée.

55 **[0029]** Selon un mode de réalisation de la présente invention, ledit circuit à capacité commutée comporte ledit premier élément capacitif en parallèle avec un premier commutateur, le tout en en série avec un deuxième commutateur.

[0030] Selon un mode de réalisation de la présente invention, ledit premier élément capacitif est réalisé dans une même technologie qu'un élément capacitif d'une charge d'un amplificateur polarisé à partir d'une recopie du courant de référence.

[0031] Selon un mode de réalisation de la présente invention, un élément commande le circuit à capacité commutée à une fréquence fonction de l'intensité du courant de référence requis.

[0032] Selon un mode de réalisation de la présente invention, ladite fréquence correspond à la fréquence de travail d'au moins un amplificateur dont un courant de polarisation est obtenu par recopie du courant de référence.

[0033] Selon un mode de réalisation de la présente invention, les bornes de commandes des premier et troisième transistors sont reliées à l'interconnexion entre les troisième et quatrième transistors, les bornes de commande des deuxième et quatrième transistors étant reliées à l'interconnexion entre les premier et deuxième transistors.

[0034] Selon un mode de réalisation de la présente invention, les bornes de commandes des premier et troisième transistors sont reliées à l'interconnexion entre les premier et deuxième transistors, les bornes de commande des deuxième et quatrième transistors étant reliées à l'interconnexion d'un cinquième et d'un sixième transistors en série formant une troisième branche entre lesdites bornes d'alimentation, la borne de commande du cinquième transistor étant connectée à l'interconnexion entre les troisième et quatrième transistors et le sixième transistor étant monté en diode.

[0035] Selon un mode de réalisation de la présente invention, les premier et troisième transistors sont des transistors MOS d'un premier type de canal, les deuxième et quatrième transistors étant des transistors MOS d'un deuxième type de canal.

[0036] La présente invention prévoit également un amplificateur comportant une source de courant de polarisation, le courant de polarisation étant obtenu par recopie d'un courant de référence produit par un circuit de génération d'un tel courant.

[0037] La présente invention prévoit également un convertisseur analogique-numérique comportant au moins un tel amplificateur.

Brève description des dessins

[0038] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 qui a été décrite précédemment représentée, de façon très schématique et sous forme de bloc, un convertisseur analogique-numérique à entrées différentielles du type auquel s'applique plus parti-

culièrement la présente invention ;
la figure 2 qui a été décrite précédemment représentée, de façon très schématique, un exemple d'amplificateur opérationnel du type auquel s'applique la

5 présente invention ;
la figure 3 qui a été décrite précédemment représentée un exemple classique de circuit de génération d'un courant de référence compensé en température et en tolérances de fabrication de transistors MOS ;

10 la figure 4 représente un premier mode de réalisation d'un circuit de génération d'un courant de référence selon la présente invention ; et

15 la figure 5 représente un deuxième mode de réalisation d'un circuit de génération d'un courant de référence selon la présente invention.

[0039] Les mêmes éléments sont désignés par de mêmes références aux différentes figures. Pour des raisons de clarté, seuls les éléments qui sont nécessaires à la compréhension de l'invention ont été représentés aux figures et seront décrites par la suite. En particulier, les circuits polarisés par réplification (avec ou sans facteur multiplicatif) d'un courant généré par le circuit de l'invention (par exemple, les amplificateurs opérationnels d'un convertisseur analogique-numérique) n'ont pas été détaillés, l'invention n'engendrant aucune modification des circuits connectés en aval du circuit de génération d'un courant de référence.

30 Description détaillée

[0040] La figure 4 représente un circuit 40 de génération d'un courant de référence selon un premier mode de réalisation de la présente invention.

35 **[0041]** Le circuit 40 produit un courant I_r destiné à être recopié par des montages miroir de courant pour polariser, par exemple, des étages différentiels d'amplificateurs à transconductance du type de celui décrit en relation avec la figure 2. L'invention sera décrite en relation avec un tel exemple d'amplificateur mais on notera qu'elle s'applique plus généralement à la génération d'un courant de référence et que l'application à des fins de polarisation d'un amplificateur quelconque, opérationnel ou non, différentiel ou non, etc. constitue une application préférée.

45 **[0042]** Le circuit 40 comporte deux branches parallèles entre deux bornes 2 et 3 d'application d'une tension continue V_{dd} d'alimentation. Une première branche comporte deux transistors MOS, respectivement à canal P MP41 et à canal N MN41, en série entre les bornes 2 et 3. Selon ce mode de réalisation de l'invention, une deuxième branche comporte deux transistors MOS, respectivement à canal P MP42 et à canal N MN42, en série avec un circuit 43 à capacité commutée entre les bornes 2 et 3. Le circuit 43 remplace la résistance R30 du montage de la figure 3. Les grilles des transistors MP41 et MP42 sont reliées ensemble au drain du transistor MP42 (drain du transistor MN42). Les grilles des transistors

MN41 et MN42 sont reliées ensemble au drain du transistor MN41 (drain du transistor MP41).

[0043] Le circuit 43 est, par exemple, constitué d'un premier élément capacitif Cs (par exemple, un condensateur) en parallèle avec un premier commutateur K1 et en série avec un deuxième commutateur K2 entre la source 44 du transistor MN42 et la borne d'alimentation 3 (la masse). Les interrupteurs K1 et K2 sont commandés par un circuit 45 en inverse (inverseur 46) et alternativement à une fréquence f_c que reçoit le circuit 45 et qui dépend de l'amplitude du courant I_r requis, donc des courants de polarisation I_p des amplificateurs connectés au circuit 40. Pendant chaque demi période de la fréquence de commande f_c , l'interrupteur K2 est fermé (interrupteur K1 ouvert) et le condensateur Cs se charge. Pendant l'autre demi période, l'interrupteur K1 est fermé (interrupteur K2 ouvert) et le condensateur Cs se décharge. En pratique, le circuit 45 décale temporellement les instants d'ouverture et de fermeture pour éviter une conduction simultanée des interrupteurs K1 et K2.

[0044] Dans le montage de la figure 4, un deuxième élément capacitif Ct (par exemple un condensateur) relie directement la source 44 du transistor MN42 à la borne 3. Le rôle de ce condensateur Ct est de stabiliser le potentiel de la borne 44 de sorte que le circuit 43 puisse être assimilé à un élément résistif de valeur $R' = 1/(Ct * f_c)$. Par conséquent, la capacité du condensateur Ct est choisie pour être nettement supérieure (rapport d'au moins 5, de préférence, d'au moins 10) à celle du condensateur Cs.

[0045] Le circuit 40 maintient alors sensiblement constant le produit de son gain en transconductance gm_{40} par la résistance équivalente du circuit 43. Le courant I_r circulant dans chacune des branches est égal au rapport de la différence (ΔV_{gs}) des tensions grille-source (V_{gs41} et V_{gs42}) des transistors MN41 et MN42 sur la valeur (courante) de la résistance équivalente R' du circuit 45 ($I_r = \Delta V_{gs} * Ct * f_c$).

[0046] Le rapport k' entre les surfaces respectives des transistors des deux branches fixe l'importance de la différence ΔV_{gs} , donc l'amplitude du courant I_r à résistance R' donnée. Comme précédemment, ce courant est choisi pour que le circuit de polarisation 40 soit capable de fournir un courant suffisant à tous les amplificateurs qu'il polarise. Un rapport k' compris entre 5 et 10 convient dans la plupart des cas. En figure 4, le rapport de surface k' a été illustré en supposant un transistor MN41 de taille unitaire (largeur W sur longueur L de grille égale à 1) et un transistor MN42 de taille k' (largeur W sur longueur L de grille égale à k'). Toutefois, comme la résistance R' peut ici être adaptée à la fréquence de fonctionnement des amplificateurs (donc au courant de polarisation qu'ils requièrent), le courant I_r s'adapte aux besoins en courant des amplificateurs polarisés et n'engendre donc pas de consommation inutile.

[0047] En reprenant l'exemple de l'amplificateur de la figure 2 où la fréquence maximale de la bande passante est fonction du rapport gm_{10}/C_i , l'invention permet de

maintenir constant le rapport $gm_{10}/(C_i * f_c)$. En effet, il suffit que la fréquence de commutation f_c de la capacité C_s soit adaptée à la fréquence de travail de l'amplificateur 10 pour que les gains en transconductances gm_{10} et gm_{40} évoluent dans le même sens.

[0048] De préférence, le condensateur C_s est de même nature (même technologie) que le ou les condensateurs (C_i , figure 2) formant les charges des amplificateurs polarisés. Cela permet de rendre la génération du courant de référence compensé en tolérances de fabrication des condensateurs.

[0049] Un avantage de la présente invention est que la consommation du circuit de génération de courant de référence est auto adaptable à l'énergie requise pour polariser les montages en aval.

[0050] Un autre avantage de la présente invention est que le circuit reste compensé en température (courant fonction du ΔV_{gs}) et en tolérances de fabrication des transistors.

[0051] Un autre avantage de la présente invention est qu'elle s'affranchit du problème de tolérances de fabrication d'une résistance.

[0052] Un autre avantage de l'invention est que, quelle que soit la fréquence de travail de l'amplificateur ou des amplificateurs (par exemple d'un convertisseur analogique-numérique), le générateur adapte sa consommation au courant appelé.

[0053] L'obtention de la fréquence de travail des amplificateurs à polariser est particulièrement aisée dans des applications utilisant une fréquence d'horloge. C'est notamment le cas des convertisseurs analogique-numérique pour lesquels il suffit de commuter la capacité C_s du circuit 43 à la fréquence d'échantillonnage pour obtenir l'effet recherché.

[0054] Dans des applications où différents amplificateurs travaillent à des fréquences différentes, on peut soit individualiser les circuits de génération de courant de référence, soit tenir compte de la fréquence la plus élevée. Même dans ce cas, la consommation est moindre qu'avec un générateur classique.

[0055] Selon une variante de réalisation, l'élément capacitif C_s (et/ou l'élément C_t) est constitué d'un composant actif, par exemple une diode dont l'anode est connectée à la borne 3. Un avantage est que, pour une valeur donnée de capacité, l'encombrement est moindre.

[0056] La figure 5 représente un deuxième mode de réalisation d'un circuit 50 de génération d'un courant de référence selon l'invention.

[0057] On retrouve une première branche de deux transistors MP51 à canal P et MN51 à canal N en série entre les bornes 2 et 3, et une deuxième branche de deux transistors MP52 à canal P et MN52 à canal N en série avec un circuit 43 à capacité commutée, un condensateur C_t étant en parallèle avec le circuit 43. Pour simplifier, le circuit 45 de commande n'a pas été illustré en figure 5.

[0058] Par rapport au montage de la figure 4, les grilles des transistors MP51 et MP52 sont connectées au drain

du transistor MN51 et les grilles des transistors MN51 et MN52 sont reliées au point milieu de deux transistors MP53 à canal P et MN53 à canal N en série entre les lignes 2 et 3, formant une troisième branche. La grille du transistor MN53 est reliée aux grilles des transistors MN51 et MN52. La grille du transistor MP53 est reliée à l'interconnexion entre les transistors MP52 et MN52. De préférence, un élément capacitif supplémentaire C' relie la borne 2 à la grille du transistor MP53 afin de stabiliser le potentiel de cette grille.

[0059] Dans le mode de réalisation de la figure 5, en supposant le transistor MP52 de taille unitaire, le transistor MP51 a une taille k_1 supérieure et le transistor MP53 a une taille quelconque. Les transistors MN51 et MN52 ont des tailles identiques supposées unitaires. Le transistor MN53 a une taille k_3 supérieure ou égale à l'unité. Bien entendu, ce qui importe, ce sont les rapports de surface entre transistors de même type et la notion de taille unitaire est arbitraire et différente selon le type de canal.

[0060] Ce mode de réalisation permet de s'affranchir d'une éventuelle contrainte sur les tailles de condensateurs Cs et Ct. En effet, dans le montage de la figure 4, plus la capacité Cs est faible, plus le courant Ir maximal est petit. Or, plus le courant Ir doit être amplifié par la recopie pour générer les courants de polarisation, plus cette recopie va générer une incertitude importante. Mais, plus la capacité Cs est importante, plus la capacité Ct soit être importante et on peut se trouver confronter à des problèmes d'intégration de ces capacités.

[0061] Le mode de réalisation de la figure 5 permet de rendre la différence des tensions grille-source des transistors MN51 et MN52 fonction du rapport k_1 des courants circulant dans les deux premières branches. Au prix d'une légère augmentation de la surface occupée par les transistors, on peut alors réduire la taille des capacités Cs et Ct. Le rôle de la troisième branche est de recopier, pour servir de base à une recopie ultérieure pour les courants de polarisation, le courant $k_1 \cdot I$ de la première branche, ce qui permet de conserver un courant I relativement faible dans la deuxième branche, donc dans les capacités. Le courant dans la troisième branche est égal à $k \cdot I$, avec $k = k_1 \cdot k_3$.

[0062] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, la transposition du circuit décrit à un montage dual en remplaçant les transistors à canal N par des transistors à canal P et inversement, est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus.

[0063] De plus, bien que l'invention ait été décrite en relation avec des transistors MOS, elle s'applique plus généralement à tout transistor permettant d'obtenir un gain en transconductance proportionnel au courant dans les branches. Par exemple, les transistors MOS à canal P peuvent être remplacés par des transistors bipolaires de type NPN et/ou les transistor à canal N peuvent être remplacés par des transistors bipolaires de type PNP

dans une technologie bipolaire ou BiCMOS. L'adaptation du circuit de commande est à la portée de l'homme du métier.

[0064] En outre, les différentes branches du circuit pourront être remplacées par des montages cascade de transistors pour augmenter l'impédance de sortie, donc la précision de la recopie de courant.

[0065] Enfin, les dimensions respectives à donner aux différents transistors en fonction de l'application et la réalisation pratique d'un circuit de commande adapté sont également à la portée de l'homme de l'art. Par exemple, les commutateurs K1 et K2 seront des transistors de même nature que les autres transistors du montage.

Revendications

1. Circuit (40, 50) de génération d'un courant de référence ($I_r, k \cdot I$), **caractérisé en ce qu'il** comporte, entre deux bornes (2, 3) d'application d'une tension d'alimentation :

au moins une première branche d'au moins un premier (MP41, MP51) et d'au moins un deuxième transistors (MN41, MN51) en série, dépourvue d'élément résistif ;

au moins une deuxième branche d'au moins un troisième (MP42, MP52) et d'au moins un quatrième (MN42, MN52) transistors dépourvue d'élément résistif et en série avec un circuit (43) à capacité commutée comportant au moins un premier élément capacitif (Cf).

2. Circuit selon la revendication 1, comportant un deuxième élément capacitif (Ct) aux bornes du circuit (43) à capacité commutée.

3. Circuit selon la revendication 2, dans lequel ledit deuxième élément capacitif (Ct) est de capacité supérieure dans un rapport d'au moins cinq, de préférence d'au moins dix, à la capacité du premier élément capacitif (Cs) constitutif du circuit à capacité commutée (43).

4. Circuit selon l'une quelconque des revendications 1 à 3, dans lequel ledit circuit (43) à capacité commutée comporte ledit premier élément capacitif (Cs) en parallèle avec un premier commutateur (K1), le tout en série avec un deuxième commutateur (K2).

5. Circuit selon la revendication 4, dans lequel ledit premier élément capacitif (Cs) est réalisé dans une même technologie qu'un élément capacitif (Ci) d'une charge d'un amplificateur (10) polarisé à partir d'une recopie du courant de référence ($I_r, k \cdot I$).

6. Circuit selon l'une quelconque des revendications 1 à 5, comprenant un élément (45) de commande du

circuit (43) à capacité commutée à une fréquence (fc) fonction de l'intensité du courant de référence (Ir, k'I) requis.

7. Circuit selon la revendication 6, dans lequel ladite fréquence (fc) correspond à la fréquence de travail d'au moins un amplificateur (10) dont un courant de polarisation (Ip) est obtenu par recopie du courant de référence (Ir, k'I). 5
10
8. Circuit selon l'une quelconque des revendications 1 à 7, dans lequel les bornes de commandes des premier (MP41) et troisième (MP42) transistors sont reliées à l'interconnexion entre les troisième et quatrième (MN42) transistors, les bornes de commande des deuxième et quatrième (MN42) transistors étant reliées à l'interconnexion entre les premier et deuxième transistors. 15
9. Circuit selon l'une quelconque des revendications 1 à 7, dans lequel les bornes de commandes des premier (MP51) et troisième (MP52) transistors sont reliées à l'interconnexion entre les premier et deuxième (MN51) transistors, les bornes de commande des deuxième et quatrième (MN52) transistors étant reliées à l'interconnexion d'un cinquième (MP53) et d'un sixième transistors (MN53) en série formant une troisième branche entre lesdites bornes d'alimentation (2, 3), la borne de commande du cinquième transistor étant connectée à l'interconnexion entre les troisième et quatrième transistors et le sixième transistor étant monté en diode. 20
25
30
10. Circuit selon l'une quelconque des revendications 1 à 9, dans lequel les premier (MP41, MP51) et troisième (MP42, MP52) transistors sont des transistors MOS d'un premier type de canal, les deuxième (MN41, MN51) et quatrième (MN42, MN52) transistors étant des transistors MOS d'une deuxième type de canal. 35
40
11. Amplificateur (10) comportant une source de courant (20) de polarisation, **caractérisé en ce que** le courant de polarisation (Ip) est obtenu par recopie d'un courant de référence (Ir, k'I) produit par un circuit (40, 50) selon l'une quelconque des revendications 1 à 10. 45
12. Convertisseur analogique-numérique (1), **caractérisé en ce qu'**il comporte au moins un amplificateur (10) selon la revendication 11. 50

55

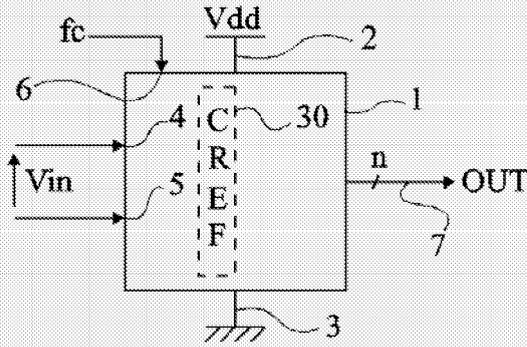


Fig 1

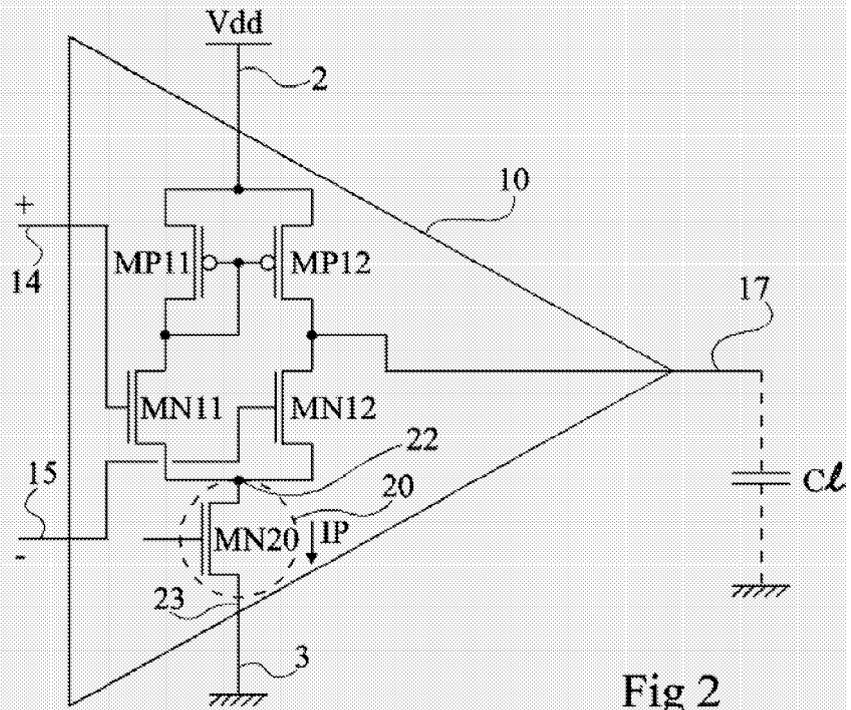


Fig 2

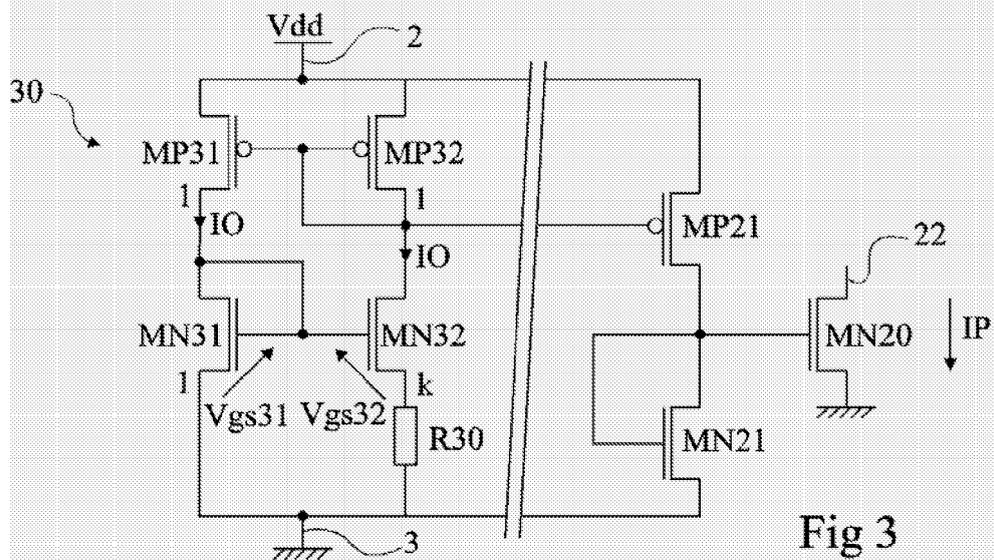


Fig 3

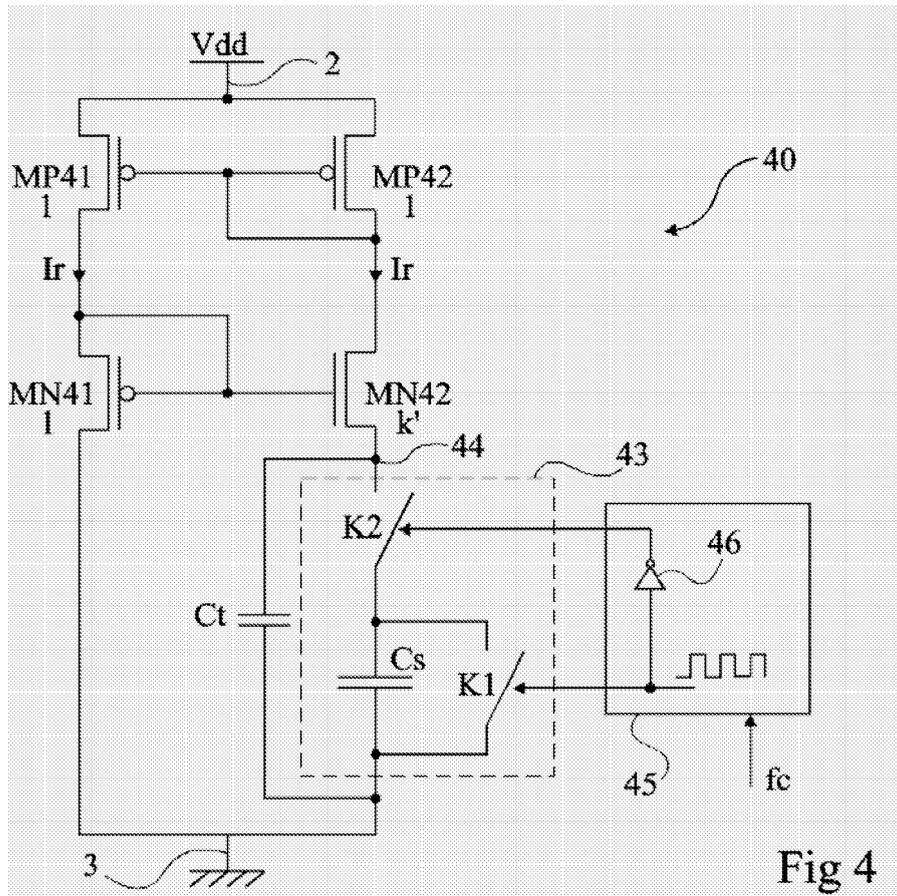


Fig 4

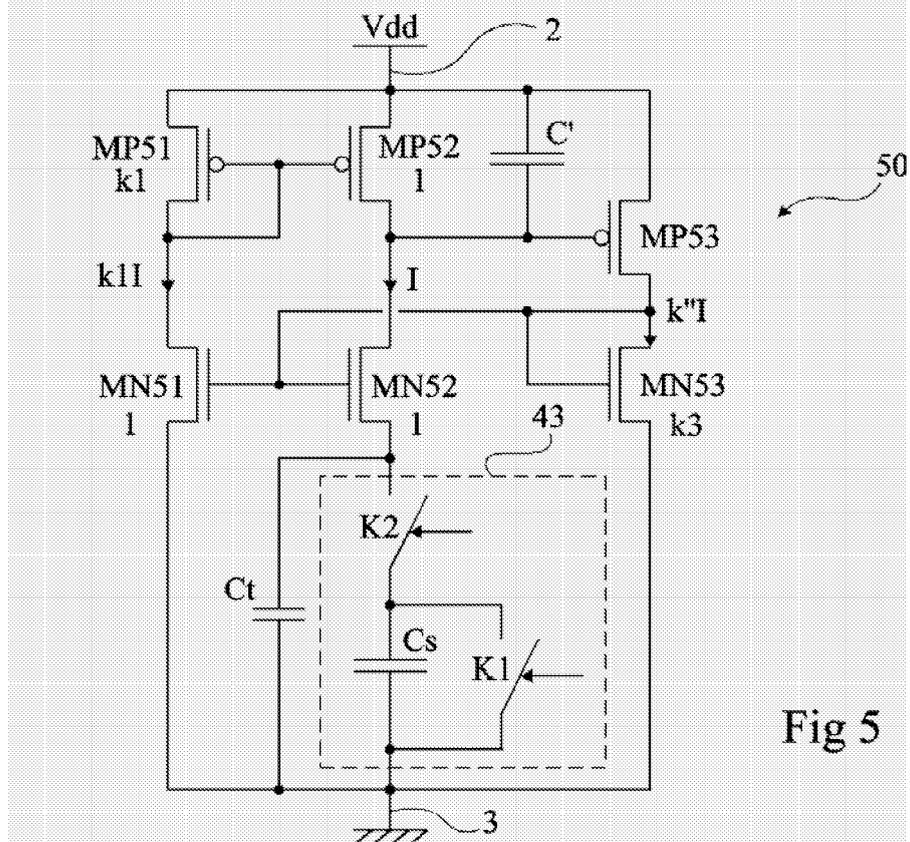


Fig 5

RÉFÉRENCES CITÉES DANS LA DESCRIPTION

Cette liste de références citées par le demandeur vise uniquement à aider le lecteur et ne fait pas partie du document de brevet européen. Même si le plus grand soin a été accordé à sa conception, des erreurs ou des omissions ne peuvent être exclues et l'OEB décline toute responsabilité à cet égard.

Documents brevets cités dans la description

- US 20020180512 A [0018]
- US 5969513 B [0019]
- US 5408174 B [0020]