



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
05.12.2007 Bulletin 2007/49

(51) Int Cl.:
G09G 3/288 (2006.01)

(21) Numéro de dépôt: **07109004.7**

(22) Date de dépôt: **25.05.2007**

(84) Etats contractants désignés:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IS IT LI LT LU LV MC MT NL PL PT RO SE SI SK TR
Etats d'extension désignés:
AL BA HR MK YU

(72) Inventeurs:
• **Bourgoin, Jérôme**
38600 FONTAINE (FR)
• **Troussel, Gilles**
38000 GRENOBLE (FR)

(30) Priorité: **29.05.2006 FR 0651941**

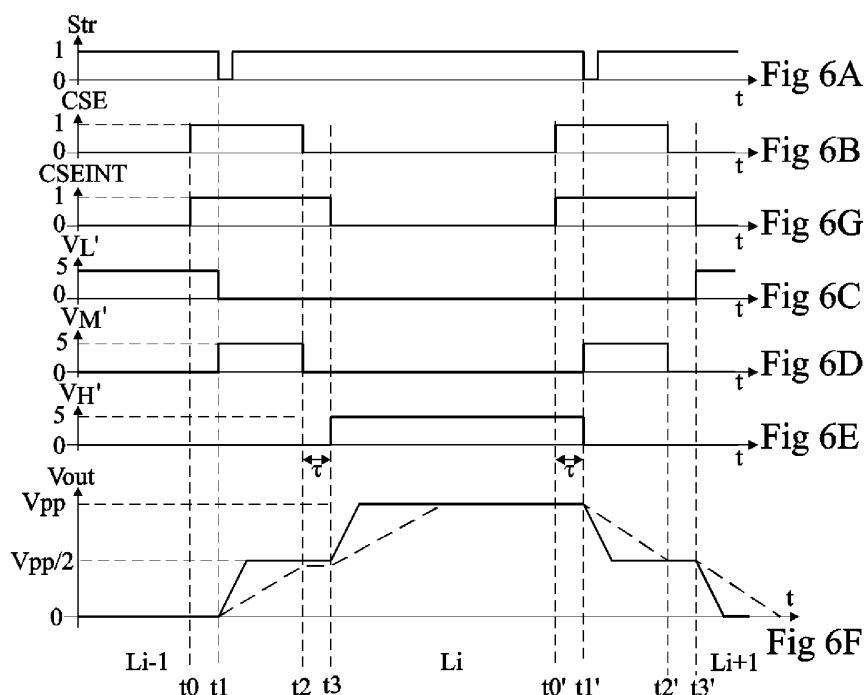
(74) Mandataire: **de Beaumont, Michel**
1bis, rue Champollion
38000 Grenoble (FR)

(71) Demandeur: **ST MICROELECTRONICS S.A.**
92120 Montrouge (FR)

(54) **Commande d'un écran plasma**

(57) L'invention concerne la commande d'un écran à plasma, comportant successivement, au moins pour toutes les cellules d'une ligne courante devant changer d'état pour la ligne suivante : une connexion (t_1) d'une borne d'application d'un potentiel intermédiaire d'alimentation ($V_{pp}/2$) à des bornes de sortie d'étages de commande de colonnes correspondant aux points milieux d'associations en série de premiers et de deuxième interrupteurs entre deux bornes d'application d'une tension

d'alimentation (V_{pp}), pour effectuer une précharge ou une prédécharge des cellules de l'écran ; une déconnexion (t_2) desdites bornes de sortie de ce potentiel intermédiaire ; et une connexion (t_3) de chaque borne de sortie à un premier ou un second potentiel d'alimentation par la fermeture du premier ou second interrupteur de l'étage correspondant, en fonction d'une consigne de luminance, retardée (τ) par rapport à la déconnexion de la borne de sortie correspondante de la borne d'application du potentiel intermédiaire.



Description

Domaine de l'invention

[0001] La présente invention concerne de façon générale les écrans plasma et, plus particulièrement, la commande d'un étage de puissance d'un écran plasma.

Exposé de l'art antérieur

[0002] Un écran plasma est constitué d'un réseau matriciel de cellules disposées à l'intersection de lignes et de colonnes. Chaque cellule de l'écran comprend une cavité remplie d'un gaz et au moins deux électrodes de commande. Pour créer un point lumineux sur l'écran en utilisant une cellule donnée, on applique une différence de potentiel entre ses électrodes de commande, le gaz contenu dans la cellule étant ensuite ionisé généralement au moyen d'une troisième électrode. Cette ionisation s'accompagne d'une émission de rayons ultraviolets, la création du point lumineux étant obtenue par excitation d'un matériau luminescent rouge, vert ou bleu par ces rayons.

[0003] La figure 1 représente, de façon très schématique et sous forme de blocs, un exemple classique d'écran plasma formé d'un réseau de cellules représentées en figure 1 par leurs capacités équivalentes 2. Chaque cellule comporte deux électrodes respectivement connectées à une ligne 4 et une colonne 6. Un circuit 8 (SCAN) de commande de lignes comporte, pour chaque ligne 4, un circuit d'activation/désactivation ayant une sortie connectée à la ligne considérée. Un circuit 12 de commande de colonnes comporte un élément 16 (DATA) de parallélisation (généralement de type registre à décalage) de données d'adressage reçues en série (signal COL) et, pour chaque colonne 6, un circuit ou étage 14 de commande ayant une sortie O connectée à la colonne 6 considérée et recevant, sur des bornes d'entrée E, des signaux de consigne générés à partir des données de luminance. Les éléments 14 et 16 sont généralement intégrés dans un même circuit 12. Un circuit général 10 (CTRL) de commande de l'écran synchronise le fonctionnement des circuits 8 et 12.

[0004] Les cellules de l'écran sont activées dans un balayage ligne au moyen du circuit 8. Les lignes non activées sont soumises à un potentiel de repos (généralement supérieur à 100 volts), tandis que la ligne activée est portée à un potentiel d'activation (généralement de 0 volt). Le potentiel de repos d'une colonne correspond à la masse. Pour activer des cellules d'après les données fournies par le circuit 16 sur la ligne activée, les colonnes correspondantes sont portées à un potentiel d'activation V_{pp} généralement de l'ordre de 70 volts pendant une période donnée.

[0005] La différence de potentiel entre une ligne et une colonne activées (de l'ordre de 70 volts) permet d'allumer les cellules sélectionnées. La troisième électrode (non représentée en figure 1), dite de soutien, permet d'ajuster

la luminance des cellules sélectionnées (effet mémoire).

[0006] La figure 2 illustre, par une représentation très schématique et partielle de trois étages de commande 14_{i-1} , 14_i et 14_{i+1} de colonnes C_{i-1} , C_i et C_{i+1} , un exemple classique de précharge ou prédécharge de cellules d'un écran plasma du type de celui représenté en figure 1. Le rôle est de limiter la consommation de l'écran pour porter les électrodes respectives des colonnes au potentiel d'activation. Par exemple, on utilise un condensateur externe de capacité supérieure à la capacité équivalente totale du panneau pour stocker de l'énergie lors de la décharge d'une ligne qui vient d'être adressée et préparer la charge de la ligne suivante. Chaque borne de sortie O d'un circuit 14 est reliée au point milieu d'une association en série de deux interrupteurs P1 et N1 en série entre deux bornes d'application de la tension d'activation V_{pp} . Des interrupteurs K relient les bornes O à une borne 24 qui est à un potentiel $V_{pp}/2$ (par exemple, la première électrode du condensateur dont l'autre électrode est à la masse). La commande des interrupteurs P1, N1 et K de chaque étage est organisée pour, entre chaque ligne L_j , permettre de récupérer des charges des colonnes à décharger (cellules à éteindre) au profit de colonnes à charger (cellules à allumer). On parle alors de partage de charges. Le potentiel $V_{pp}/2$ de la borne 24 peut également être obtenu par une source de tension interne ou externe ou tout autre moyen. En figure 2, les capacités équivalentes cumulées des cellules des colonnes C_{i-1} , C_i et C_{i+1} ont été représentées par des capacités $\{2\}_{i-1}$, $\{2\}_i$ et $\{2\}_{i+1}$ en pointillés.

[0007] La figure 3 représente le schéma électrique d'un circuit 14 de commande d'une colonne (représentée par sa capacité équivalente $\{2\}$ en pointillés). Les interrupteurs P1 et N1 formé de transistors MOS respectivement à canal P et N, en série entre deux bornes 20 et 22 d'application de la tension V_{pp} , sont chacun en parallèle avec une diode D16 ou D18 (par exemple, leurs diodes parasites respectives). L'anode de la diode D16 est reliée au drain du transistor P1 (borne de sortie O de l'étage), la source du transistor P1 étant reliée à la borne 20. L'anode de la diode D18 est reliée à la masse 22, la source du transistor N1 étant également reliée à la masse 22 et son drain étant relié à la borne O. L'interrupteur bidirectionnel K est formé de deux transistors MOS à canal N N2 et N3 en série et à source commune entre la borne 24 au potentiel $V_{pp}/2$ et la borne O. Deux diodes D26 et D28 correspondant par exemple aux diodes parasites des transistors N2 et N3 ont leurs anodes respectives connectées au point milieu 30 de l'interrupteur K. Les grilles des transistors N2 et N3 sont connectées ensemble au drain d'un transistor MOS à canal P P2, monté en miroir sur un transistor MOS à canal P P3. Le transistor P3 est en série avec un transistor de commande N4 et une source de courant 34 entre la borne 20 et la masse 22.

[0008] La commande du circuit 14 s'effectue au moyen de trois signaux V_H , V_L et V_M . Un circuit décaleur de niveau 36 (LS), commandé par le signal V_H référencé à

la masse, est intercalé entre la borne 20 et la grille du transistor P1. Le signal V_L est appliqué directement à la grille du transistor N1 tandis que le signal V_M est appliqué à celle du transistor N4. Le rôle des signaux V_L , V_H et V_M est de commander le circuit 14 pour organiser la précharge et prédécharge des cellules adressées entre les périodes d'affichage proprement dites.

[0009] La figure 4 représente, de façon très schématique et sous forme de blocs, un amplificateur 14 et partiellement le circuit de commande de colonne 16, pour illustrer les différents signaux reçus par ces circuits. Le circuit 16 reçoit, du circuit 10, un signal CSE (Charge Sharing Enable) de commande de la précharge ou prédécharge et un signal de synchronisation Str. Le signal CSE est actif à l'état 1 tandis que le signal Str indique, par des impulsions à la masse, les instants de passage des données de colonne du registre à décalage du circuit 16 aux circuits 14 pour génération des signaux Out.

[0010] Les figures 5A, 5B, 5C, 5D, 5E et 5F illustrent par des chronogrammes le fonctionnement de l'amplificateur 14 des figures 3 et 4 pour l'allumage (signal DATA à 1) d'une cellule à l'intersection d'une ligne L_j et de la colonne considérée C_i . Aux figures 5, les lignes précédente L_{j-1} et suivante L_{j+1} sont supposées ne pas devoir être allumées pour la colonne courante (signal DATA à 0).

[0011] Les signaux V_L (figure 5C), V_M (figure 5D) et V_H (figure 5E) sont générés par le circuit 16 à partir des signaux Str (figure 5A) et CSE (figure 5B) en tenant compte des données à afficher des colonnes précédentes. Un exemple de circuit de génération des signaux V_L , V_M et V_H est décrit dans la demande de brevet américain n° 2003/0107327.

[0012] Le rôle des signaux V_L , V_M et V_H est de commander l'amplificateur 14 pour obtenir une précharge au niveau $V_{pp}/2$ de la colonne concernée (tension V_{out} , figure 5F) avant de compléter cette charge par le transistor P1. A l'inverse, en fin d'adressage de la colonne, ces signaux servent à organiser la décharge de la cellule vers la borne 24 avant de terminer cette décharge par le transistor N1.

[0013] En supposant que la donnée de la ligne précédente L_{i-1} est 0, les signaux V_M et V_H sont à l'état bas jusqu'à l'instant t_1 de l'impulsion du signal Str, de sorte que les transistors P1 et N4 sont bloqués tandis que le transistor N1 est passant. A un instant t_0 , précédant l'instant t_1 vers la fin d'adressage de la ligne L_{i-1} , le signal CSE est commuté vers l'état 1 pour activer le système de transfert de charge. A l'instant t_1 où le signal Str commute à l'état bas pour transférer les données du registre à décalage vers les circuits 14, le signal V_L commute à l'état bas pour bloquer le transistor N1 tandis que le signal V_M passe à l'état haut pour rendre passant le transistor N4. Comme la borne O est à l'état bas, il en découle une mise en conduction du transistor N2 et une précharge (figure 5F) du point O environ jusqu'au niveau $V_{pp}/2$ par l'intermédiaire du transistor N2 et de la diode D28 alors polarisée en direct. Avec un condensateur fournissant le

niveau $V_{pp}/2$, la croissance de la tension V_{out} dure en fait jusqu'à l'équilibre des charges entre ce condensateur et les capacités équivalentes des cellules de l'écran adressées. A un instant t_2 , le signal CSE revient à l'état bas, ce qui provoque un passage à l'état bas du transistor du signal V_M et un passage à l'état haut du signal V_H . Il s'ensuit une ouverture du transistor N4, d'où une ouverture du transistor N2 et de l'interrupteur K, et une fermeture du transistor P1 pour compléter la charge des cellules de la colonne adressée jusqu'au niveau V_{pp} . Peu avant la fin de l'adressage de la ligne courante L_i (instant t_0'), le signal CSE rebascule vers l'état haut indiquant une activation du circuit de précharge ou prédécharge. A un instant t_1' qui suit, l'impulsion sur le signal Str provoque le passage à l'état haut du signal V_M comme à l'instant t_1 et en raison du niveau de données 0 souhaité pour la ligne suivante L_{i+1} , le signal V_H bascule à l'état bas tandis que le signal V_L y reste. Il s'ensuit une décharge des cellules chargées au niveau V_{pp} pendant la période précédente jusqu'à atteindre le niveau $V_{pp}/2$. Comme pour la période précédente, lorsque le signal CSE repasse à l'état bas (instant t_2'), cela provoque la poursuite de la décharge à 0 par le passage à l'état haut du signal V_L et l'extinction du transistor N4 (passage à l'état bas du signal V_M).

[0014] Pour le cas où une ligne suivante dans l'ordre de balayage ait à conserver le même niveau, la prédécharge (instants t_1' à t_2') ne se produit pas.

[0015] Par rapport à des solutions encore antérieures basées sur l'utilisation d'un transistor PMOS pour constituer l'interrupteur K, le recours à deux transistors DMOS N2 et N3 gagne de la place, un interrupteur K devant être prévu pour chaque colonne.

[0016] Toutefois, un inconvénient du circuit de la figure 3 est une consommation statique lors de la fermeture de l'interrupteur K.

[0017] Un autre inconvénient est un risque de conduction simultanée des transistors N2 et N3 et du transistor P1 à l'instant t_2 , provoquant un court circuit entre la ligne d'alimentation 20 au niveau V_{pp} et la borne 24 au niveau $V_{pp}/2$. Le même problème se produit à l'instant t_2' avec la masse.

[0018] Le risque de conduction simultanée est en partie lié aux capacités parasites des grilles des transistors N2 et N3 qui, ajoutées à la capacité parasite de drain du transistor P1, engendrent un retard à la commutation. Le risque de conduction simultanée provient également du temps de recouvrement des diodes D26 ou D28 en fonction de la polarité initiale de la cellule.

[0019] Une contrainte supplémentaire dans les écrans du type auquel s'applique la présente invention est qu'il n'est pas souhaitable de multiplier le nombre de signaux d'entrée des circuits de commande de colonnes qui sont en pratique réalisés en circuit intégré. Ce souhait est entre autres motivé par un besoin de compatibilité du circuit de commande de colonnes avec le reste des circuits.

Résumé de l'invention

[0020] La présente invention vise à palier tout ou partie des inconvénients des circuits connus de commande d'étages de puissance de circuits de colonnes d'un écran à plasma.

[0021] L'invention vise plus particulièrement les problèmes de conduction simultanée de transistors de précharge des cellules d'un tel écran avec l'un des transistors de fourniture du potentiel de polarisation à la cellule concernée.

[0022] L'invention vise également une solution ne nécessitant aucune borne supplémentaire au circuit de commande de colonnes.

[0023] Pour atteindre tout ou partie de ces objets ainsi que d'autres, la présente invention prévoit un procédé de commande d'un écran à plasma, comportant successivement, au moins pour toutes les cellules d'une ligne courante devant changer d'état pour la ligne suivante :

une connexion d'une borne d'application d'un potentiel intermédiaire d'alimentation à des bornes de sortie d'étages de commande de colonnes correspondant aux points milieux d'associations en série de premiers et de deuxièmes interrupteurs entre deux bornes d'application d'une tension d'alimentation, pour effectuer une précharge ou une prédécharge des cellules de l'écran ;

une déconnexion desdites bornes de sortie de ce potentiel intermédiaire ; et

une connexion de chaque borne de sortie à un premier ou un second potentiel d'alimentation par la fermeture du premier ou second interrupteur de l'étage correspondant, en fonction d'une consigne d'adressage, retardée par rapport à la déconnexion de la borne de sortie correspondante de la borne d'application du potentiel intermédiaire.

[0024] Selon un mode de mise en oeuvre de la présente invention, le retard est obtenu par une cellule résistive et capacitive de décalage d'un front de désactivation d'un signal d'activation de la précharge ou prédécharge.

[0025] Selon un mode de mise en oeuvre de la présente invention, ledit retard est choisi en fonction du temps de recouvrement de diodes parasites de transistors MOS à canal N formant un interrupteur de connexion dudit potentiel intermédiaire aux bornes de sortie.

[0026] Selon un mode de mise en oeuvre de la présente invention, un signal interne est généré à partir du signal d'activation de la précharge ou prédécharge.

[0027] Selon un mode de mise en oeuvre de la présente invention, ledit signal interne est utilisé pour générer des signaux d'activation et de réinitialisation de bascules placées en sortie d'un circuit de génération de signaux de commande desdits interrupteurs d'étages de commande de colonne.

[0028] La présente invention prévoit également un cir-

cuit de commande d'une colonne d'un écran plasma.

[0029] L'invention prévoit également un écran plasma.

Brève description des dessins

[0030] Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de mise en oeuvre et de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 décrite précédemment représente, de façon très schématique et sous forme de blocs, un exemple d'architecture d'un écran à plasma du type auquel s'applique la présente invention ;

la figure 2 décrite précédemment représente un exemple d'architecture classique de circuits de précharge et prédécharge du type auquel s'applique la présente invention ;

la figure 3 décrite précédemment représente le schéma électrique d'un circuit de commande d'une colonne d'écran à plasma classique ;

La figure 4 décrite précédemment illustre les signaux reçus par un circuit de commande de colonne classique ;

les figures 5A, 5B, 5C, 5D, 5E et 5F illustrent par des chronogrammes un exemple de fonctionnement du circuit des figures 3 et 4 ;

les figures 6A, 6B, 6C, 6D, 6E, 6F et 6G illustrent par des chronogrammes un mode de mise en oeuvre du procédé de commande selon la présente invention ;

la figure 7 représente un exemple de circuit d'obtention d'un signal interne exploité par le procédé de l'invention ;

la figure 8 représente, de façon très schématique et sous forme de blocs, un mode de réalisation d'un circuit de génération de signaux exploités par le procédé de l'invention ;

les figures 9A, 9B, 9C, 9D et 9E illustrent un exemple d'allure de signaux internes au circuit de la figure 8 ; et

la figure 10 représente un mode de réalisation d'un détail du circuit de la figure 8.

[0031] De mêmes éléments ont été désignés par les mêmes références aux différentes figures qui ont été tracées sans respect d'échelle. Par souci de clarté, seuls les étapes et éléments qui sont utiles à la compréhension de l'invention ont été représentés et seront écrits. En particulier, la génération des consignes de luminance et la génération des signaux de commande du balayage n'ont pas été représentées, l'invention étant compatible avec tout circuit classique générant de tels signaux.

Description détaillée

[0032] Une caractéristique d'un mode de mise en

oeuvre de la présente invention est de décaler la commutation des transistors apportant un complément de charge ou de décharge des cellules de l'écran par rapport à l'ouverture de l'interrupteur de commande de précharge ou de décharge.

[0033] Une autre caractéristique d'un mode de mise en oeuvre de la présente invention est de prévoir une génération de signaux de commande internes au circuit de commande de colonne, c'est-à-dire basée exclusivement sur les signaux de mise à disposition de données et d'activation de l'étage de précharge et prédécharge.

[0034] La présente invention exploite l'architecture classique des circuits de commande de colonne telle que décrite précédemment en relation avec les figures 1, 2 et 3. Pour simplifier, l'invention sera décrite par la suite en relation avec les éléments et références de ces figures qui ne seront pas décrites de nouveau.

[0035] Les figures 6A, 6B, 6C, 6D, 6E, 6F et 6G illustrent par des chronogrammes à rapprocher de ceux des figures 5, un mode de mise en oeuvre de la présente invention. On suppose la même situation qu'aux figures 5 d'un besoin de précharge pour affichage d'une ligne L_j par rapport à une ligne précédente L_{j-1} , puis d'une prédécharge pour extinction de la ligne suivante L_{j+1} .

[0036] Comme précédemment, des signaux Str (figure 6A) de commande du registre à décalage du circuit 16 (figure 1) et CSE (figure 6B) d'activation de la précharge ou prédécharge, provenant du circuit de commande global 10 commutent à des instants t_1 , t_0 et t_2 , t_0' , t_1' et t_2 . Les figures 6A et 6B sont identiques aux figures 5A et 5B.

[0037] Toujours comme précédemment, le signal V_M , de commande du transistor N4 (figure 3) est commuté à l'état haut aux instants t_1 et t_1' puis à l'état bas aux instants t_2 et t_2' , et les signaux V_L et V_H , sont commutés à leurs états bas respectifs en fonction du contenu des colonnes à adresser (dans cet exemple aux instants t_1 et t_1').

[0038] Selon ce mode de mise en oeuvre de la présente invention, l'instant t_3 , respectivement t_3' , de commutation à l'état haut des signaux V_H , et V_L pour fermer l'interrupteur P1 ou N1 et apporter le complément de charge ou de décharge, est retardé d'un retard τ par rapport aux instants t_2 et t_2' de commutation du signal V_M à l'état bas, donc par rapport à la commande d'ouverture de l'interrupteur K.

[0039] Le retard τ peut être obtenu par génération interne d'un signal CSEINT commun à tous les circuits 14. Le signal CSEINT présente un front montant déclenché par le front montant du signal CSE (instant t_0) et un front descendant (instant t_3) retardé par rapport au front descendant du signal CSE. Le signal CSEINT est obtenu, par exemple, en retardant le front descendant du signal CSE d'une durée τ au moyen d'une cellule résistive et capacitive à partir du signal CSE.

[0040] La figure 7 représente un exemple de circuit de génération du signal CSEINT à partir du signal CSE. D'autres réalisations sont bien entendu possibles.

[0041] Dans cet exemple, une porte logique 411 (OR)

de type OU combine le signal CSE avec un signal DELCSE obtenu en retardant le signal CSE au moyen d'une cellule résistive et capacitive formée d'une résistance R entre une borne 412 recevant le signal CSE et une borne d'entrée de la porte 411, et d'un condensateur C reliant cette borne d'entrée à la masse. L'autre borne de la porte 411 est reliée directement à la borne 412 et la sortie de la porte 411 fournit le signal CSEINT.

[0042] Le retard τ (correspondant à la constante de temps de la cellule RC) est choisi pour permettre aux diodes (D26 et D28, figure 3) de recouvrir avant la mise en conduction du transistor P1 par le signal V_H . L'intervalle entre les instants t_1 et t_2 est choisi pour que le niveau $V_{pp}/2$ soit atteint à l'instant t_2 même sur une charge maximale (pointillés en figure 6F).

[0043] La figure 8 représente, de façon très schématique et sous forme de blocs, un mode de réalisation d'un circuit 40 de génération des signaux V_H , V_M et V_L à partir de signaux V_H , V_M et V_L fournis par un circuit 41 (DECOD) de décodage générant ces signaux à partir du signal CSE et du signal Str. Un exemple de circuit d'obtention des signaux V_H , V_M et V_L sera décrit ultérieurement en relation avec la figure 10. Dans la représentation de la figure 8, la génération du signal CSEINT (par exemple au moyen du circuit de la figure 7) est supposée intégrée au circuit 41. Comme l'illustre la figure 8, pour chaque sortie 16i du registre à décalage recevant les données série COL (consignes d'adressage), deux bascules 43 et 44 servent à stocker deux données de cette colonne pour deux lignes successives de façon à pouvoir tenir compte, pour une ligne courante L_i , des états de la ligne précédente L_{i-1} dans la génération des signaux V_H et V_L .

[0044] Selon ce mode de réalisation de l'invention, deux bascules 44 et 45, de type D, reçoivent respectivement les signaux V_H et V_L générés par le décodeur 41 à la manière des signaux de la figure 5 et fournissent les signaux V_H' et V_L' . Les bascules 44 et 45 sont commandées par un signal Valid provoquant le passage de l'état présent en entrée (signal V_H ou V_L) sur la sortie de la bascule concernée. Une troisième bascule 46, de type RS, reçoit le signal V_M et est commandée par le signal Valid. La bascule 46 fournit le signal V_M' et reçoit un signal de réinitialisation Reset. Les signaux Valid et Reset sont générés à partir des signaux Str, CSE et CSEINT et peuvent être communs à tous les circuits 14.

[0045] Les figures 9A, 9B, 9C, 9D et 9E illustrent un exemple de génération de signaux Valid et Reset (figures 9D et 9E) en fonction des allures de signaux Str (figure 9A), CSE (figure 9B) et CSEINT (figure 9C).

[0046] Le signal Valid est, par exemple, obtenu par combinaison logique des signaux Str, CSE et CSEINT. Le signal Reset présente une impulsion entre les instants t_2 et t_3 . Ce signal est, par exemple, obtenu par une combinaison logique de type OU-Exclusif des signaux CSE et CSEINT. Côté signal Valid, une première impulsion (entre les instants t_1 et t_4) correspond à l'impulsion inverse de celle du signal Str et une deuxième impulsion

intervient entre l'instant t3 et un instant t5 légèrement postérieur. Cette deuxième impulsion du signal Valid est, par exemple, obtenue au moyen d'une cellule résistive et capacitive. La première impulsion du signal Valid est obtenue, par exemple, par combinaison de type ET du signal CSEINT avec le résultat d'une combinaison de type OU-Exclusif des signaux Str et CSE.

[0047] En variante, les durées de toutes les impulsions des signaux Valid et Reset sont fixées par des cellules résistive et capacitive.

[0048] La génération des signaux Valid et Reset pour commander les bascules 44 à 46 de la figure 8 permet de tenir compte des conditions réelles de fonctionnement de l'écran et notamment des conditions extrêmes de besoin de précharge ou de prédécharge des cellules de l'écran.

[0049] La figure 10 représente un exemple de circuit de génération des signaux V_H , V_L et V_M . D'autres circuits sont bien entendu possibles. Dans l'exemple représenté, une porte logique 413 (AND) de type ET combine le signal L_j et l'inverse du signal CSEINT (inverseur 414), et fournit le signal V_H . Une porte logique 415 (AND) de type ET reçoit la sortie de l'inverseur 414 (inverse du signal CSEINT) et l'inverse du signal L_j (inverseur 416), et fournit le signal V_L . Le signal V_M est fourni par une porte logique 417 (AND) de type ET qui combine le signal CSEINT avec le résultat issu d'une porte logique 418 (OR) de type OU combinant les résultats respectifs de deux portes 419 et 420 (AND) de type ET recevant respectivement le signal L_{j-1} et l'inverse du signal L_j , et l'inverse du signal L_{j-1} (inverseur 421) et le signal L_j .

[0050] Un avantage de la présente invention est qu'elle permet de façon simple et sans recourir à des signaux extérieurs supplémentaires, de s'affranchir des problèmes de conduction simultanée dans un écran de type écran plasma.

[0051] Un autre avantage de l'invention est qu'elle ne nuit pas aux avantages apportés par des circuits de commande basés sur des transistors DMOS par rapport à l'utilisation de transistors PMOS.

[0052] Un autre avantage de la présente invention est qu'elle est compatible avec toute structure classique de circuit d'adressage de colonnes et de lignes d'un écran plasma.

[0053] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, la génération pratique des signaux utiles pour la mise en oeuvre de l'invention est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus. Par exemple, on pourra adapter les niveaux actif et inactif en fonction des circuits de commande.

Revendications

1. Procédé de commande d'un écran à plasma, comportant successivement, au moins pour toutes les

cellules d'une ligne courante devant changer d'état pour la ligne suivante :

une connexion (t1) d'une borne (24) d'application d'un potentiel intermédiaire d'alimentation ($V_{pp}/2$) à des bornes de sortie (O) d'étages de commande de colonnes correspondant aux points milieux d'associations en série de premiers (P1) et de deuxièmes (N1) interrupteurs entre deux bornes (20, 22) d'application d'une tension d'alimentation (V_{pp}), pour effectuer une précharge ou une prédécharge des cellules de l'écran ;
une déconnexion (t2) desdites bornes de sortie de ce potentiel intermédiaire ; et
une connexion (t3) de chaque borne de sortie à un premier (20) ou un second (22) potentiel d'alimentation par la fermeture du premier ou second interrupteur de l'étage correspondant, en fonction d'une consigne d'adressage,

caractérisé en ce que ladite étape de connexion en fonction d'une consigne d'adressage est retardée (τ) par rapport à la déconnexion de la borne de sortie correspondante de la borne d'application du potentiel intermédiaire.

2. Procédé sur la revendication 1, dans lequel le retard (τ) est obtenu par une cellule résistive et capacitive de décalage d'un front de désactivation (t2) d'un signal d'activation (CSE) de la précharge ou prédécharge.
3. Procédé selon l'une quelconque des revendications 1 et 2, dans lequel ledit retard (τ) est choisi en fonction du temps de recouvrement de diodes parasites (D26, D28) de transistors MOS à canal N (N2, N3) formant un interrupteur (K) de connexion dudit potentiel intermédiaire aux bornes de sortie (O).
4. Procédé selon l'une quelconque des revendications 1 à 3, dans lequel un signal interne (CSEINT) est généré à partir du signal (CSE) d'activation de la précharge ou prédécharge.
5. Procédé sur la revendication 4, dans lequel ledit signal interne (CSEINT) est utilisé pour générer des signaux d'activation (Valid) et de réinitialisation (Reset) de bascules (44, 45, 46) placées en sortie d'un circuit (41) de génération de signaux de commande desdits interrupteurs d'étages de commande de colonne.
6. Circuit de commande d'une colonne d'un écran plasma, **caractérisé en ce qu'il** comporte des moyens pour la mise en oeuvre du procédé selon l'une quelconque des revendications 1 à 5.

7. Ecran plasma comportant un circuit selon la revendication 6.

5

10

15

20

25

30

35

40

45

50

55

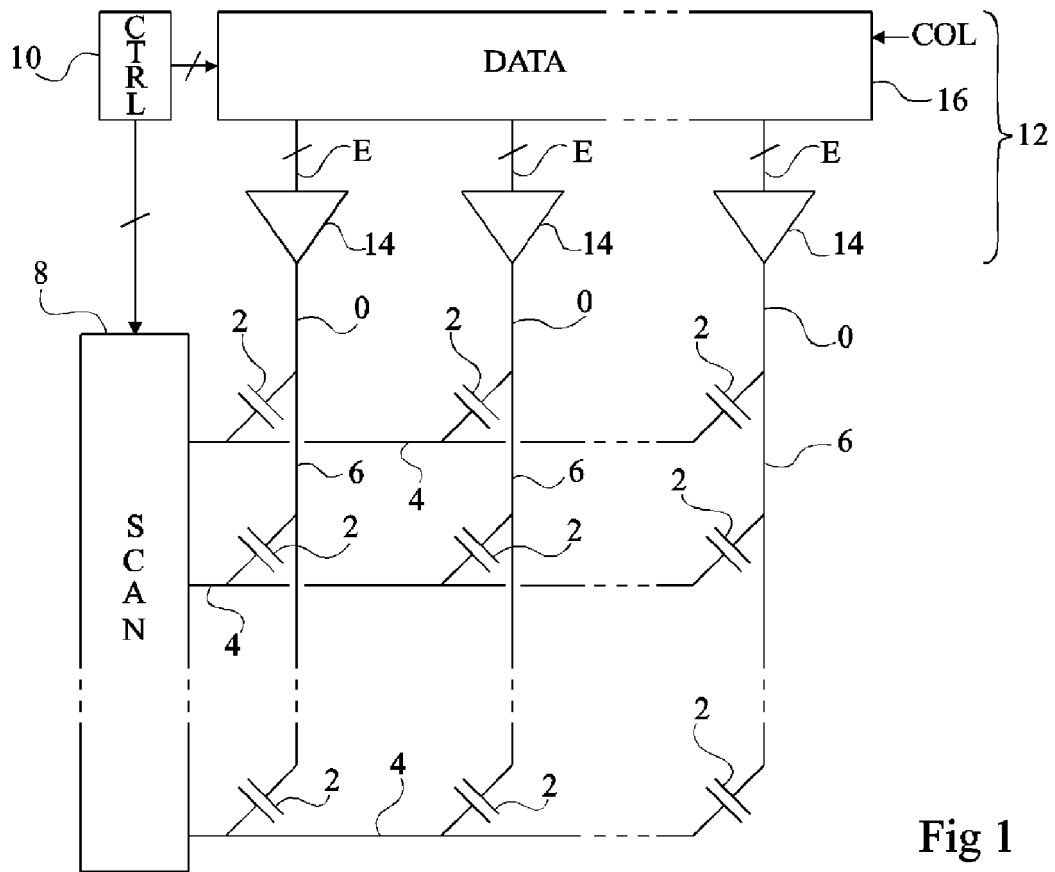


Fig 1

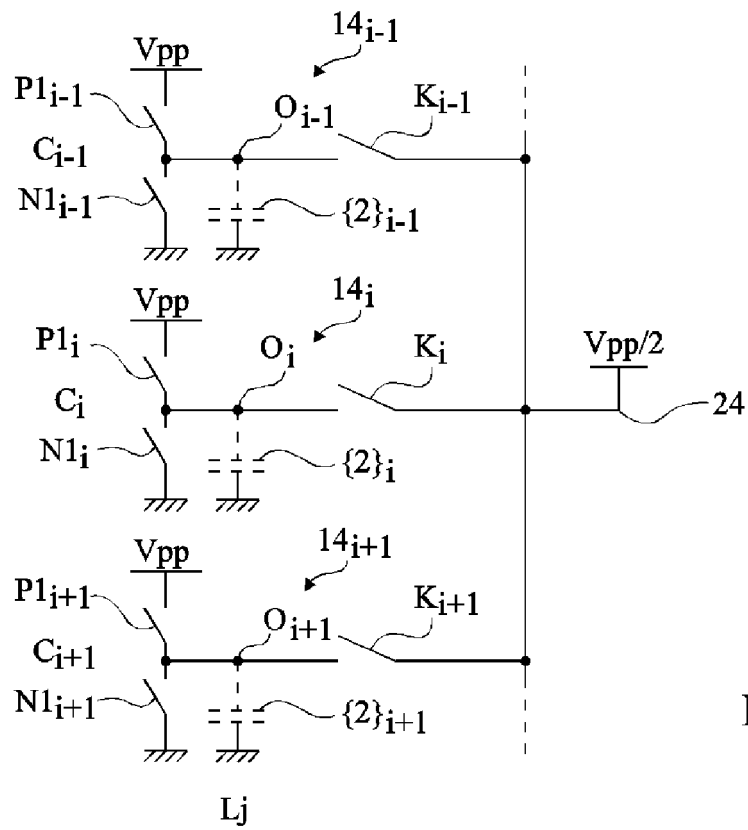


Fig 2

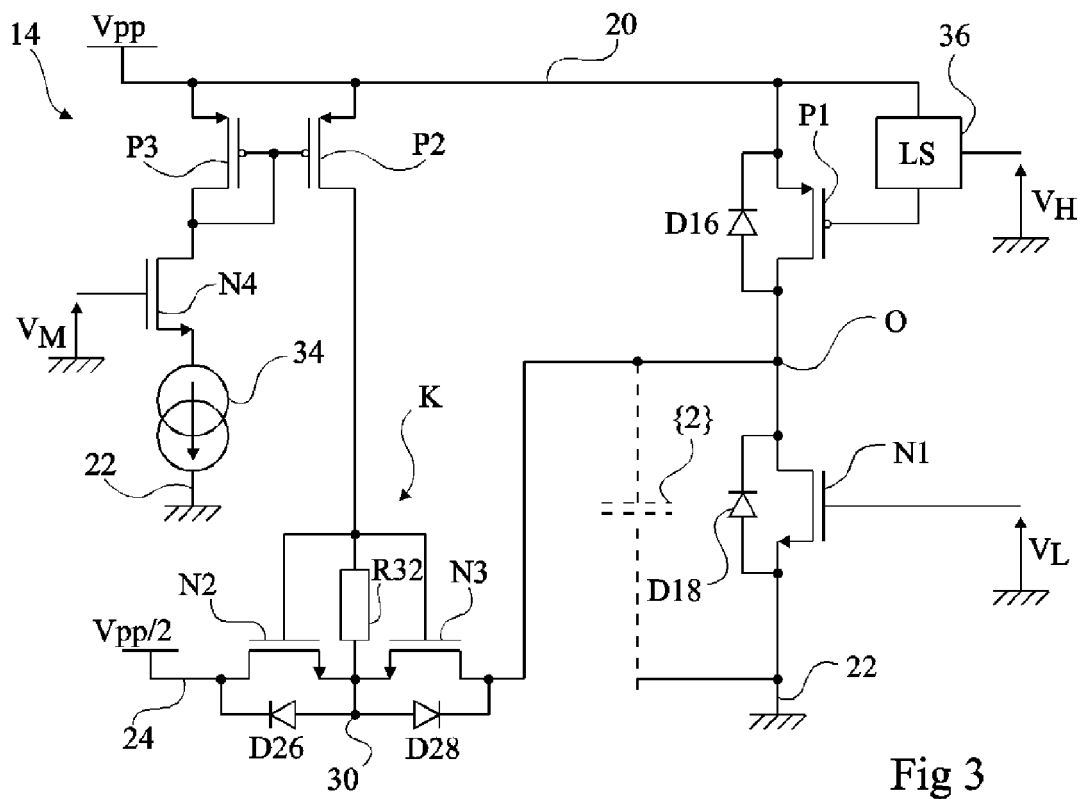


Fig 3

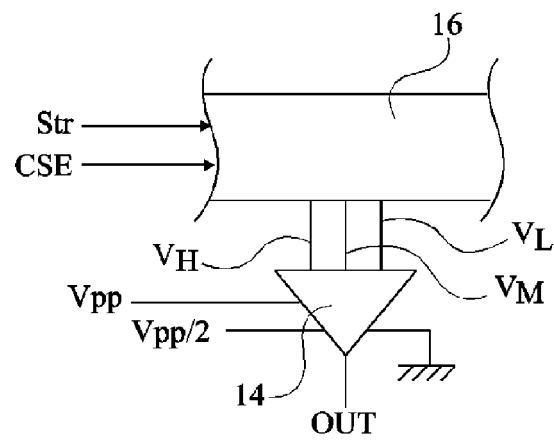
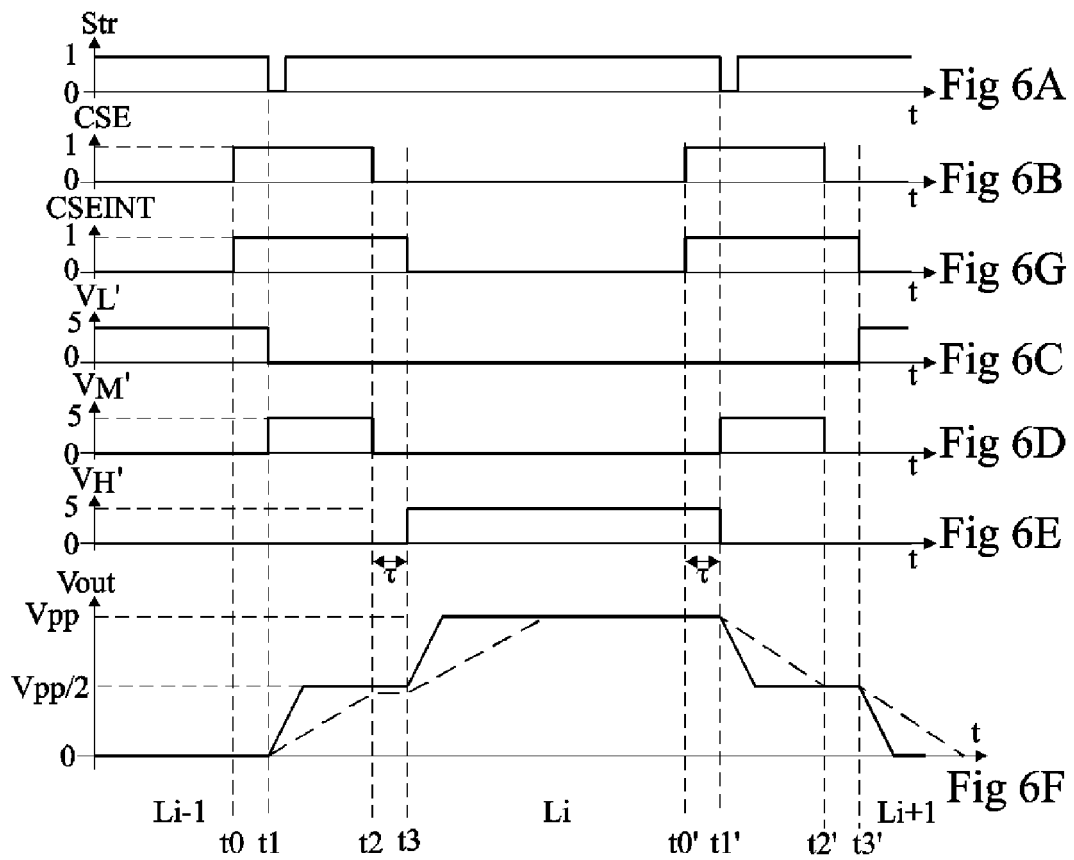
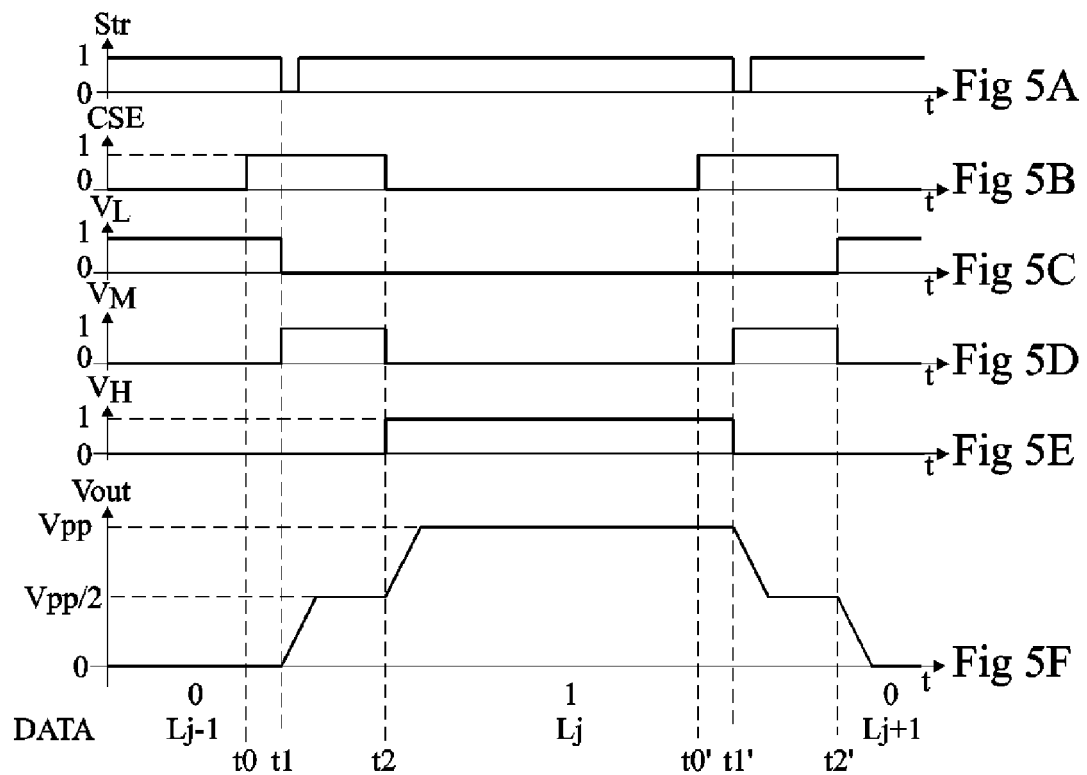


Fig 4



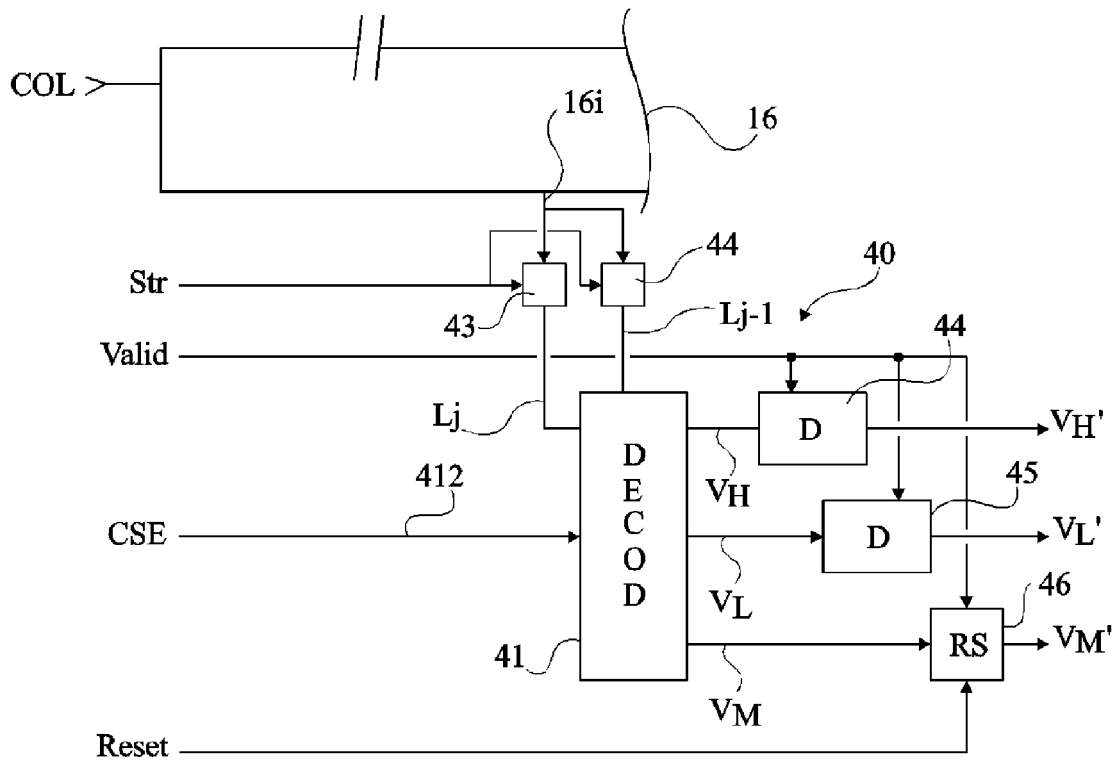
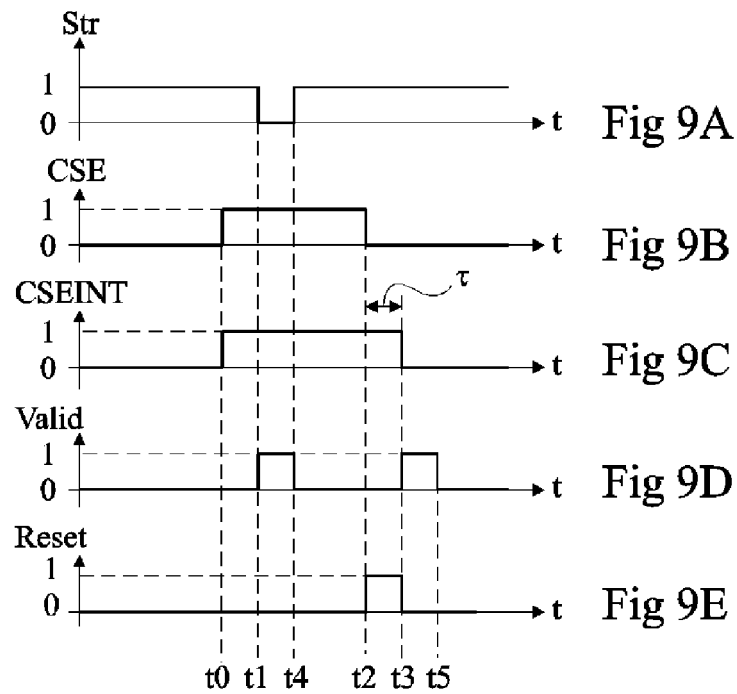


Fig 8



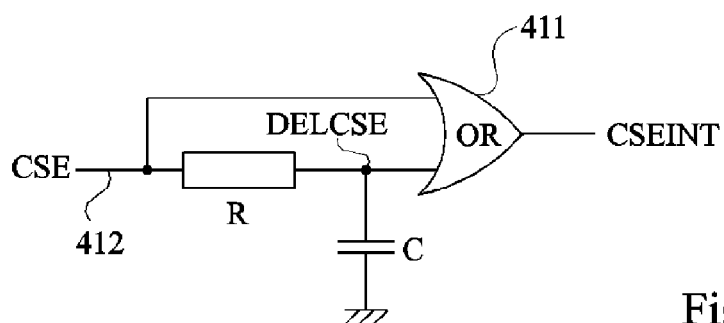


Fig 7

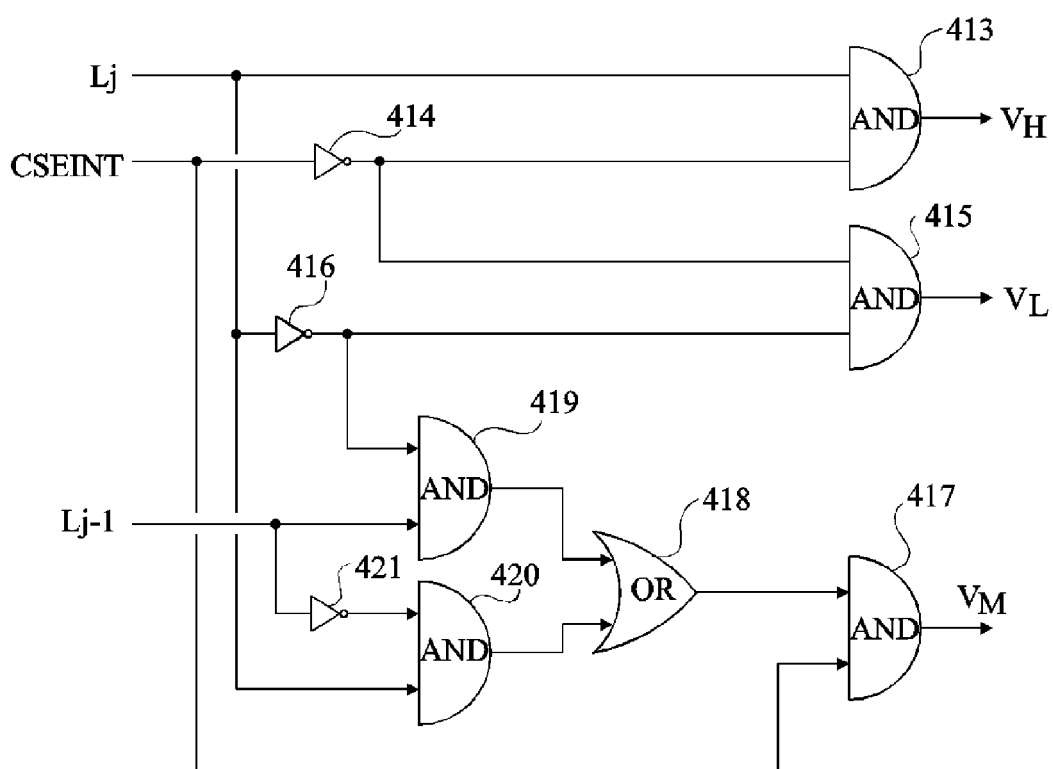


Fig 10