



(11) **EP 2 270 844 A2**

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
05.01.2011 Patentblatt 2011/01

(51) Int Cl.:
H01L 21/336 (2006.01) **H01L 21/28** (2006.01)
H01L 29/786 (2006.01) **H01L 29/788** (2006.01)
H01L 29/792 (2006.01) **H01L 29/78** (2006.01)

(21) Anmeldenummer: **10188385.8**

(22) Anmeldetag: **08.10.2004**

(84) Benannte Vertragsstaaten:
DE FR IT

(72) Erfinder: **Tews, Helmut**
81549, München (DE)

(30) Priorität: **30.10.2003 DE 10350751**

(74) Vertreter: **Karl, Frank**
Kindermann Patentanwälte
Postfach 100234
85593 Baldham (DE)

(62) Dokumentnummer(n) der früheren Anmeldung(en)
nach Art. 76 EPÜ:
04791185.4 / 1 678 767

(71) Anmelder: **Infineon Technologies AG**
85579 Neubiberg (DE)

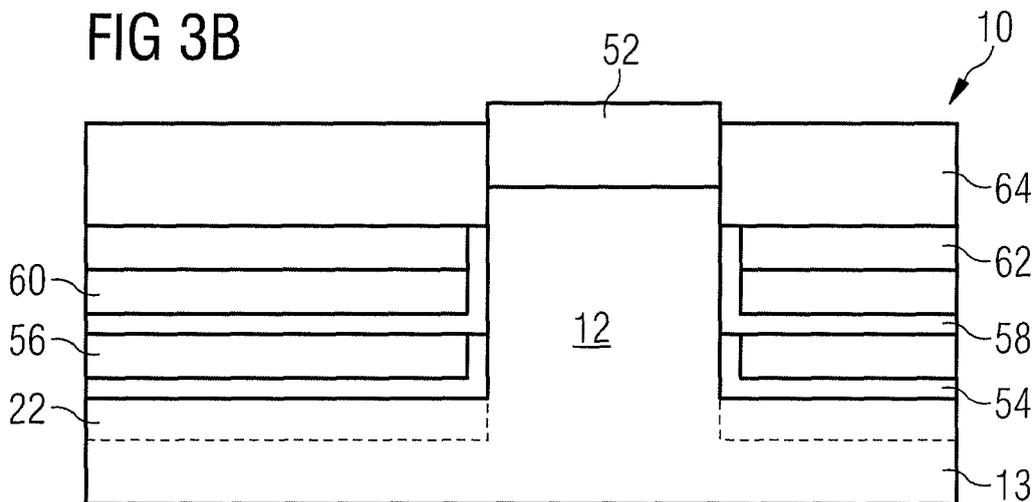
Bemerkungen:

Diese Anmeldung ist am 21-10-2010 als
Teilanmeldung zu der unter INID-Code 62 erwähnten
Anmeldung eingereicht worden.

(54) **Verfahren zum Herstellen eines vertikalen Feldeffekttransistors und Feldeffekttransistor**

(57) Erläutert wird unter anderem ein Verfahren zum Herstellen eines Feldeffekttransistors, bei dem mehrere Schichten jeweils abgeschieden, planarisiert und rück-

geätzt werden, insbesondere eine Gateelektroden-
schicht (60). Durch diese Vorgehensweise entstehen
Transistoren mit hervorragenden elektrischen Eigen-
schaften und mit hervorragender Reproduzierbarkeit.



EP 2 270 844 A2

Beschreibung

Beschreibung

[0001] Verfahren zum Herstellen eines vertikalen Feldeffekttransistors und Feldeffekttransistor

[0002] Die Erfindung betrifft ein Verfahren zum Herstellen eines vertikalen Feldeffekttransistors, mit den ohne Beschränkung durch die Reihenfolge, in der die Schritte genannt sind, durchgeführten Schritten:

an einem Substrat Ausbilden mindestens einer Struktur, die zur Ausbildung des Kanalbereiches eines Feldeffekttransistors dient,
Aufbringen einer elektrisch isolierenden substratnahen Abstandsschicht nach dem Ausbilden der Struktur,
nach dem Aufbringen der substratnahen Abstandsschicht Aufbringen einer elektrisch leitfähigen oder halbleitenden Steuerelektrodenschicht, die zur Ausbildung der Steuerelektrode des Feldeffekttransistors dient.

[0003] Das Feldeffektprinzip besteht darin, den Stromfluss in dem Kanal über das Potential an der Steuerelektrode zu beeinflussen. Die Steuerelektrode wird auch als Gate bezeichnet. Die Feldeffekttransistoren für Logikschaltungen sollen eine kurze Gatelänge, ein dünnes Gatedielektrikum und gleichzeitig einen großen Einschaltstrom haben. Die Betriebsspannung soll außerdem möglichst klein sein, um zu große Leckströme durch das dünne Gatedielektrikum zu vermeiden. Herkömmliche planare Feldeffekttransistoren können diese Anforderungen nicht erfüllen.

[0004] Bspw. ist aus der deutschen Patentschrift DE 199 24 571 C2 eine Doppel-Gate-Struktur bekannt, die einen hohen Einschaltstrom ermöglicht, weil zwei Gates zur Stromsteuerung beitragen. Auch aus diesem Grund lässt sich die Betriebsspannung verringern. Dual- oder auch Trippel-Gatestrukturen sind ein erfolversprechender Ansatz um die elektrischen Eigenschaften eines Feldeffekttransistors zu verbessern, insbesondere bei ultrakurzen Gatelängen, d.h. Gatelängen kleiner als 100 Nanometern.

[0005] Mehrfachgatestrukturen sind dreidimensionale Strukturen, so dass ihre Herstellung schwierig ist und sorgfältig optimiert werden muss. Trotz der kleinen Abmessungen soll der Flächenbedarf an Chipfläche je Transistor auch weiterhin möglichst klein sein. Die Transistoren sollen außerdem elektrische Eigenschaften wie SOI-Wafer (Silicon on Insulator) haben.

[0006] Es ist Aufgabe der Erfindung ein einfaches Verfahren zum Herstellen eines Feldeffekttransistors mit sehr guten elektrischen Eigenschaften anzugeben. Außerdem soll ein einfach herzustellender Feldeffekttransistor mit sehr guten elektrischen Eigenschaften angegeben werden, insbesondere ein FLASH-Speichertransistor.

[0007] Diese Aufgabe wird bezüglich des Verfahrens durch die im Patentanspruch 1 angegebenen Verfahrensschritte gelöst. Weiterbildungen sind in den Unteransprüchen angegeben.

[0008] Bei dem erfindungsgemäßen Verfahren werden zusätzlich zu den eingangs genannten Verfahrensschritten die folgenden Verfahrensschritte ausgeführt:

Planarisieren der Steuerelektrodenschicht, und ganzflächiges Rückätzen der planarisierten Steuerelektrodenschicht.

[0009] Beide Schritte sind einfach auszuführen und haben zur Folge, dass die Steuerelektrode insbesondere mit einem rechteckigen oder quadratischen Querschnitt hergestellt werden kann. Insbesondere bleibt die Breite der Steuerelektrode mit zunehmenden Abstand zum Substrat gleich. Sich verjüngende Abschnitte können an der Steuerelektrode vermieden werden. Die Steuerelektrode lässt sich deshalb sehr maßhaltig und mit hoher Positioniergenauigkeit bezüglich des Vorsprungs herstellen. Deshalb werden Feldeffekttransistoren mit untereinander gleichen und besonders guten elektrischen Eigenschaften hergestellt.

[0010] Das ganzflächige Rückätzen wird vorzugsweise anisotrop durchgeführt. Bei geeigneter Materialwahl lässt sich aber auch ein isotroper Rückätzschritt ausführen.

[0011] Das erfindungsgemäße Herstellungsverfahren wird insbesondere bei der Herstellung sogenannter vertikaler Transistoren eingesetzt, die nur einen geringen Flächenbedarf haben.

[0012] Bei einer Ausgestaltung verbleibt die Gateelektrode nach dem Abschluss des ganzflächigen Rückätzens entlang eines vollständigen Umlaufs um den Vorsprung. Damit ist das Layout eines FinFETs um 90 Grad gedreht, so dass die Finne vertikal zu einer Waferoberfläche liegt. Hat die Finne einen quadratischen oder rechteckigen Querschnitt parallel zu der Oberfläche des Chips bzw. Wafers, so entstehen an den vier Seitenwänden des Gates vier Steuerelektroden. Die den Vorsprung umschließenden Steuerelektroden führen zu einem besonders hohen Einschaltstrom. Bei einer minimalen Abmessung des Vorsprungs bspw. einer Seitenlänge kleiner als 50 Nanometer entsteht beim Betrieb des Feldeffekttransistors ein von Ladungsträgern verarmter Substratbereich wie bei einem SOI-Substrat ohne dass jedoch ein teures SOI-Substrat erforderlich ist.

[0013] Die Höhe des Vorsprungs ist so bemessen, dass die möglichst dünne Gateelektrode, und die benachbarten Abstandsschichten zur Isolation der Gateelektrode zum Source und Drain hin übereinander gestapelt kleiner als die Höhe des Vorsprungs sind. Auch Platz für eine Anschlusselektrode, insbesondere für den Sourcekontakt kann die Höhe bestimmen.

[0014] Bei einer Weiterbildung wird beim Rückätzen der planarisierten Steuerelektrodenschicht ein Teil der Struktur oder ein Teil einer die Struktur bedeckenden Iso-

lierschicht freigelegt, so dass dieser Teil für weitere Bearbeitungsschritte und für die Anordnung weiterer Elemente zugänglich ist.

[0015] Bei einer anderen Weiterbildung wird vor dem Aufbringen der Steuerelektrodenschicht die substratnahe Abstandsschicht planarisiert und ganzflächig rückgeätzt, wobei vorzugsweise ein Teil der Struktur freigelegt wird. Alternativ lässt sich die substratnahe Abstandsschicht aber auch nur sehr dünn aufbringen, so dass kein Rückätzen erforderlich ist. Das Rückätzen führt jedoch zu einer sehr maßhaltigen Abstandsschicht.

[0016] Bei einer nächsten Weiterbildung wird eine elektrisch isolierende substratferne Abstandsschicht nach dem Rückätzen der Steuerelektrodenschicht aufgebracht, planarisiert und ganzflächig rückgeätzt. Insbesondere durch das wiederholte planarisieren und rückätzen bei nacheinander aufgetragenen Schichten lässt sich eine maßhaltige dreidimensionale Integration erreichen.

[0017] Bei einer Ausgestaltung ist die Dicke der unteren Abstandsschicht ungleich der Dicke der oberen Abstandsschicht. Dies hat Vorteile bei der Optimierung der Transistoren. In einem normalen CMOS Flow sind unterschiedliche Dicken nicht so einfach zu realisieren.

[0018] Bei einer anderen Weiterbildung wird nach dem Aufbringen der substratfernen Abstandsschicht eine Anschlusselektrodenschicht aufgebracht, vorzugsweise eine Sourceschicht. Die Sourceschicht bedeckt vorzugsweise die Seitenwände des Vorsprungs, so dass die Kontaktfläche vergrößert ist. Bei einer Ausgestaltung wird die Anschlusselektrodenschicht noch planarisiert, so dass sie anschließend ohne Problem strukturiert werden kann.

[0019] Bei einer Weiterbildung des erfindungsgemäßen Verfahrens werden die substratnahe Abstandsschicht, die Steuerelektrodenschicht und die substratferne Abstandsschicht sowie die Anschlusselektrodenschicht gemeinsam strukturiert, bspw. mit einem fotolithografischen Verfahren oder mit einer Spacertechnik. Die Anzahl der Herstellungsschritte ist dadurch klein.

[0020] Bei einer anderen Weiterbildung wird eine elektrisch isolierende Schicht an einem Teil der Struktur nach dem Rückätzen der substratnahen Abstandsschicht und vor dem Aufbringen der Steuerelektrodenschicht als Gatedielektrikum aufgebracht, insbesondere durch eine ganzflächige Schichtabscheidung, bspw. eines Materials mit einer relativen Dielektrizitätskonstante größer 4 oder größer 8, oder durch ein thermisches Aufwachsen, bspw. eine thermische Oxidation.

[0021] Bei einer nächsten Weiterbildung wird die Struktur mit Hilfe einer Hartmaske ausgebildet, wobei die Hartmaske bei allen genannten Planarisierungsschritten als Stoppschicht verwendet wird. Damit kann sehr genau auf einer vorgegebenen Höhe gestoppt werden. Ausgehend von dieser Höhe lässt sich dann ein zeitgesteuerter Rückätzprozess ausführen, bei dem sich eine rückgeätzte Schicht mit einer Schichtdicke in einem kleinen Toleranzbereich herstellen lässt.

[0022] Bei einer Weiterbildung wird nach dem Aufbringen der substratnahen Abstandsschicht und vor dem Aufbringen der Steuerelektrodenschicht eine Ladungsspeicherschicht aufgebracht. Die Ladungsspeicherschicht wird vor dem Aufbringen der Steuerelektrodenschicht strukturiert. Die Ladungsspeicherschicht ist elektrisch leitfähig, z.B. metallisch, halbleitend oder elektrisch isolierend. Bei einer elektrisch isolierenden Ladungsspeicherschicht werden die Ladungen insbesondere mit Hilfe von Tunnelströmen eingebracht. Bei der Weiterbildung entsteht bspw. eine EEPROM (Electrical Erasable Programmable Read Only Memory) Zelle, die unabhängig von benachbarten Zellen gelöscht werden kann, oder eine Flash EPROM-Zelle, die nur gemeinsam mit benachbarten Zellen gelöscht werden kann. Bei einer Ausgestaltung werden in der Speichereinheit "vergrabene" (buried) Bitleitungen eingesetzt, die durch Substratdotierungen hergestellt sind.

[0023] Die Speichereinheit ist bspw. als NOR-Typ oder als SNOR organisiert. Zum Löschen werden Tunnelströme eingesetzt, insbesondere Fowler Nordheim Tunnelströme (FN). Zum Programmieren werden Tunnelströme oder heiße Ladungsträger (CHE - Channel Hot Electron) eingesetzt. Die maßhaltige Fertigung auf Grund des einfachen oder mehrfachen Planarisierens und Rückätzens führt zu hervorragenden elektrischen Eigenschaften der Speicherzelle, insbesondere hinsichtlich der Programmsicherheit, der Anzahl der Programmierzyklen und hinsichtlich der Verschiebung der Schwellspannung.

[0024] Bei einer Weiterbildung des Verfahrens wird die Ladungsspeicherschicht planarisiert und anschließend ganzflächig zurückgeätzt, wobei vorzugsweise ein Teil der Struktur oder ein Teil der Isolierschicht freigelegt wird. Durch diese Schritte lässt sich eine Ladungsspeicherschicht mit einer Deckfläche herstellen, die parallel zu einer Substratfläche bzw. zu der Basisfläche liegt. Eine solche Ladungsspeicherschicht führt zu definierten Programmier- und Löschvorgängen. Bei einer Weiterbildung wird mindestens ein Abstandselement an der Struktur und auf der Ladungsspeicherschicht ausgebildet. Das Abstandselement dient dann zum Strukturieren der Ladungsspeicherschicht, so dass eine einfache selbstaussichtende Spacertechnik zur Strukturierung genutzt wird.

[0025] Die Erfindung betrifft außerdem einen vertikalen Feldeffekttransistor, dessen Steuerelektrode eine ebene substratferne Grenzfläche hat, die parallel zu einer substratnahen Basisfläche des Vorsprungs liegt. Bei einer Weiterbildung wird die Steuerelektrode in der vom Substrat wegweisenden Normalenrichtung der Basisfläche überall von der ebenen Grenzfläche begrenzt wird. Mit anderen Worten ausgedrückt gibt es nach "oben" hin keine geneigten Grenzflächen bzw. sich nach oben hin verjüngende Vorsprünge, die die elektrischen Eigenschaften des Transistors weniger kontrollierbar machen würden.

[0026] Bei einer anderen Weiterbildung hat der Feldeffekttransistor mindestens einen zwischen einem Isolierbereich und einem Steuerelektrodenbereich ange-

ordneten Ladungsspeicherbereich, mit einer substratfernen ebenen Grenzfläche, die parallel zu der Basisfläche des Vorsprungs liegt. Damit entsteht ein Speichertransistor mit definierten und gut kontrollierbaren elektrischen Eigenschaften. Der Feldeffekttransistor wird bei einer Ausgestaltung als Seitenwandtransistor bzw. als sogenannter Surrounded-Gate-Transistor ausgebildet.

[0027] Insbesondere sind die Feldeffekttransistoren mit dem erfindungsgemäßen Verfahren oder einer seiner Weiterbildungen hergestellt worden, so dass die oben genannten technischen Wirkungen gelten.

[0028] Im folgenden werden Ausführungsbeispiele der Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

- Figur 1 eine vereinfachte Darstellung eines Seitenwand- Feldeffekttransistor,
 Figur 2 eine Draufsicht auf den Feldeffekttransistor,
 Figuren 3A und 3B Herstellungsstufen bei der Herstellung des Feldeffekttransistors,
 Figur 4 eine alternative Herstellungsstufe bei der Herstellung des Feldeffekttransistors,
 Figuren 5A und 5B Herstellungsstufen bei der Herstellung eines Seitenwand Flash-Feldeffekttransistors.

[0029] Figur 1 zeigt einen vertikalen Finnen-Feldeffekttransistor 10, der an einer Finne 12 ausgebildet ist. Die Finne 12 wurde aus einem Halbleiter-Substrat 13 herausgeätzt, das nach dem Ätzen eine ebene Substratoberfläche 14 hat. Beispielsweise wird ein Siliziumsubstrat verwendet, das anfangs vordotiert oder undotiert ist. Die Finne 12 hat bspw. eine Höhe H von 100 Nanometern in Normalenrichtung N der Substratoberfläche 14.

[0030] Die Breite B der Finne 12 beträgt bspw. 20 Nanometer. Die Länge L der Finne 12 beträgt bspw. 60 Nanometer.

[0031] Am Fuß F der Finne 12 bzw. an der Basis der Finne 12 befindet sich in der Ebene der Substratoberfläche 14 eine Basisfläche der Finne 12. Eine Gateelektrode 16 umschließt die Finne 12 und liegt parallel und mit Abstand zur Substratoberfläche 14. Der Abstand beträgt bspw. 30 Nanometer. Die Gateelektrode 16 besteht bspw. aus dotiertem polykristallinem Silizium.

[0032] Zwischen der Gateelektrode 16 und der Finne 12 befindet sich ein in Figur 1 nicht dargestelltes Gatedielektrikum 18. Geeignete Gatedielektrika sind bspw. Siliziumdioxid oder isolierende Materialien mit einer relativen Dielektrizitätskonstante größer als 3,9 oder größer als 7, d.h. sogenannte high-k-Materialien.

[0033] Im oberen Teil der Finne 12 ist ein Drainbereich 20 angeordnet, der bei einem n-Kanaltransistor n-dotiert und bei einem p-Kanaltransistor p-dotiert ist. Um die Basisfläche am Fuß F der Finne 12 herum ist im Substrat 13 unmittelbar unterhalb der bzw. angrenzend an die Substratoberfläche 14 ein Sourcebereich 22 angeordnet,

der bspw. die gleiche Dotierung wie der Drainbereich 20 hat. Bei einem anderen Ausführungsbeispiel ist der Sourcebereich in der Finne 12 und der Drainbereich im Substrat angeordnet. Die Dotierung von Source und Drain sind bei einem anderen Ausführungsbeispiel unterschiedlich, um ein gutes Optimieren der Transistoren erlauben.

Die Höhe H der Finne 12 wird durch die Höhe zweier Abstandselemente zur Isolierung der Gateelektrode 16 gegen die Substratoberfläche 14 bzw. gegen einen Drainanschluss, durch die Höhe H2 der Gateelektrode und durch die Höhe eines Drainanschlusses bestimmt.

[0034] Figur 2 zeigt eine Draufsicht auf den Feldeffekttransistor 10 mit einer Fläche S für den Sourcebereich 22 bzw. für einen Sourceanschlussbereich, mit einer Fläche G für die Gateelektrode bzw. für einen Gateelektrodenanschlussbereich und mit einer Fläche D für den Drainbereich bzw. für einen Drainanschlussbereich. Die Anschlussbereiche sind quadratisch bzw. rechteckförmig und liegen an verschiedenen Seiten der Finne 12. Auch der Drainanschlussbereich D umschließt die Finne 12. Damit ist der Feldeffekttransistor 10 ein vertikaler Feldeffekttransistor mit vier Steuerelektroden bzw. Gatebereichen und mit einer geringen Bauhöhe.

[0035] Figur 3A zeigt eine Herstellungsstufe bei der Herstellung des Feldeffekttransistors 10. Ausgehend von dem Substrat 13 werden nicht dargestellte flache Isoliergräben hergestellt, die zur Isolierung von Transistoren untereinander dienen. Die Isoliergräben werden auf bekannte Weise mit einem Isoliermaterial gefüllt, z.B. mit Siliziumdioxid. Nach dem Füllen wird planarisiert, bspw. mittels eines chemisch mechanischen Polierverfahrens CMP.

[0036] Nach dem Planarisieren wird eine Hartmaskenschicht 50 abgeschieden, z.B. eine Siliziumnitridschicht. Die Hartmaskenschicht 50 wird bspw. mit Hilfe eines fotolithografischen Verfahrens oder mit Hilfe einer Spacertechnik strukturiert, wobei im Bereich, in dem der Transistor 10 erzeugt werden soll, eine Hartmaske 52 verbleibt. An anderen Stellen des Substrats 13 verbleiben zur Herstellung einer Vielzahl anderer Transistoren weitere Hartmaskenabschnitte. Die Transistoren werden mit den gleichen Verfahrensschritten hergestellt und sind deshalb gleich aufgebaut. Die Hartmaske 52 hat beispielsweise die oben genannte Ausdehnung von 20 Nanometer mal 60 Nanometer.

[0037] Nach dem Strukturieren der Hartmaskenschicht 50 wird bspw. mit dem gleichen Ätzverfahren das Substrat 13 gemäß der Hartmaske strukturiert. Dabei wird die Finne 12 erzeugt. Es wird zeitgesteuert mit einem bekannten Ätzverfahren geätzt. Die Hartmaskenschicht wird beim Ätzen ggf. auch etwas gedünnt. Nach dem Erzeugen der Finne hat die Hartmaskenschicht 50 bspw. eine Dicke von 40 Nanometern.

[0038] Anschließend wird eine dünne Streu-Oxidschicht 54 erzeugt, um u.a. das Substrat bei den folgenden Sourceimplantationsschritten zu schützen. Die Oxidschicht 54 wird bspw. mit einer thermischen Oxidation in

einer Dicke von bspw. kleiner 10 Nanometer erzeugt.

[0039] Danach wird der Sourcebereich 22 bzw. S mit Hilfe einer Implantation hoch dotiert, wobei eine niedrige bis mittlere Beschleunigungsspannungen eingesetzt wird.

[0040] Nach dem Implantieren wird eine elektrisch isolierende Abstandsschicht 56 mit einer Dicke abgeschieden, die höher als die Höhe H der Finne 12 plus die Dicke der Hartmaske 52 ist. Bspw. ist die Abstandsschicht 56 eine Siliziumdioxidschicht mit einer ursprünglichen Dicke von 140 Nanometern. Die Abstandsschicht 56 wird planarisiert, z.B. mit Hilfe eines chemisch mechanischen Polierverfahrens, wobei auf der Hartmaske 52 bzw. auf den Resten der Hartmaskenschicht 50 an nicht gezeigten CMP-Hilfsstrukturen gestoppt wird.

[0041] Nach dem Planarisieren wird die Abstandsschicht 56 ganzflächig auf ihre Zieldicke zurückgeätzt, bspw. auf 30 Nanometer oder auf eine Dicke im Bereich von 30 Nanometern bis 50 Nanometern. Die Ätzung wird bspw. zeitgesteuert durchgeführt.

[0042] In dem rückgeätzten Bereich wird bspw. mit einer zusätzlichen isotropen Oxidätzung im Ausführungsbeispiel auch die dünne Streu-Oxidschicht 54 von den vertikalen Flanken der geätzten Struktur entfernt. Damit liegen die Seitenflächen der Finne 12 wieder frei.

[0043] Danach wird eine Gatedielektrikumschicht 58 abgeschieden, bspw. durch Sputtern oder Dampfphasenabscheidung CVD (Chemical Vapor Deposition). Die Gatedielektrikumschicht 58 besteht bspw. aus Oxynitrid oder einem anderen high-k-Material. Die Oxid-äquivalente Dicke der Gatedielektrikumschicht 58 liegt im Ausführungsbeispiel bei 1 Nanometer. Alternativ liegt die Dicke der Gatedielektrikumschicht 58 bspw. im Bereich von 1 Nanometer bis 2 Nanometern.

[0044] Wie weiter in Figur 3A gezeigt, wird anschließend eine Gateelektrodenschicht 60 aufgebracht, insbesondere abgeschieden. Die Gateelektrodenschicht 60 besteht bspw. aus einem Metall oder aus hoch dotiertem polykristallinem Silizium. Die Gateelektrodenschicht 60 hat am Ende des Aufbringens eine Dicke, die größer ist als der Abstand in Normalenrichtung N von der substratfernen Oberfläche der nicht auf der Hartmaske 52 liegenden Bereiche der Gatedielektrikumschicht 58 bis zur substratfernen Oberfläche der Hartmaske 52. Aussparung zwischen benachbarten Finnen 12 einschließlich Hartmasken 52 werden also vollständig mit dem Material der Gateelektrodenschicht 58 gefüllt. Im Ausführungsbeispiel wird die Gateelektrodenschicht 60 mit einer Dicke von 110 Nanometern aufgebracht.

[0045] Nach dem Aufbringen der Gateelektrodenschicht 60 wird wiederum planarisiert, bspw. mit Hilfe eines CMP-Verfahrens, wobei auf der Hartmaske 52 bzw. dem auf der Hartmaske 52 aufliegenden Teil der Elektrodenschicht gestoppt wird.

[0046] Wie in Figur 3A gezeigt, wird die planarisierte Gateelektrodenschicht 60 danach ganzflächig zurückgeätzt, insbesondere unter Verwendung eines anisotropen Ätzverfahrens. Ganzflächig bedeutet dabei dass keine

Maske zur Strukturierung der Gateelektrodenschicht 60 bei dem Rückätzschritt verwendet wird. Die Zeitdauer für das Rückätzen bestimmt die verbleibende Dicke der Gateelektrodenschicht 60. Im Ausführungsbeispiel ist die Gateelektrodenschicht 60 nach dem Rückätzen bspw. noch 20 Nanometer dick. Auf Grund des dem Rückätzen vorangehenden Planarisierens hat die rückgeätzte Gateelektrodenschicht 60 eine gleichbleibende Schichtdicke. Die Gateelektrodenschicht 60 wird also bis unter die substratferne Oberfläche der Hartmaske 52 und auch unterhalb der substratfernen Oberfläche der Finne 12 zurückgeätzt.

[0047] Nach dem Rückätzen oder auch vor dem Rückätzen der Gateelektrodenschicht 60 kann die Gateelektrodenschicht 60 und vorzugsweise auch die Abstandsschicht 56 bereits mit einem lithografischen Verfahren oder mit einer Spacertechnik strukturiert werden, d.h. also unter Verwendung einer Maske. Alternativ wird das Strukturieren der Gateelektrodenschicht 60 und ggf. auch der Abstandsschicht 56 jedoch zu einem späteren Zeitpunkt gemeinsam mit mindestens einer nach dem Aufbringen der Gateelektrodenschicht 60 aufgetragenen Schicht durchgeführt. Bei der Strukturierung der Gateelektrodenschicht 60 entsteht die Gateelektrodenabschlusschicht 16.

[0048] Wie weiter in Figur 3A gezeigt, wird nach dem Rückätzen der Gateelektrodenschicht 58 eine zweite elektrisch isolierende Abstandsschicht 62 aufgebracht, bspw. durch eine abgeschieden. Die zweite Abstandsschicht 62 besteht im Ausführungsbeispiel aus dem gleichen Material wie die dem Substrat 13 nähere Abstandsschicht 56. Alternativ bestehen die Abstandsschichten 56 und 62 jedoch aus voneinander verschiedenen Materialien.

[0049] Die Abstandsschicht 62 wird ebenfalls in einer Dicke aufgebracht, die größer als die Höhendifferenz der subsubstratfernen Oberfläche der Hartmaske 52 bzw. der subsubstratfernen Oberfläche der auf der Hartmaske verbliebenen Gatedielektrikumschicht 58 und der substratfernen Oberfläche der rückgeätzten Gateelektrodenschicht 60. Im Ausführungsbeispiel beträgt die Dicke der Abstandsschicht unmittelbar nach dem Aufbringen 90 Nanometer.

[0050] Die Abstandsschicht 62 wird anschließend ganzflächig rückgeätzt auf eine Zieldicke von bspw. 30 Nanometer, so dass die substratferne Oberfläche der Abstandsschicht 62 ca. 10 Nanometer unterhalb des freien Endes der Finne 12 liegt.

[0051] In einem weiteren Verfahrensschritt wird, wie ebenfalls in Figur 3B dargestellt, das freiliegende Gatedielektrikum 58 von den noch nicht bedeckten Flächen der Finne 12 und von der Hartmaske 52 entfernt, bspw. trockenchemisch oder nasschemisch. Damit liegt ein Anschlussbereich zur Kontaktierung des Drainbereiches am freien Ende der Finne 12 frei. Optional wird auch die verbliebene Hartmaske 52 nasschemisch entfernt.

[0052] Anschließend wird ein Drainkontaktmaterial 64 abgeschieden, vorzugsweise in einer Dicke die größer

als die verbliebene Höhendifferenz ist, um die die Finne 12 bzw. um die die Hartmaske 52 die Abstandsschicht 62 überragt. Das Drainkontaktmaterial 64 ist bspw. hochdotiertes polykristallines Silizium. Optional wird das Drainkontaktmaterial 64 danach planarisiert und ganzflächig rückgeätzt.

[0053] Das Drainkontaktmaterial wird anschließend mit einem Lithografieverfahren strukturiert. Schritte zum Herstellen von Metallkontakten schließen sich optional an. Beim Abscheiden des Drainkontaktmaterials 64 bzw. bei nachfolgenden Temperaturschritten diffundiert Dotierstoff aus der Drainschicht 64 in die Finne 12, um das Draingebiet zu bilden. Gleichzeitig diffundiert Dotierstoff aus dem Sourcebereich in den unteren Bereich der Finne, um den Sourceanschluss an den Kanal zu bilden. Beim Strukturieren entsteht aus dem Drainkontaktmaterial 64 der Drainbereich 20.

[0054] Figur 4 zeigt eine alternative Herstellungsstufe bei der Herstellung des Feldeffekttransistors 10. An Stelle der Abscheidung einer Gatedielektrikumschicht 58 wird nach dem Rückätzen der Abstandsschicht 56 ein Gatedielektrikum 70 nur an den frei liegenden Seitenwänden der Finne 12 aufgebracht, insbesondere durch eine thermische Oxidation. Alternativ wird nur an den Seitenwänden der Finne 12 eine Oxynitridschicht erzeugt. Danach werden die gleichen Herstellungsschritte ausgeführt, wie sie an Hand der Figuren 3A und 3B erläutert worden sind.

[0055] Figuren 5A und 5B zeigen Herstellungsstufen bei der Herstellung eines vertikalen Seitenwand Flash-Feldeffekt-Transistors 100. Bei der Herstellung des Transistors 100 wird bspw. bis auf die im Folgenden erläuterten zusätzlichen Verfahrensschritte zur Herstellung einer Ladungsspeicherschicht bzw. eines sogenannten Floating Gates wie bei der Herstellung des Transistors 10 bzw. der genannten Alternativen vorgegangen.

[0056] Insbesondere werden dabei wieder die folgenden Verfahrensschritte in der genannten Reihenfolge ausgeführt:

- ausgehend von einem Substrat 113 wird mit einer Hartmaske 152 bzw. mit einer anderen Technik eine Finne 112 mit den gleichen Abmessungen wie die Finne 12 erzeugt,
- eine dünne Streuoxidschicht 154 wird aufgebracht,
- Sourcebereiche 122 werden implantiert,
- eine elektrisch isolierende planare Abstandsschicht 156 wird vorzugsweise durch Abscheiden, Planarisieren und ganzflächiges Rückätzen erzeugt,
- eine erste Gatedielektrikumschicht 158 wird durch ganzflächige Abscheidung wie die Gatedielektrikumschicht 58 erzeugt. Alternativ wird nur an der Finne 112 ein Gatedielektrikum entsprechend dem Gatedielektrikum 70 erzeugt.

[0057] Wie in Figur 5A gezeigt, werden nach dem Erzeugen des ersten Gatedielektrikums Schritte zur Herstellung eines Ladungsspeicherbereiches 159 durchge-

führt. Dazu wird bspw. eine hochdotierte polykristalline Siliziumschicht abgeschieden. alternativ kann auch ein dielektrisches Material oder ein Metall als Material für den Ladungsspeicherbereich dienen. Die Schicht zur Herstellung des Ladungsspeicherbereiches 159 wird mit einer Dicke abgeschieden, die ein anschließendes vollständiges Planarisieren ermöglicht. Bspw. beträgt die Schichtdicke nach dem Aufbringen 110 Nanometer.

[0058] Das Material zur Herstellung des Ladungsspeicherbereiches 159 wird anschließend planarisiert, bspw. mittels CMP, wobei vorzugsweise CMP-Stoppstrukturen als Stopp dienen. Danach wird ganzflächig zurückgeätzt, wobei die verbleibende Dicke der Schicht zur Ausbildung des Ladungsspeicherbereiches 159 bspw. noch 30 Nanometer beträgt.

[0059] Wie weiter in Figur 5A gezeigt, wird anschließend durch eine Schichtabscheidung und ein anisotropes Ätzen ein Abstandselement 161 bzw. ein Spacer erzeugt, das an den mit dem Gatedielektrikum bedeckten Seitewänden die Finne 112 und ggf. die mit Gatedielektrikum bedeckten Seitenwände der Hartmaske 152 umschließt. Das Abstandselement 161 liegt auf der Schicht zur Ausbildung des Ladungsspeicherbereiches auf.

[0060] Anschließend wird die Schicht zur Ausbildung des Ladungsspeicherbereiches 159 mit Hilfe des Abstandselementes 161 als Hartmaske in einem anisotropen Ätzprozess strukturiert. Danach wird das Abstandselement 161 entfernt. Die Hartmaske 152 verbleibt im Ausführungsbeispiel weiter auf der Finne 112.

[0061] Wie in Figur 5B gezeigt, wird danach eine weitere Dielektrikumschicht 163 erzeugt. Anschließend werden die gleichen Verfahrensschritte wie zur Herstellung des Transistors 10 durchgeführt, insbesondere:

- Herstellen einer elektrisch leitfähigen Gateelektroden-schicht 160, bspw. aus hochdotiertem polykristallinem Silizium, durch Abscheiden, Planarisieren und ganzflächiges Rückätzen. Die Dicke und das Material der Gateelektroden-schicht 160 gleichen bspw. der Dicke und dem Material der Gateelektroden-schicht 60. Die Gateelektroden-schicht 160 ist im Ausführungsbeispiel weiter zurückgeätzt worden als der Ladungsspeicherbereich 159. Alternativ wird aber die Gateelektroden-schicht 160 weniger weit zurückgeätzt, so dass sie den Ladungsspeicherbereich 159 überlappt.
- anschließend Erzeugen einer weiteren elektrisch isolierenden Abstandsschicht 162, die in ihrer Dicke und in ihrem Material der Abstandsschicht 62 gleicht oder gleichen kann. Es können aber auch andere Materialien oder eine andere Dicke der Abstandsschicht verwendet werden.
- Strukturieren der Gateelektroden-schicht 160 und der Abstandsschicht 162 z.B. mit einem fotolithografischen Verfahren.
- Beseitigen der beiden Gatedielektrika oberhalb der Abstandsschicht 162,
- optional Entfernen der verbliebenen Hartmaske 152

- Aufbringen von Drainkontaktmaterial 164, das dem Drainkontaktmaterial 64 entspricht, vorzugsweise durch Abscheiden, Planarisieren und ganzflächiges Rückätzen, wodurch sich die Drain-Gate-Kapazität verringert.
- Strukturieren des Drainkontaktmaterials 164.

[0062] Die Flash-Zelle wird vorzugsweise mit "heißen" Ladungsträgern programmiert, die auch CHE bzw. Channel Hot Electrons bezeichnet werden. Zum Löschen werden vorzugsweise Fowler-Nordheim-Tunnelströme eingesetzt. Die Flashzellen sind bspw. gemäß der bekannten NOR-Struktur organisiert. Das bedeutet, dass die Sourceanschlüsse als Bitleitungen in einer Bitleitungsrichtung strukturiert sind. Im rechten Winkel zu den Bitleitungen verlaufen Wortleitungen, die durch Strukturierung der Gateelektroden entstanden sind. An jeder Bitleitung bzw. Wortleitung liegen eine Vielzahl von Speichertransistoren eines matrixförmig aufgebauten Speicherzellenfeldes.

[0063] Bei anderen Ausführungsbeispielen wird keine Hartmaske 52, 152 verwendet, bzw. die Hartmaske 52, 152 wird frühzeitig entfernt, so dass als Bezugspunkt für die Dicke der zu planarisierenden Schichten das Ende der Finne 12 bzw. 112 dient.

[0064] Auf Grund der vergrabenen Sourcebereiche 122 benötigt der Transistor 100 nur ein kleine Substratfläche. Außerdem ermöglichen die vier Gatebereiche einen großen Einschaltstrom, so dass eine verringerte Betriebsspannung genutzt werden kann, die bspw. kleiner als 3 Volt ist. Die angegebenen Herstellungsverfahren sind einfach und ermöglichen die in sehr engen Toleranzen reproduzierbare Herstellung von Transistoren.

Patentansprüche

1. Vertikaler Feldeffekttransistor (10, 100), mit einem Vorsprung (12, 112), der an einem Substrat (13, 113) ausgebildet ist und der zur Ausbildung eines Kanalbereichs eines Feldeffekttransistors (10, 100) dient, mit an einander gegenüberliegenden Seiten des Vorsprungs (12, 112) ausgebildeten Steuerelektrodenbereichen (60, 160) einer Steuerelektrode des Feldeffekttransistors (10, 100), mit zwischen den Steuerelektrodenbereichen (60, 160) und dem Vorsprung (12, 112) angeordneten elektrisch isolierenden Isolierbereichen (58, 70, 158), die an dem Kanalbereich angrenzen, mit einem substratnahen Anschlussbereich (22, 122) an dem einen Ende des Kanalbereiches, und mit einem substratfernen Anschlussbereich (64, 164) an dem anderen Ende des Kanalbereiches, wobei die Steuerelektrode (60, 160) eine ebene Grenzfläche hat, die parallel zu einer substratnahen Basisfläche (F) des Vorsprungs (12, 112) liegt.

2. Feldeffekttransistor (10, 100) nach Anspruch 1, **dadurch gekennzeichnet, dass** die Steuerelektrode (60, 160) in der vom Substrat (13, 113) wegzeigenden Normalenrichtung (N) der Basisfläche überall oder in mindestens neunzig Prozent ihres Bereiches von der ebenen Grenzfläche begrenzt wird.
3. Feldeffekttransistor (10, 100) nach Anspruch 1 oder 2, **gekennzeichnet durch** mindestens einen zwischen einem Isolierbereich (163) und einem Steuerelektrodenbereich (60, 160) angeordneten Ladungsspeicherbereich (159), und vorzugsweise **durch** mindestens einen zwischen einem Ladungsspeicherbereich (159) und einem Steuerelektrodenbereich (60, 160) angeordneten weiteren elektrisch isolierenden Isolierbereich (163).
4. Feldeffekttransistor (10, 100) nach Anspruch 3, **dadurch gekennzeichnet, dass** der Ladungsspeicherbereich (159) in einem Ladungsspeichermaterial enthalten ist, das eine weitere substratferne ebene Grenzfläche hat, die parallel zu der Basisfläche des Vorsprungs (12, 112) liegt.
5. Feldeffekttransistor (10, 100) nach Anspruch 4, **dadurch gekennzeichnet, dass** das Ladungsspeichermaterial (159) in der vom Substrat wegzeigenden Normalenrichtung (N) der Basisfläche überall oder zu mindestens neunzig Prozent seines Bereiches von der weiteren ebenen substratfernen Grenzfläche begrenzt wird.
6. Feldeffekttransistor (10, 100) nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet dass** die Steuerelektrode (60, 160) den Vorsprung (12, 112) entlang eines geschlossenen Umlaufs umschließt, und/oder dass das Ladungsspeichermaterial (159) den Vorsprung (12, 112) entlang eines geschlossenen Umlaufs umschließt.
7. Feldeffekttransistor (10, 100) nach einem der vorhergehenden Ansprüche, **gekennzeichnet durch** mindestens eines der folgenden Merkmale:
 - der Vorsprung (12, 112) und das Substrat (13, 113) sind einkristallin ausgebildet, vorzugsweise mit gleichbleibender Gitterkonstante, der Isolierbereich (70) ist ein auf dem Vorsprung aufgewachsener Bereich, der substratnahe Anschlussbereich (22, 122) ist mit lateralem Versatz zu der Basisfläche angeordnet, der Vorsprung (12, 112) hat eine minimale Abmessung kleiner als einhundert Nanometer.
8. Feldeffekttransistor (10, 100) nach einem der vor-

hergehenden Ansprüche, **dadurch gekennzeichnet, dass** die Steuerelektrode (160) entgegen der Normalenrichtung (N) weiter zurückgeätzt oder zurückgesetzt ist als der Ladungsspeicherbereich (159) oder dass die Steuerelektrode (160) den Ladungsspeicherbereich (159) in Normalenrichtung (N) überlappt.

5

10

15

20

25

30

35

40

45

50

55

FIG 1

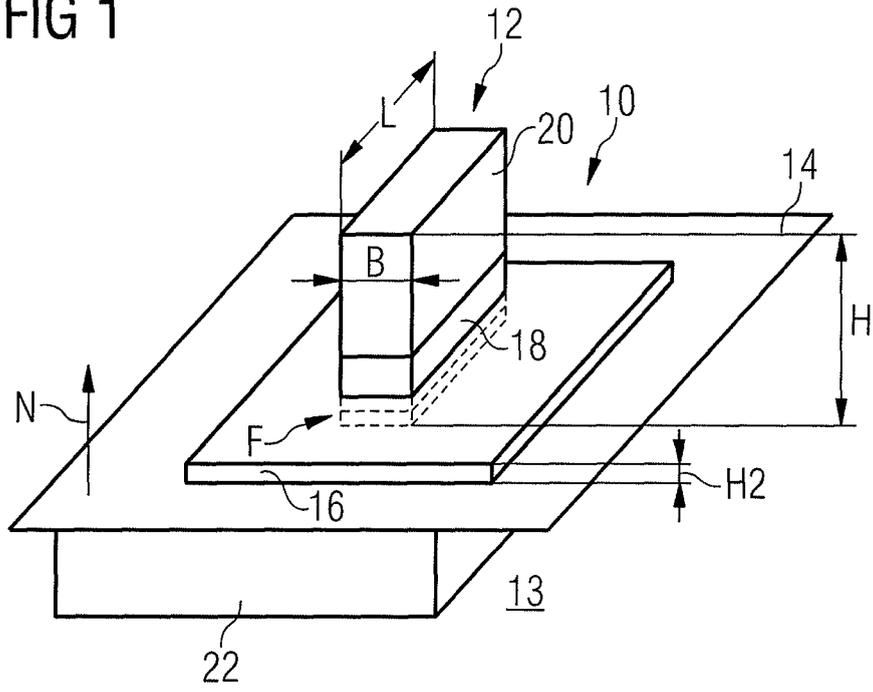


FIG 2

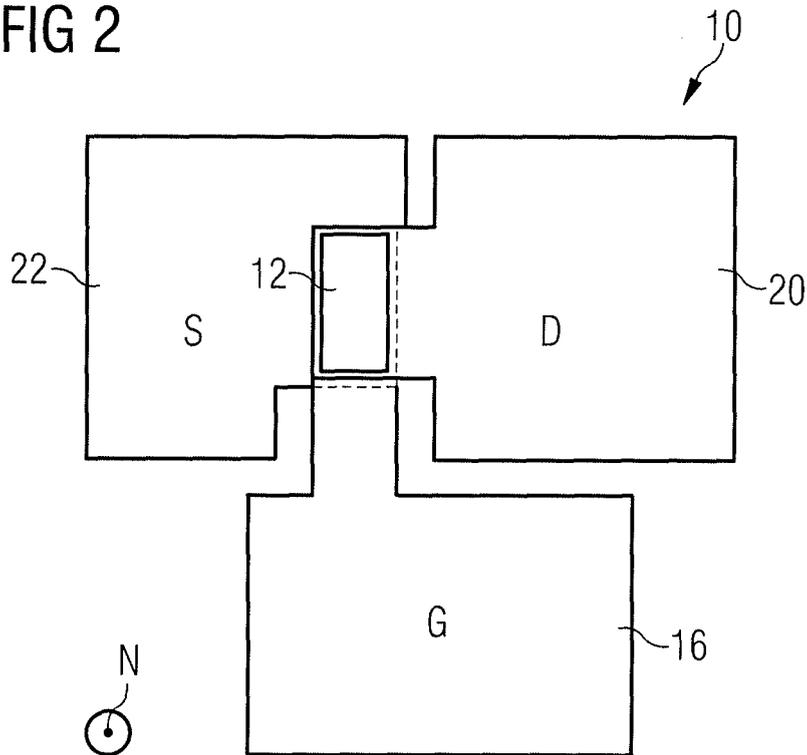


FIG 3A

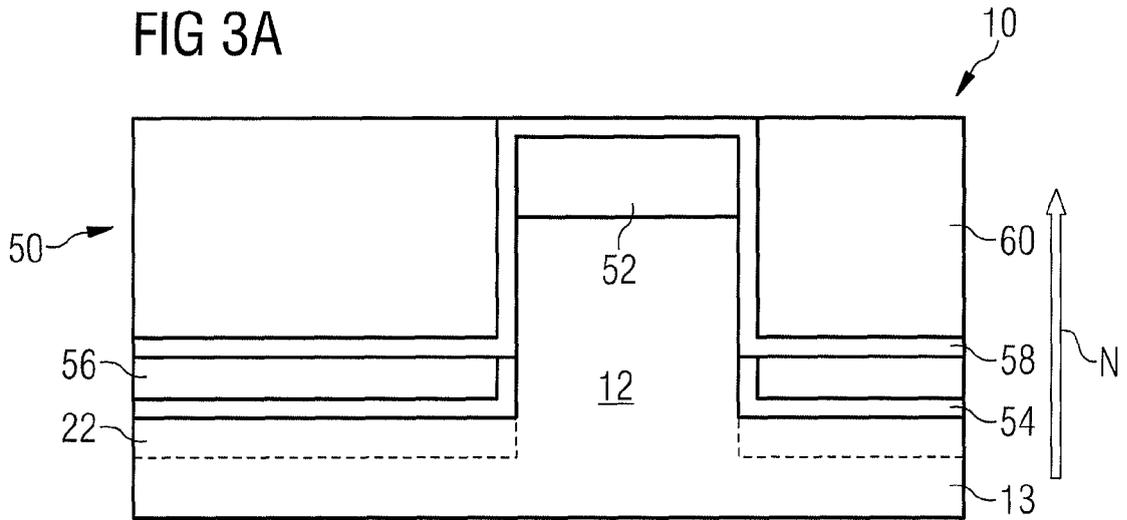


FIG 3B

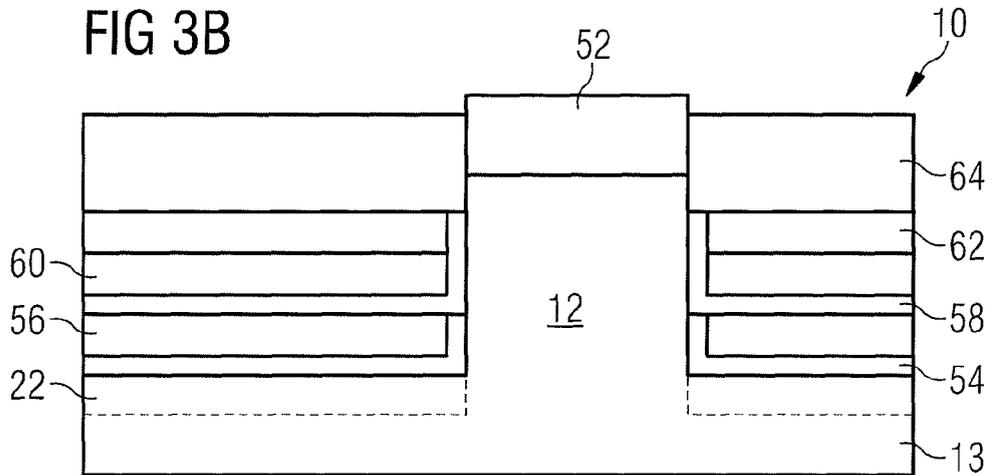


FIG 4

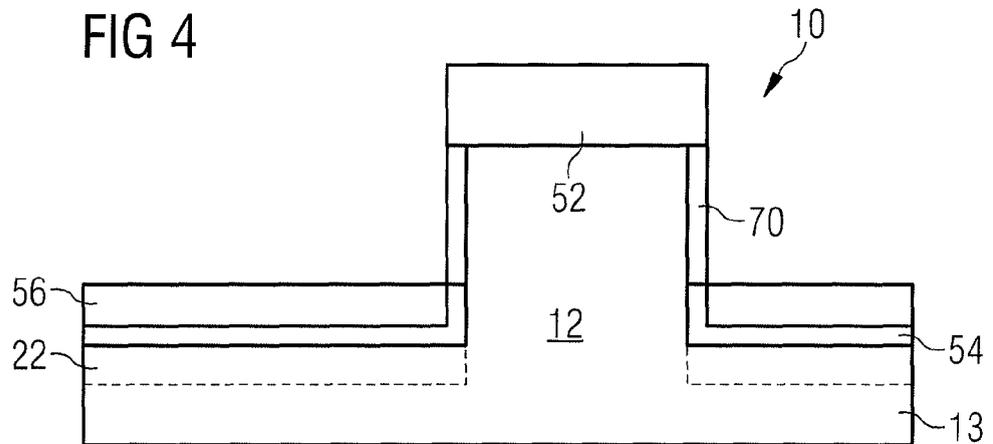


FIG 5A

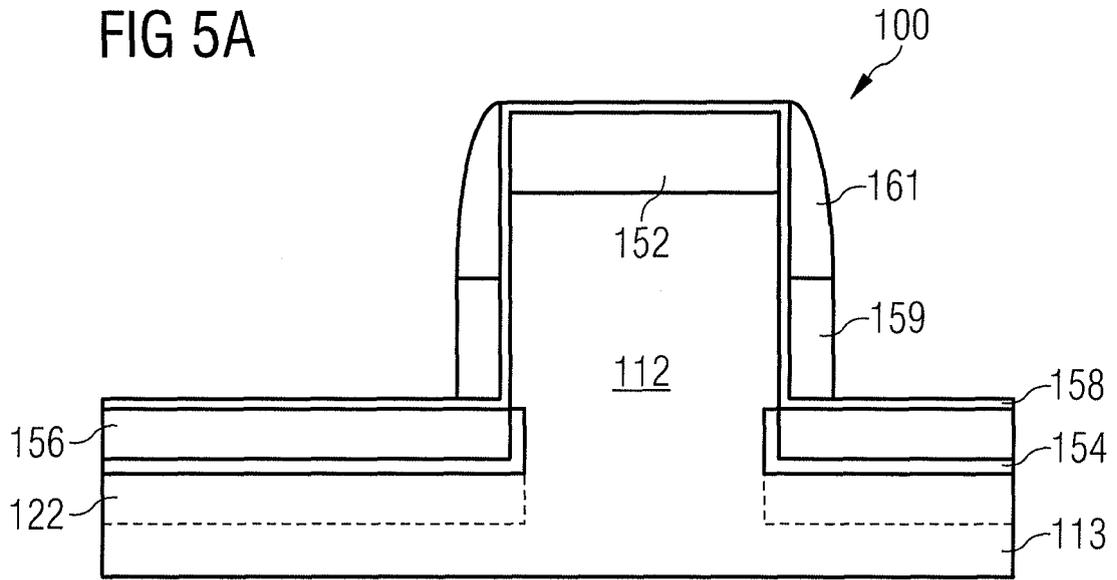
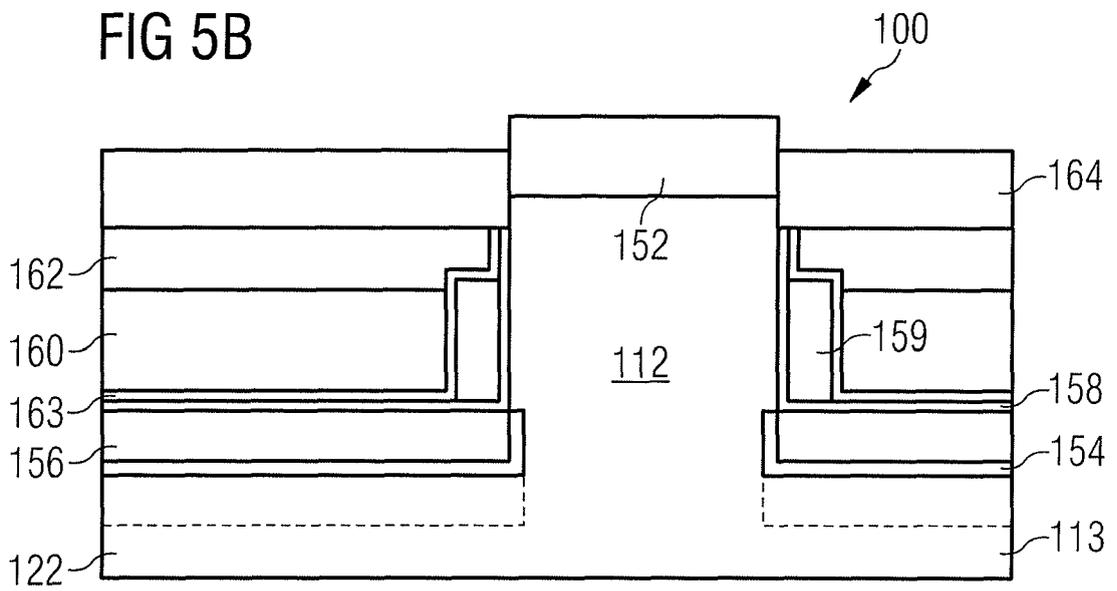


FIG 5B



IN DER BESCHREIBUNG AUFGEFÜHRTE DOKUMENTE

Diese Liste der vom Anmelder aufgeführten Dokumente wurde ausschließlich zur Information des Lesers aufgenommen und ist nicht Bestandteil des europäischen Patentdokumentes. Sie wurde mit größter Sorgfalt zusammengestellt; das EPA übernimmt jedoch keinerlei Haftung für etwaige Fehler oder Auslassungen.

In der Beschreibung aufgeführte Patentdokumente

- DE 19924571 C2 [0004]