



(11)

EP 2 282 249 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des
Hinweises auf die Patenterteilung:
07.10.2015 Patentblatt 2015/41

(51) Int Cl.:
G05F 3/26 (2006.01)

(21) Anmeldenummer: **10184332.4**

(22) Anmeldetag: **15.04.2005**

(54) **Stromspiegelanordnung**

Current mirror system

Système de miroir de courant

(84) Benannte Vertragsstaaten:
**AT BE BG CH CY CZ DE DK EE ES FI FR GB GR
HU IE IS IT LI LT LU MC NL PL PT RO SE SI SK TR**

(30) Priorität: **30.04.2004 DE 102004021232**

(43) Veröffentlichungstag der Anmeldung:
09.02.2011 Patentblatt 2011/06

(62) Dokumentnummer(n) der früheren Anmeldung(en)
nach Art. 76 EPÜ:
05742902.9 / 1 741 016

(73) Patentinhaber: **ams AG
8141 Unterpremstätten (AT)**

(72) Erfinder: **Jongsma, Jakob
8042, Graz (AT)**

(74) Vertreter: **Epping - Hermann - Fischer
Patentanwaltsgesellschaft mbH
Schloßschmidstraße 5
80639 München (DE)**

(56) Entgegenhaltungen:
**EP-A- 0 747 800 US-A- 5 034 626
US-A- 5 680 038 US-A- 5 694 073
US-A- 6 133 749 US-A1- 2003 085 756**

EP 2 282 249 B1

Anmerkung: Innerhalb von neun Monaten nach Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann nach Maßgabe der Ausführungsordnung beim Europäischen Patentamt gegen dieses Patent Einspruch einlegen. Der Einspruch gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Stromspiegelanordnung.

[0002] Stromspiegel sind als Grundsaltungen mit Transistoren bekannt und beispielsweise in U. Tietze, Ch. Schenk: "Halbleiter-Schaltungstechnik", 10. Auflage 1993, S. 62 bis 63, beschrieben.

[0003] Stromspiegel können in unterschiedlichen Schaltungstechniken oder Integrationstechniken, beispielsweise in MOS, Metal Oxide Semiconductor, -Schaltungstechnik angewandt werden.

[0004] In dem Dokument US 5,694,073 ist ein Schaltkreis angegeben, der Versorgungsspannung und Temperatur detektiert. Darin zeigen Figuren 2a, 2b jeweilige Verstärkerstufen 12A, 12B, die komplementäre Bias-Ströme erzeugen. Diese werden den in Figuren 3a, 3b gezeigten Temperatur-Kompensationsstufen zugeführt. An Ausgängen M1RN, M1RP werden temperatur- und versorgungsspannungskompensierte Bias-Ströme bereitgestellt.

[0005] Figur 1 zeigt einen beispielhaften, bekannten Stromspiegel, der zwei gegen einen Bezugspotenzialanschluss 1 geschaltete Transistoren 2, 3 aufweist. Die Transistoren 2, 3 des Stromspiegels sind jeweils vom n-Leitfähigkeitstyp und an ihren Steueranschlüssen unmittelbar miteinander verbunden. Der eingangsseitige Transistor 2 des Stromspiegels hat eine gesteuerte Strecke, die mit einem ersten Anschluss mit dem Gate-Anschluss des Transistors 2 und mit einem weiteren Anschluss mit dem Bezugspotenzialanschluss 1 verbunden ist. Der mit dem Gate-Anschluss des Transistors 2 verbundene Anschluss der gesteuerten Strecke des Transistors 2 ist weiterhin über eine Stromquelle 4 an einen Versorgungspotenzialanschluss 5 geschaltet.

[0006] Auch der Transistor 3 von Figur 1 hat eine gesteuerte Strecke, die einerseits mit dem Bezugspotenzialanschluss 1 und andererseits mit einem Anschluss eines weiteren Transistors 6 verbunden ist. Der weitere Transistor 6 ist mit einem weiteren Anschluss seiner gesteuerten Strecke mit dem Versorgungspotenzialanschluss 5 verbunden und vom p-Leitfähigkeitstyp. Der Steueranschluss des Transistors 6 ist mit demjenigen Anschluss seiner gesteuerten Strecke verbunden, der mit dem Transistor 3 verbunden ist.

[0007] Die Schaltung gemäß Figur 1 dient zur Erzeugung zweier Bias-Signale, nämlich einerseits eines Bias-Signals NBIAS für n-MOS-Bauteile und andererseits eines Bias-Signals PBIAS für p-MOS-Bauteile. Das Bias-Signal NBIAS ist an den Steueranschlüssen der n-Kanal-Transistoren 2, 3 an einem Ausgangsanschluss 7 abgreifbar. Ein weiterer Ausgangsanschluss 8, der mit dem Steueranschluss des Transistors 6 verbunden ist, dient als Ausgang zum Abgreifen des PBIAS-Signals.

[0008] Figur 2 zeigt eine Weiterbildung der Schaltung von Figur 1, die dieser in den verwendeten Bauteilen und deren Funktionsweise weitgehend entspricht, jedoch um eine Kaskode-Stufe 9, 10 ergänzt ist. Die Kaskode-Stufe

9, 10 umfasst zwei Transistoren, von denen je einer in die Strompfade zwischen Stromquelle 4 und Transistor 2 sowie zwischen Diode 6 und Transistor 3 geschaltet sind. Dabei bilden die Transistoren 9, 10 der Kaskode-Stufe, von denen Transistor 9 als Diode verschaltet ist, selbst wiederum gemeinsam einen Stromspiegel.

[0009] Gegenüber der Schaltung von Figur 1 hat die Stromspiegelanordnung von Figur 2 mit Kaskode eine verbesserte Übereinstimmung der Signale NBIAS und PBIAS miteinander. Gleichwohl ist auch bei der Schaltung gemäß Figur 2 keine exakte Übereinstimmung der Bias-Signale für Bauteile vom entgegengesetzten, das heißt komplementären, Leitfähigkeitstyp gewährleistet.

[0010] Vielmehr können auch die Bias-Signale bei der Schaltung von Figur 2 bemerkenswert voneinander abweichen.

[0011] Es ist jedoch in vielen Anwendungen wünschenswert, eine exakte Übereinstimmung zwischen NBIAS- und PBIAS-Signal zu erzielen, um beispielsweise Transistoren von komplementärem Leitfähigkeitstyp in je übereinstimmenden Arbeitspunkten zu betreiben und/oder Schaltungen mit hoher Symmetrie und gutem Matching zu schaffen.

[0012] Aufgabe der vorliegenden Erfindung ist es, eine Stromspiegelanordnung anzugeben, die es ermöglicht, zwei Bias-Ströme abzugeben, die sehr genau miteinander übereinstimmen und zur Ansteuerung von integrierten Bauteilen unterschiedlichen Leitfähigkeitstyps geeignet sind.

[0013] Erfindungsgemäß wird die Aufgabe durch eine Stromspiegelanordnung gelöst, aufweisend die Merkmale des Anspruchs 1.

[0014] Es entspricht dem vorgeschlagenen Prinzip, zwei Transistoren vorzusehen, die von unterschiedlichem Leitfähigkeitstyp sind und je zur Abgabe eines Stroms dienen, der als Bias-Signal geeignet ist. Der erste und der zweite Transistor werden dabei so angesteuert, dass sie nicht selbst der jeweilige Ausgangstransistor eines Stromspiegels sind. Vielmehr ist erfindungsgemäß vorgesehen, dass der Ausgangstransistor eines Stromspiegels als gesteuerte Stromquelle ausgeführt ist, die zwischen den ersten und den zweiten Transistor geschaltet ist.

[0015] Aufgrund der Verschaltung der vorgeschlagenen Stromspiegelanordnung ist es möglich, an dem ersten Transistor und dem zweiten Transistor exakt miteinander übereinstimmende Ströme zu generieren, die die jeweilige Ansteuerung komplementärer Bauteile in hochpräziser Weise ermöglichen. Dabei ist mit zusätzlichem Vorteil der Schaltungsaufwand gegenüber einer herkömmlichen Stromspiegelanordnung zur Bereitstellung von komplementären Bias-Signalen gering. Dadurch kann das vorgeschlagene Prinzip mit verhältnismäßig geringer Chipfläche und somit kostengünstig integriert werden.

[0016] Die gesteuerte Stromquelle, die den Ausgang des ersten und zweiten Transistor ansteuernden Stromspiegels bildet, ist bevorzugt als so genannte floa-

tende Stromquelle, also zum Betrieb mit schwebendem Potenzial, ausgelegt. Ein schwebendes Potenzial wird gelegentlich auch als schwimmendes Potenzial bezeichnet.

[0017] Der erste Transistor, die gesteuerte Stromquelle und der zweite Transistor sind bevorzugt in einem gemeinsamen Strompfad angeordnet. Dabei stellt die in der Mitte zwischen den beiden Transistoren angeordnete, gesteuerte Stromquelle, die selbst floatendes Potenzial hat, sicher, dass die Ströme durch ersten und zweiten Transistor identisch groß sind und somit eine noch weiter verbesserte Übereinstimmung zwischen den beiden abgegebenen Bias-Strömen der Stromspiegelanordnung vorliegt.

[0018] Bei den beiden Leitfähigkeitstypen der Transistoren handelt es sich bevorzugt um einen p-Leitfähigkeitstyp und einen n-Leitfähigkeitstyp. Das bedeutet, dass der erste Transistor bevorzugt ein p-Kanal-Transistor und der zweite Transistor ein dazu komplementärer n-Kanal-Transistor ist.

[0019] Der erste Transistor und der zweite Transistor sind bevorzugt je als Diode verschaltet.

[0020] In einer vorteilhaften Weiterbildung wird der erste Strom und der zweite Strom jeweils an dem mit der gesteuerten Stromquelle verbundenen Lastanschluss des ersten bzw. zweiten Transistors abgegriffen.

[0021] Mit diesem Abgriffsknoten ist jeweils weiter bevorzugt der Steueranschluss des jeweiligen Transistors zur Bildung einer Diode verbunden.

[0022] Der gemeinsame Strompfad, der die Serienschaltung von erstem Transistor, gesteuerter Stromquelle und zweitem Transistor umfasst, ist bevorzugt zwischen einen Versorgungspotenzialanschluss und einen Bezugspotenzialanschluss geschaltet.

[0023] Die gesteuerte Stromquelle selbst ist bevorzugt ebenfalls als Transistor, nämlich als Stromquellentransistor, ausgebildet, dessen gesteuerte Strecke mit den gesteuerten Strecken des ersten und zweiten Transistors eine Serienschaltung bildet.

[0024] Die gesteuerte Stromquelle bildet bevorzugt mit einem als Diode verschalteten Transistor den Stromspiegel, wobei der als Diode verschaltete Transistor weiter bevorzugt in einem weiteren Strompfad angeordnet ist, der von einer eingangsseitigen Stromquelle gespeist wird. Die Stromquelle in dem weiteren Strompfad dient dabei als Referenzstromquelle.

[0025] Der weitere Strompfad umfasst aus Symmetriegründen weiter bevorzugt eine weitere Diode, die zwischen den eingangsseitigen Transistor des Stromspiegels und Bezugspotenzial- oder Versorgungspotenzialanschluss geschaltet wird.

[0026] Anstelle der weiteren Diode im weiteren Strompfad kann in einer alternativen Ausführungsform ein weiterer Transistor vorgesehen sein, der gemeinsam mit dem zweiten Transistor einen Rückkopplungs-Stromspiegel bildet, wobei der zweite Transistor als Diode verschaltet ist. Die beiden Stromspiegel dieser weitergebildeten Stromspiegelanordnung bilden miteinander einen

so genannten Wilson-Stromspiegel.

[0027] Die Stromspiegel-Anordnung ist bevorzugt in integrierter Schaltungsbauweise hergestellt.

[0028] Insbesondere ist die Stromspiegelanordnung bevorzugt in unipolarer Schaltungstechnik integriert, beispielsweise einer Metall-Isolator-Halbleiter-Struktur.

[0029] Die Stromspiegelanordnung ist bevorzugt in komplementärer MOS-Schaltungstechnik aufgebaut.

[0030] Die vorgeschlagene Stromspiegelanordnung funktioniert alternativ auch in der komplementären Schaltungsvariante, das bedeutet, dass alle MOS-Transistoren vom n-Kanal-Leitfähigkeitstyp durch Bauteile mit p-Kanal ersetzt werden und umgekehrt.

[0031] Die Erfindung wird nachfolgend anhand von mehreren Ausführungsbeispielen in Zusammenhang mit den Figuren näher erläutert.

[0032] Es zeigen dabei:

Figur 1 eine Stromspiegelanordnung gemäß Stand der Technik,

Figur 2 eine Stromspiegelanordnung gemäß Stand der Technik mit Kaskode-Stufe,

Figur 3 das Grundprinzip der vorgeschlagenen Stromspiegelanordnung anhand eines Schaltplans,

Figur 4 eine Weiterbildung der Schaltung von Figur 3 anhand eines Schaltplans und

Figur 5 eine Weiterbildung der Schaltung von Figur 3 mit Wilson-Stromspiegel.

[0033] Figuren 1 und 2 wurden bereits in der Beschreibungseinleitung erläutert. Deren Beschreibung soll daher an dieser Stelle nicht noch einmal wiederholt werden.

[0034] Figur 3 zeigt eine Stromspiegelanordnung gemäß dem vorgeschlagenen Prinzip mit einem ersten Transistor 11, der von einem p-Leitfähigkeitstyp ist, und mit einem zweiten Transistor 12, der von einem n-Leitfähigkeitstyp ist. Der erste und der zweite Transistor 11, 12 haben je einen Steueranschluss und je eine gesteuerte Strecke. Zwischen je einen Anschluss der gesteuerten Strecken der Transistoren 11, 12 ist eine Stromquelle 13 geschaltet. Der freie Anschluss der gesteuerten Strecke des Transistors 11 ist mit einem Versorgungspotenzialanschluss 14 und der freie Anschluss der gesteuerten Strecke des zweiten Transistors 12 mit einem Bezugspotenzialanschluss 15 verschaltet. Die mit der Stromquelle 13 verbundenen Anschlüsse der gesteuerten Strecken der Transistoren 11, 12 sind mit dem jeweiligen Steueranschluss des zugehörigen Transistors 11, 12 zur Bildung einer Diode verbunden und bilden zugleich Ausgänge 16, 17 der Stromspiegelanordnung. Der erste Ausgang 16 ist ausgelegt zur Abgabe eines ersten Stroms PBIAS, während der zweite Ausgang 17 zur Abgabe eines zweiten, zum ersten komplementären Stroms

NBIAS ausgelegt ist. Erster und zweiter Strom dienen als komplementäre BIAS-Signale. Gemäß Figur 1 ist die Stromquelle 13 als floatende Stromquelle, also mit schwebendem Potenzial, ausgeführt.

[0035] Zusätzlich zu dem Strompfad 11, 13, 12 ist ein weiterer Strompfad vorgesehen, der dazu ausgelegt ist, von einem Referenzstrom I_{REF} durchflossen zu werden. Zur Kopplung dieser beiden Strompfade ist ein in Figur 3 nicht explizit eingezeichneter Stromspiegel vorgesehen, was dadurch angedeutet ist, dass die gesteuerte Stromquelle 13 von dem n-fachen Referenzstrom I_{REF} des ersten Strompfades durchflossen ist. Der Buchstabe n repräsentiert dabei das Spiegelverhältnis des Stromspiegels.

[0036] Durch die Verschaltung gemäß Figur 3 ist sichergestellt, dass die Ströme in dem p-Kanal-Transistor 11 und in dem n-Kanal-Transistor 12 identisch groß sind und damit auch die von den Transistoren bereitgestellten und an den Ausgängen 16, 17 abgreifbaren, komplementären Bias-Signale PBIAS, NBIAS exakt identisch groß sind. Die vorgeschlagene Schaltung hat dabei einen geringen Bauteilaufwand und ist mit geringer Chipfläche und daher kostengünstig integrierbar.

[0037] Eine Weiterbildung der Schaltung von Figur 3 zur Erzeugung identischer n-MOS- und p-MOS-Ströme mittels einer Stromspiegelanordnung zeigt Figur 4. Die Schaltung von Figur 4 stimmt in den verwendeten Bauteilen, deren vorteilhafter Zusammenschaltung und Funktionsweise weitgehend mit derjenigen von Figur 3 überein und wird insoweit an dieser Stelle nicht noch einmal wiederholt.

[0038] Die floatend betriebene, gesteuerte Stromquelle 13 ist bei Figur 4 als Transistor 13' ausgebildet, der mit einem Eingangstransistor 18 den Stromspiegel 18, 13' bildet. Der Eingangstransistor 18 ist als Diode verschaltet. Ebenso wie der Transistor 13', der als Stromquelle arbeitet, ist der Transistor 18 vom n-Kanal-Typ. Zur Bereitstellung des Referenzstroms I_{REF} ist eine Stromquelle 19 vorgesehen, die einen Versorgungspotenzialanschluss 14 mit einem Anschluss der gesteuerten Strecke des Diodentransistors 18 verbindet, der auch mit dessen Gate-Anschluss verbunden ist. Eine weitere Transistordiode 20, ebenfalls vom n-Leitfähigkeitstyp, verbindet den Transistor 18 mit dem Bezugspotenzialanschluss 15. Somit bilden die Referenzstromquelle 19, der Transistor 18 und die Diode 20 miteinander eine Serienschaltung.

[0039] Man erkennt, dass ausgehend von einer Stromspiegelanordnung mit Kaskode-Stufe, wie in Figur 2 gezeigt, nur geringfügige Modifikationen und keinerlei zusätzliche Bauteile erforderliche sind, um gleichwohl mit Vorteil Bias-Ströme, die exakt miteinander übereinstimmen und zum Betrieb komplementärer Bauteile geeignet sind, gemäß der Schaltung von Figur 4 zu erzeugen.

[0040] Figur 5 zeigt ein weiteres Ausführungsbeispiel einer Weiterbildung einer Stromspiegelanordnung gemäß vorgeschlagenem Prinzip. Die Schaltung von Figur 5 stimmt in den verwendeten Bauteilen, deren Verschal-

tung miteinander sowie ihrer vorteilhaften Funktionsweise weitgehend mit der von Figur 4 überein und wird insoweit an dieser Stelle nicht noch einmal beschrieben.

[0041] Anstelle des als Diode verschalteten Transistors 20 ist bei Figur 5 der Steueranschluss des dort mit Bezugszeichen 20' versehenen Transistors mit dem Gate-Anschluss des zweiten Transistors 12 verbunden. Dadurch bilden die Transistoren 12, 20' miteinander einen Feedback-Stromspiegel, der zusammen mit dem Stromspiegel 18, 13', der in Vorwärtsrichtung arbeitet, einen Wilson-Stromspiegel bildet. Der Wilson-Stromspiegel 18, 13'; 12, 20' bildet einen geschlossenen Regelkreis.

[0042] Auch für das Ausführungsbeispiel gemäß Figur 5 gilt, dass die an den Ausgängen 16, 17 abgreifbaren Bias-Signale PBIAS, NBIAS exakt miteinander übereinstimmen.

[0043] Im Rahmen der Erfindung können alle gezeigten Ausführungsbeispiele auch in komplementärer Ausführung realisiert sein, das bedeutet, dass alle Transistoren vom n-Leitfähigkeitstyp durch p-MOS-Bauteile und umgekehrt ersetzt werden.

[0044] Selbstverständlich dienen die gezeigten Ausführungsbeispiele nicht zur Beschränkung der Erfindung, sondern lediglich zu illustrativen Zwecken.

Bezugszeichenliste

[0045]

1	Bezugspotenzialanschluss
2	Transistor
3	Transistor
4	Stromquelle
5	Versorgungspotenzialanschluss
6	Transistor
7	Ausgang
8	Ausgang
9	Diode
10	Transistor
11	Transistor
12	Transistor
13	gesteuerte Stromquelle
13'	Transistor
14	Versorgungspotenzialanschluss
15	Bezugspotenzialanschluss
16	Ausgang
17	Ausgang
18	Diode
19	Referenzstromquelle
20'	Transistor

Patentansprüche

1. Stromspiegelanordnung, aufweisend

- einen ersten Transistor (11), der von einem

- ersten Leitfähigkeitstyp ist, ausgelegt zur Abgabe eines ersten Stroms (PBIAS),
 - einen zweiten Transistor (12), der von einem zweiten Leitfähigkeitstyp ist, ausgelegt zur Abgabe eines zweiten Stroms (NBIAS),
 - eine gesteuerte Stromquelle (13), die zwischen den ersten Transistor (11) und den zweiten Transistor (12) geschaltet ist und die den Ausgang eines Stromspiegels bildet,
 - wobei ein als Diode verschalteter Transistor (18) des Stromspiegels (18, 13') gemeinsam mit einer Referenzstromquelle (19) in einem weiteren Strompfad angeordnet ist,
 - und wobei der weitere Strompfad (19, 18) einen Transistor (20') umfasst, der gemeinsam mit dem zweiten Transistor (12) einen Rückkopplungs-Stromspiegel (12, 20') bildet, wobei der zweite Transistor (12) als Diode verschaltet ist.
2. Stromspiegelanordnung nach Anspruch 1, **dadurch gekennzeichnet, dass** die gesteuerte Stromquelle (13) zum Betrieb mit schwebendem Potenzial ausgelegt ist.
3. Stromspiegelanordnung nach Anspruch 1 oder 2, **dadurch gekennzeichnet, dass** der erste Transistor (11), die gesteuerte Stromquelle (13) und der zweite Transistor (12) in einem gemeinsamen Strompfad angeordnet sind, der zwischen einen Versorgungs- und einen Bezugspotentialanschluss (14, 15) geschaltet ist.
4. Stromspiegelanordnung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet, dass** der erste Leitfähigkeitstyp und der zweite Leitfähigkeitstyp zueinander komplementär sind.
5. Stromspiegelanordnung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet, dass** der erste Transistor (11) und der zweite Transistor (12) je als Diode verschaltet sind.
6. Stromspiegelanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet, dass** der erste Transistor (11) einen Steueranschluss aufweist, der mit einem Anschluss der gesteuerten Strecke des ersten Transistors (11) sowie mit einem Anschluss der gesteuerten Stromquelle (13) verbunden ist und an dem ein Ausgang (16) zur Abgabe des ersten Stroms (PBIAS) gebildet ist, und dass der zweite Transistor (12) einen Steueranschluss aufweist, der mit einem Anschluss der gesteuerten Strecke des zweiten Transistors (12) sowie mit einem weiteren Anschluss der gesteuerten Stromquelle (13) verbunden ist und an dem ein Ausgang (17) zur Abgabe des zweiten Stroms (NBIAS) gebildet ist.
7. Stromspiegelanordnung nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet, dass** die gesteuerte Stromquelle ein Stromquellentransistor (13') ist, dessen gesteuerte Strecke mit den gesteuerten Strecken des ersten und des zweiten Transistors (11, 12) eine Serienschaltung bildet.
8. Stromspiegelanordnung nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet, dass** die gesteuerte Stromquelle (13') gemeinsam mit einem als Diode verschalteten Transistor (18) den Stromspiegel bildet.
9. Stromspiegelanordnung nach einem der Ansprüche 1 bis 8, **dadurch gekennzeichnet, dass** die Stromspiegelanordnung in integrierter Schaltungsbauweise hergestellt ist.
10. Stromspiegelanordnung nach einem der Ansprüche 1 bis 9, **dadurch gekennzeichnet, dass** die Stromspiegelanordnung in Complementary Metal Oxide Semiconductor-Schaltungstechnik integriert ist.
- ### Claims
1. A current mirror assembly, comprising
- a first transistor (11) of a first conductivity type and designed to deliver a first current (PBIAS),
 - a second transistor (12) of a second conductivity type and designed to deliver a second current (NBIAS),
 - a controlled current source (13) which is connected between the first transistor (11) and the second transistor (12) and forms the output of a current mirror,
 - a transistor (18) of the current mirror (18, 13'), the transistor (18) being interconnected as a diode and being arranged together with a reference current source (19) in a further current path,
 - and wherein the further current path (19, 18) comprises a transistor (20') forming a feedback current mirror (12, 20') together with the second transistor (12), the second transistor (12) being interconnected as a diode.
2. The current mirror assembly according to claim 1, **characterized in that** the controlled current source (13) is designed to be

operated with floating potential.

3. The current mirror assembly according to claim 1 or 2,

characterized in that

the first transistor (11), the controlled current source (13) and the second transistor (12) are arranged in a common current path which is connected between a supply terminal and a reference potential terminal (14, 15).

4. The current mirror assembly according to any of the claims 1 to 3,

characterized in that

the first conductivity type and the second conductivity type are complementary to each other.

5. The current mirror assembly according to any of the claims 1 to 4,

characterized in that

the first transistor (11) and the second transistor (12) are each interconnected as a diode.

6. The current mirror assembly according to any of the claims 1 to 5,

characterized in that

the first transistor (11) comprises a control terminal which is coupled to a terminal of the controlled section of the first transistor (11) as well as to a terminal of the controlled current source (13) and is provided with an output (16) for delivering the first current (PBIAS), and **in that** the second transistor (12) comprises a control terminal which is coupled to a terminal of the controlled section of the second transistor (12) as well as to a further terminal of the controlled current source (13) and is provided with an output (17) for delivering the second current (NBIAS).

7. The current mirror assembly according to any of the claims 1 to 6,

characterized in that

the controlled current source is a current source transistor (13') whose controlled section forms a serial connection with the controlled sections of the first and second transistors (11, 12).

8. The current mirror assembly according to any of the claims 1 to 7,

characterized in that

the controlled current source (13') forms the current mirror together with a transistor (18) interconnected as a diode.

9. The current mirror assembly according to any of the claims 1 to 8,

characterized in that

the current mirror assembly is manufactured in integrated circuit design.

10. The current mirror assembly according to any of the claims 1 to 9,

characterized in that

the current mirror assembly is integrated in complementary metal-oxide-semiconductor circuit technology.

Revendications

1. Ensemble miroir de courant, présentant

- un premier transistor (11) qui est d'un premier type de conductivité, conçu pour délivrer un premier courant (PBIAS),
- un deuxième transistor (12) qui est d'un deuxième type de conductivité, conçu pour délivrer un deuxième courant (NBIAS),
- une source de courant commandée (13) qui est montée entre le premier transistor (11) et le deuxième transistor (12) et qui constitue la sortie d'un miroir de courant,
- sachant qu'un transistor (18) du miroir de courant (18, 13'), connecté comme diode, est disposé conjointement avec une source de courant de référence (19) dans un chemin de courant supplémentaire,
- et sachant que le chemin de courant (19, 18) supplémentaire comprend un transistor (20') qui constitue conjointement avec le deuxième transistor (12) un miroir de courant à rétrocouplage (12, 20'), sachant que le deuxième transistor (12) est connecté comme diode.

2. Ensemble miroir de courant selon la revendication 1, **caractérisé en ce que**

la source de courant commandée (13) est conçue pour le fonctionnement à potentiel flottant.

3. Ensemble miroir de courant selon la revendication 1 ou 2,

caractérisé en ce que

le premier transistor (11), la source de courant commandée (13) et le deuxième transistor (12) sont disposés dans un chemin de courant conjoint qui est monté entre une connexion d'alimentation et une connexion de potentiel de référence (14, 15).

4. Ensemble miroir de courant selon l'une des revendications 1 à 3,

caractérisé en ce que

le premier type de conductivité et le deuxième type de conductivité sont complémentaires l'un de l'autre.

5. Ensemble miroir de courant selon l'une des revendications 1 à 4,

caractérisé en ce que

le premier transistor (11) et le deuxième transistor

(12) sont chacun connectés comme diode.

6. Ensemble miroir de courant selon l'une des revendications 1 à 5,
caractérisé en ce que 5
le premier transistor (11) présente une connexion de commande qui est reliée à une connexion du trajet commandé du premier transistor (11) ainsi qu'à une connexion de la source de courant commandée (13) et au niveau de laquelle une sortie (16) destinée à délivrer le premier courant (PBIAS) est constituée, 10
et en ce que
le deuxième transistor (12) présente une connexion de commande qui est reliée à une connexion du trajet commandé du deuxième transistor (12) ainsi qu'à une connexion supplémentaire de la source de courant commandée (13) et au niveau de laquelle une sortie (17) destinée à délivrer le deuxième courant (NBIAS) est constituée. 15
20
7. Ensemble miroir de courant selon l'une des revendications 1 à 6,
caractérisé en ce que
la source de courant commandée est un transistor de source de courant (13') dont le trajet commandé constitue un montage en série avec les trajets commandés du premier et du deuxième transistor (11, 12). 25
8. Ensemble miroir de courant selon l'une des revendications 1 à 7,
caractérisé en ce que
la source de courant commandée (13') constitue le miroir de courant conjointement avec un transistor (18) connecté comme diode. 30
35
9. Ensemble miroir de courant selon l'une des revendications 1 à 8,
caractérisé en ce que
l'ensemble miroir de courant est fabriqué sous forme de circuit intégré. 40
10. Ensemble miroir de courant selon l'une des revendications 1 à 9,
caractérisé en ce que 45
l'ensemble miroir de courant est intégré selon la technique des circuits Complementary Metal Oxide Semiconductor. 50
55

FIG 1
Stand der Technik

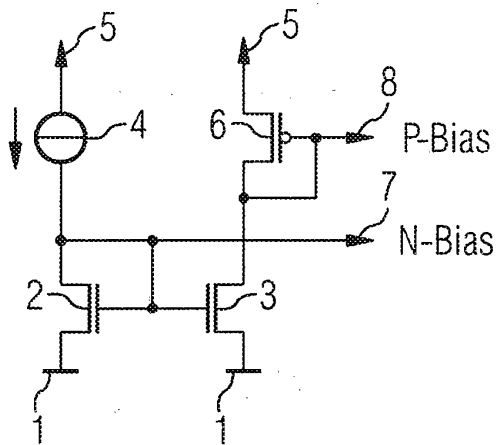


FIG 2
Stand der Technik

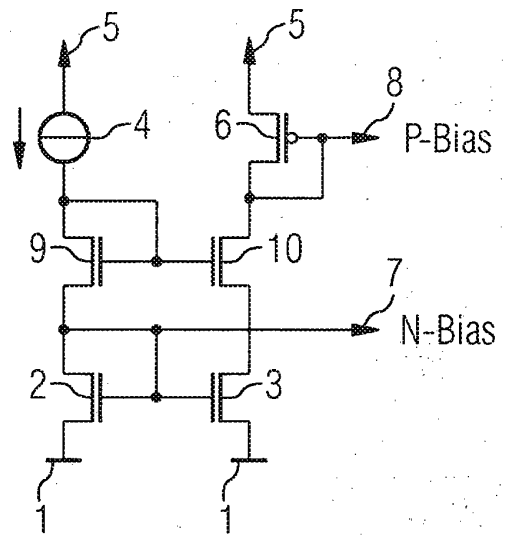


FIG 3

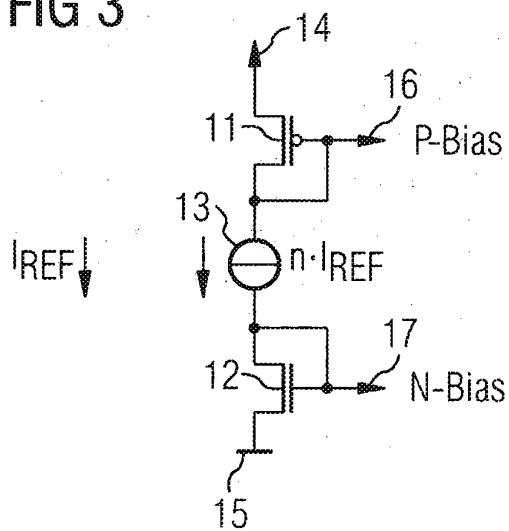


FIG 4

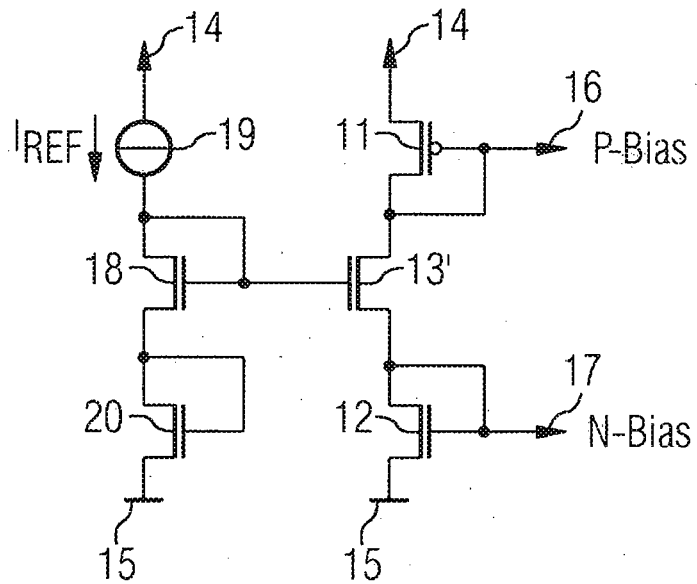
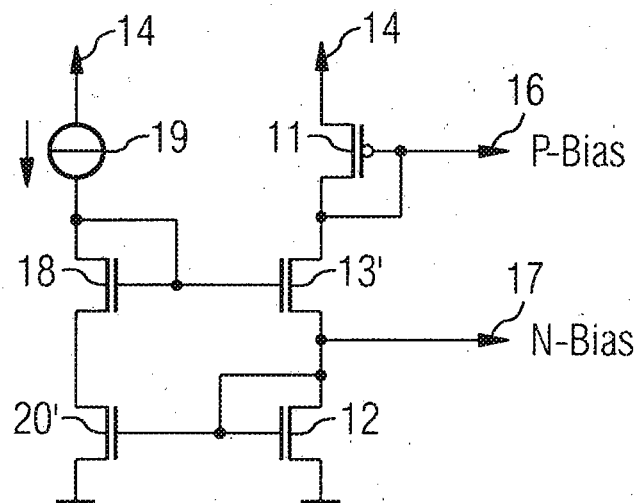


FIG 5



IN DER BESCHREIBUNG AUFGEFÜHRTE DOKUMENTE

Diese Liste der vom Anmelder aufgeführten Dokumente wurde ausschließlich zur Information des Lesers aufgenommen und ist nicht Bestandteil des europäischen Patentdokumentes. Sie wurde mit größter Sorgfalt zusammengestellt; das EPA übernimmt jedoch keinerlei Haftung für etwaige Fehler oder Auslassungen.

In der Beschreibung aufgeführte Patentdokumente

- US 5694073 A [0004]

In der Beschreibung aufgeführte Nicht-Patentliteratur

- U. TIETZE ; CH. SCHENK. Halbleiter-Schaltungstechnik. 1993, 62-63 [0002]