



(11) **EP 2 553 623 B1**

(12) **FASCICULE DE BREVET EUROPEEN**

(45) Date de publication et mention
de la délivrance du brevet:
09.01.2019 Bulletin 2019/02

(51) Int Cl.:
G06G 7/19 ^(2006.01)

(21) Numéro de dépôt: **11719328.4**

(86) Numéro de dépôt international:
PCT/FR2011/050746

(22) Date de dépôt: **01.04.2011**

(87) Numéro de publication internationale:
WO 2011/121258 (06.10.2011 Gazette 2011/40)

(54) **CIRCUIT ÉLECTRONIQUE ANALOGIQUE DE TRAITEMENT D'UN SIGNAL LUMINEUX, SYSTÈME ET PROCÉDÉ DE TRAITEMENT CORRESPONDANTS**

ANALOGER ELEKTRONISCHER SCHALTKEIS ZUR VERARBEITUNG EINES LICHTSIGNALS
SOWIE ENTSPRECHENDES VERARBEITUNGSSYSTEM UND -VERFAHREN

ANALOG ELECTRONIC CIRCUIT FOR PROCESSING A LIGHT SIGNAL, AND CORRESPONDING
PROCESSING SYSTEM AND METHOD

(84) Etats contractants désignés:
**AL AT BE BG CH CY CZ DE DK EE ES FI FR GB
GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO
PL PT RO RS SE SI SK SM TR**

(30) Priorité: **02.04.2010 FR 1052535**

(43) Date de publication de la demande:
06.02.2013 Bulletin 2013/06

(73) Titulaires:
• **Université Paris 13
93430 Villetaneuse (FR)**
• **Centre National de la Recherche Scientifique
(C.N.R.S.)
75016 Paris (FR)**
• **Université Paris-Sud
91405 Orsay Cedex (FR)**

(72) Inventeurs:
• **TUALLE, Jean-Michel
92160 Antony (FR)**
• **DUPRET, Antoine
91400 Orsay (FR)**
• **VASILIU, Marius
91430 Igny (FR)**

(74) Mandataire: **Lavoix
2, place d'Estienne d'Orves
75441 Paris Cedex 09 (FR)**

(56) Documents cités:
• **R. DOMINGUEZ-CASTRO, S.ESPEJO, A. RODRIGUEZ-VAZQUEZ, R. A. CARMONA, P. FOLDESY, A. ZARANDY, P. SZOLGAY, T. SZIRANYI, T. ROSKA: "A 0.8-um CMOS two-dimensional programmable mixed-signal focal-plane array processor with on-chip binary imaging and instructions storage", IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 32, no. 7, juillet 1997 (1997-07), pages 1013-1025, XP000729361,**
• **G. HAN, E. SANCHEZ-SINENCIO: "CMOS transconductance multipliers: A tutorial", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II: EXPRESS BRIEFS, IEEE SERVICE CENTER, NEW YORK, NY, US, vol. 45, no. 12, décembre 1998 (1998-12), pages 1550-1563, XP011012949, cité dans la demande**
• **J.-M. TUALLE, A. DUPRET, M.VASILIU: "Ultra-compact sensor for diffuse correlation spectroscopy", ELECTRONICS LETTERS, vol. 46, no. 12, 10 juin 2010 (2010-06-10), pages 819-820, XP006035661,**
• **M. ISMAIL, S. V. SMITH, R. G. BEALE: "A new MOSFET-C universal filter structure for VLSI", IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 23, no. 1, February 1988 (1988-02), pages 183-194, XP001067810, DOI: 10.1109/4.276**

Il est rappelé que: Dans un délai de neuf mois à compter de la publication de la mention de la délivrance du brevet européen au Bulletin européen des brevets, toute personne peut faire opposition à ce brevet auprès de l'Office européen des brevets, conformément au règlement d'exécution. L'opposition n'est réputée formée qu'après le paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

EP 2 553 623 B1

Description

[0001] La présente invention concerne un circuit électronique analogique de traitement d'un signal lumineux, ainsi qu'un système et un procédé de traitement d'un signal lumineux correspondants. L'invention s'applique particulièrement au domaine de l'imagerie optique et acousto-optique.

[0002] Domínguez-Castro et al. (IEEE J. Solid-State Circuits, vol. 32(79), pp. 1013-1025, 1997 ; DOI:10.1109/4.597292) décrivent une puce CMOS pour l'acquisition parallèle et le traitement analogique concurrent d'images binaires bidimensionnelles, notamment la détection de mouvement par comparaison de deux images acquises à des instants différents. L'architecture de la puce est du type réseau de neurones cellulaire.

[0003] La demande de brevet WO 01/88507 A1 au nom de la Demanderesse divulgue un dispositif d'analyse d'un échantillon diffusant par mesure résolue en temps de la lumière diffuse dans cet échantillon comprenant un circuit du type précité. Le dispositif décrit dans cette demande de brevet utilise une modulation de faisceaux lumineux et permet de mesurer des fonctions de corrélation temporelle de la lumière diffuse pour un temps de transit déterminé notamment dans de nombreuses applications pour le diagnostic médical.

[0004] Cependant, le dispositif divulgué dans la demande de brevet précitée, bien qu'ayant permis d'obtenir des résultats prometteurs, ne permet pas d'effectuer des expérimentations in vivo dans le domaine du diagnostic médical.

[0005] Pour cela, il est nécessaire d'améliorer le rapport signal sur bruit de ce dispositif. Le rapport signal sur bruit est d'autant plus important que le nombre de mesures réalisées par le dispositif est grand.

[0006] Pour disposer d'un grand nombre de mesures, il est nécessaire d'utiliser un temps d'acquisition important, ou bien de réaliser simultanément un grand nombre de mesures sur un même intervalle de temps, en reproduisant un grand nombre de fois ce dispositif de mesure.

[0007] Il est donc nécessaire de miniaturiser l'ensemble du dispositif afin d'augmenter le nombre de mesures sur une surface de détection donnée.

[0008] Le but de l'invention est de résoudre ce problème.

[0009] Plus particulièrement, l'invention vise à proposer une solution technologique pour intégrer l'ensemble du dispositif de mesure divulgué dans la demande précitée dans un circuit intégré de petite taille.

[0010] A cet effet l'invention a pour objet un circuit électronique analogique de traitement d'un signal lumineux, selon la revendication indépendante 1, ainsi qu'un procédé correspondant de traitement d'un signal lumineux, selon la revendication indépendante 9.

[0011] D'autres aspects de l'invention, sont définis dans les revendications dépendantes, notamment l'invention a aussi pour objet un système de traitement d'un signal lumineux selon la revendication 7.

[0012] Ainsi, l'invention permet de miniaturiser le dispositif décrit dans la demande de brevet WO 01/88507 A1 en l'intégrant dans un espace de l'ordre de $42 \times 44 \mu\text{m}$ représentant un pixel de détection. L'invention permet alors d'intégrer un grand nombre de ces pixels sur un circuit intégré et d'utiliser simultanément un grand nombre de dispositifs de mesure, de sorte à augmenter de manière significative le rapport signal sur bruit, ce qui permet d'utiliser le dispositif dans des applications de diagnostic médical afin de pouvoir obtenir un signal sur des tissus biologiques et dans l'imagerie acousto-optique en permettant de réaliser des mesures de contraste optique tout en bénéficiant de la très bonne résolution spatiale des techniques d'imagerie acoustique à ultrasons.

[0013] On va maintenant décrire des modes de réalisation de l'invention de façon plus précise, mais non limitative en regard des dessins annexés sur lesquels :

- la figure 1 est un schéma synoptique illustrant la structure d'un circuit de traitement d'un signal lumineux,
- la figure 2 est un schéma synoptique illustrant un exemple de filtre passe-haut,
- la figure 3 est un schéma synoptique illustrant une variante de la structure de la figure 2,
- la figure 4 est un schéma synoptique illustrant un premier exemple de photodétecteur,
- la figure 5 est un schéma synoptique illustrant un deuxième exemple de photodétecteur,
- la figure 6 est un schéma synoptique illustrant un troisième exemple de photodétecteur,
- la figure 7 est un schéma synoptique illustrant un quatrième exemple de photodétecteur,
- la figure 8 est un schéma synoptique illustrant un cinquième exemple de photodétecteur,
- la figure 9 est un schéma synoptique illustrant une structure d'amplification,
- la figure 10 est un schéma synoptique illustrant un exemple d'amplificateur inverseur de la structure de la figure 9,
- la figure 11 est un schéma synoptique illustrant une structure de démodulation comprenant un multiplieur et un intégrateur,
- la figure 12 est un schéma synoptique illustrant un premier exemple des dispositifs résistifs de la structure de la figure 11,
- la figure 13 est un schéma synoptique illustrant un deuxième exemple des dispositifs résistifs de la structure de la figure 11,
- la figure 14 est un schéma synoptique illustrant un troisième exemple des dispositifs résistifs de la structure de la figure 11,
- les figures 15 et 16 sont des schémas synoptiques illustrant la structure de moyens pour générer les tensions de commande la figure 11,
- la figure 17 est un schéma synoptique illustrant la structure d'un registre de référence,

- la figure 18 est un schéma synoptique illustrant la structure d'un registre de données,
- la figure 19 est un schéma synoptique illustrant le multiplieur à entrée différentielle,
- la figure 20 est un schéma synoptique illustrant la structure d'un système de traitement d'un signal lumineux,
- la figure 21 est un schéma synoptique illustrant la structure d'un inverseur de courant,
- la figure 22 est un schéma synoptique illustrant un exemple de structure de la figure 21,
- la figure 23 est un schéma synoptique illustrant la structure des moyens de lecture en sortie du système,
- la figure 24 est un schéma synoptique illustrant un exemple d'architecture d'un système de traitement de signal lumineux,
- la figure 25 est une vue analogue à celle de la figure 11 selon un deuxième exemple du multiplieur, et
- la figure 26 est une vue analogue à celle de la figure 11 selon un troisième exemple du multiplieur.

[0014] La figure 1 illustre la structure d'un circuit électronique analogique 2 de traitement d'un signal lumineux 4.

[0015] Le circuit 2 comprend un photodétecteur 6 adapté pour produire un signal électrique 8 à partir du signal lumineux 4.

[0016] Selon un exemple, le circuit 2 comporte un amplificateur 10 pour amplifier le signal électrique 8.

[0017] Le circuit 2 comprend en outre un multiplieur 12 adapté pour multiplier le signal électrique 8, éventuellement amplifié par l'amplificateur 10, par un signal de référence $f(t)$ 14 de signe constant pour obtenir un signal multiplié 16.

[0018] Le multiplieur 12 est raccordé à un intégrateur 18 adapté pour intégrer le signal multiplié 16 sur au moins un intervalle de temps pour obtenir au moins un signal intégré.

[0019] Sur la figure 1, deux signaux intégrés 20 et 22 sont représentés en sortie de l'intégrateur 18. Le signal 20 est une tension de référence obtenue par un choix particulier de l'intervalle de temps d'intégration et du signal de référence 14.

[0020] Le signal 22 est stocké dans une mémoire 24 comprenant une pluralité de registres de données Reg_1 26, Reg_2 28, ..., Reg_N 30 et un registre de référence RegRef 32 adapté pour mémoriser la tension de référence 20. A titre d'exemple, le signal intégré 22 est stocké dans le registre de données Reg_2 28.

[0021] La mémoire analogique 24 permet un accès aléatoire en écriture et deux accès aléatoires en lecture de façon à pouvoir lire simultanément les contenus de deux registres de données différents ou identiques.

[0022] Un multiplieur à entrée différentielle 34 est adapté pour multiplier les contenus de deux registres différents ou identiques de la mémoire 24, par exemple les contenus des registres 28 et 30.

[0023] Le résultat 36 de la multiplication effectuée par le multiplieur à entrée différentielle 34 représente la corrélation temporelle des mesures enregistrées sur deux intervalles de temps d'intégration différents ou identiques ce qui permet d'estimer la corrélation temporelle du signal lumineux 4. Le contenu du registre de référence RegRef 32 détermine la valeur de référence de l'entrée différentielle du multiplieur à entrée différentielle 34, le résultat de la multiplication étant dans ce cas :

Résultat = $Co + K (Reg_i - RegRef) \times (Reg_j - RegRef)$,
Co et K étant deux constantes dépendant de la structure du multiplieur à entrée différentielle 34 et Co pouvant être nulle.

[0024] Selon un exemple, le photodétecteur 6 est une simple photodiode.

[0025] Selon un autre exemple, le photodétecteur 6 comprend une photodiode associée à un filtre passe-haut permettant de filtrer les composantes basses fréquences du signal détecté, notamment la composante continue, pour ne transmettre que les composantes hautes fréquences qui contiennent l'information pertinente et permettre ainsi une plus grande dynamique.

[0026] La figure 2 présente un exemple d'un tel filtre passe-haut associé à une photodiode 40. Ce filtre passe-haut comprend une source de courant commandée en tension 42 qui sert à compenser les basses fréquences du photo-courant généré par la photodiode 40.

[0027] Le filtre passe-haut comprend en outre, de manière optionnelle, un amplificateur inverseur de tension 44 de bande passante ajustable, dont l'entrée est raccordée au noeud N commun à la photodiode 40 et à la source de courant commandée en tension 42.

[0028] Le filtre passe-haut comprend également un condensateur 46 inséré entre le noeud N et la sortie vers le multiplieur 12.

[0029] Le filtrage passe-haut est essentiellement réalisé par le condensateur 46, la bande passante de ce filtre étant approximativement égale à $G/(2\pi R_d C)$, G étant le gain en valeur absolue de l'amplificateur 44, R_d la transimpédance dynamique de la source de courant commandée en tension 42 et C la capacité du condensateur 46.

[0030] Le condensateur 46 permet également d'isoler le point de fonctionnement de l'amplificateur 44, qui est aussi la tension de polarisation de la photodiode 40, du point de fonctionnement du multiplieur 12. Grâce à ce montage, il est par ailleurs possible de diminuer la fréquence de coupure du filtre passe-haut, en diminuant la bande passante de l'amplificateur 44 qui est ajustable.

[0031] Il pourra être avantageux de choisir la capacité C du condensateur 46 plus grande que la capacité d'entrée du multiplieur 12, afin de ne pas diminuer le signal utile de manière excessive.

[0032] L'ensemble constitué par la photodiode 40 et le condensateur 46 pourra avantageusement être intégré sur un circuit en technologie MOS en utilisant une varicap 48, dont un schéma équivalent est donné sur la figure 3. Un tel ensemble est mis en oeuvre par exemple avec

une technologie CMOS.

[0033] La figure 4 présente un premier exemple du photodétecteur 6 comprenant la varicap 48 (constituée par la photodiode 40 et le condensateur 46) et un transistor 50 (de type NMOS par exemple) constituant la source de courant commandée en tension 42.

[0034] Le transistor 50 fonctionne en mode saturé, et se comporte comme une source de courant commandée par le potentiel du noeud N. Dans ce montage, la fréquence de coupure du filtre passe-haut ne dépend que du courant de polarisation de la photodiode 40, c'est à dire du flux lumineux incident, et ne peut pas être ajustée par un autre moyen. De plus, cette fréquence de coupure n'est pas très élevée.

[0035] La figure 5 illustre un deuxième exemple du photodétecteur 6 comprenant en plus de la varicap 48 et du transistor 50 constituant la source de courant commandée en tension, un amplificateur différentiel 52, constitué des transistors M1.3 à M1.7, qui est un exemple possible pour l'amplificateur 44. Le régime de fonctionnement de cet amplificateur différentiel 52 est déterminé par un potentiel VPOL, qui détermine la polarisation de la photodiode 40, ainsi que par un potentiel vIPOL_AOFILTR, qui fixe le courant dans l'amplificateur différentiel 52. Il est ainsi possible de limiter la bande passante de cet amplificateur différentiel 52 en intervenant sur ce dernier potentiel. Plus vIPOL_AOFILTR est élevé, plus la bande passante de l'amplificateur 44 est élevée, et plus la fréquence de coupure du filtre passe-haut est élevée.

[0036] Un transistor M1.2 54 peut être avantageusement inséré entre la grille du transistor 50 et la sortie de l'amplificateur 44. Fonctionnant en régime linéaire, le transistor 54 se comporte comme un dispositif résistif dont la conductance est ajustée par la tension VCONTR. Avec la capacité de grille du transistor 50, cette résistance effectue un filtrage passe-haut supplémentaire, et peut être utilisée notamment pour limiter certains phénomènes de surtension.

[0037] La figure 6 illustre un troisième exemple du photodétecteur 6 comprenant outre la varicap 48, et le transistor 50 constituant la source de courant commandée en tension 42, un amplificateur inverseur 56, constitué selon cet exemple de deux transistors 58 et 60. Le régime de fonctionnement de cet amplificateur 56 est déterminé par les deux potentiels VM1.1 et VP1.1, qui fixent le potentiel de polarisation de la photodiode 40 au noeud N, ainsi que le courant qui traverse l'amplificateur inverseur 56. Il est ainsi possible de limiter la bande passante de cet amplificateur 56 en intervenant sur ce courant. Plus il est faible, plus la bande passante de l'amplificateur 56 est faible, et plus la fréquence de coupure du filtre passe-haut est basse.

[0038] Comme dans l'exemple de la figure 5, un transistor 54 peut être avantageusement inséré entre la grille du transistor 50 et la sortie de l'amplificateur inverseur 56 fonctionnant en régime linéaire. Le transistor 54 se comporte comme un dispositif résistif dont la conductan-

ce est ajustée par la tension VCONTR. Avec la capacité de grille du transistor 54, cette résistance effectue un filtrage supplémentaire, et peut être utilisée notamment pour limiter certains phénomènes de surtension.

[0039] Les figures 7 et 8 présentent des variantes pour le photodétecteur 6.

[0040] La figure 7 illustre une variante proche de celle de la figure 4, mais dans laquelle le transistor 50 fonctionne plutôt en régime linéaire, se comportant comme un dispositif résistif dont la conductance est commandée par la tension VCOM. Cette solution est cependant moins avantageuse car elle est très bruitée.

[0041] Dans la figure 8, le signal est constitué de la tension de contrôle de la source de courant 42, qui est ensuite convertie en un courant par le transistor 50, qui fonctionne en régime linéaire et se comporte comme un dispositif résistif dont la conductance est contrôlée par la tension VCOM. Une capacité 60, qui pourra avantageusement être une varicap, a la fonction de filtrage passe-haut. Cette dernière solution permet de disposer facilement d'une transimpédance élevée, mais dont la valeur dépend du flux lumineux incident et ne peut être ajustée par un autre moyen.

[0042] La figure 9 illustre un exemple d'amplificateur 10 qui est facultativement inséré dans le circuit.

[0043] L'amplificateur 10 comprend un transistor M2.1 62, placé entre la sortie et l'entrée d'un amplificateur inverseur 64, contrôlé par une tension VCOMa. Le transistor 62 permet de convertir un courant entrant I1 en une tension, qui sera ensuite reconvertie en un courant I2 par un transistor M2.2 66 placé à la sortie de l'amplificateur, de façon analogue au schéma de la figure 8. Une capacité 68 est également avantageusement placée en série avec le transistor M2.2 66, avec une fonction de filtrage passe-haut supplémentaire, et d'isoler le point de fonctionnement de l'amplificateur inverseur 64 du reste du circuit.

[0044] L'amplificateur inverseur 64 est par exemple constitué de deux transistors, d'une manière analogue à l'exemple de la figure 6 pour l'amplificateur 56.

[0045] La figure 10 illustre une variante d'amplificateur inverseur 64 permettant de disposer d'une grande valeur pour le produit Gain x Bande Passante. Selon la variante de la figure 10, l'amplificateur inverseur 64 est constitué des transistors M2.3 à M2.8. Les transistors M2.3 et M2.4 forment un premier amplificateur inverseur 70, sur le modèle de l'exemple de la figure 6. Ce premier étage d'amplification 70 est polarisé entre les potentiels VM2.1 et VP2.1. Les transistors M2.5 et M2.6 forment un deuxième amplificateur inverseur 72 de faible gain, polarisé entre les potentiels VM2.2 et VP2.2, tandis que les transistors M2.7 et M2.8 forment un troisième amplificateur inverseur 74 analogue au premier, polarisé entre les potentiels VM2.3 et VP2.3. Ces trois amplificateurs 70, 72 et 74 sont montés en série. Il est important que l'un des trois amplificateurs 70, 72 et 74 soit de faible gain, car la succession de trois amplificateurs identiques mène à une rétroaction instable. Sur l'exemple de la figure 10, c'est

le deuxième amplificateur 72 qui est avantageusement choisi de faible gain. Cependant il est possible de choisir un autre ordre de succession pour ces amplificateurs.

[0046] Il est avantageux de bien polariser le premier amplificateur 70, qui est responsable de l'essentiel du bruit électronique, afin de limiter ledit bruit électronique. La différence VP2.1-VM2.1 est donc fixée élevée, tout en s'assurant de conserver à ce niveau une consommation énergétique raisonnable. Par ailleurs, il est avantageux d'utiliser des lignes d'alimentation différentes pour les différents amplificateurs 70, 72 et 74 du montage, de façon à éviter des couplages parasites entre les différents amplificateurs.

[0047] La figure 11 illustre la structure du multiplieur 12 et de l'intégrateur 18. Cet étage de démodulation constitué du multiplieur 12 et de l'intégrateur 18 comprend deux dispositifs résistifs identiques 80 et 82 dont les conductances sont commandées en tension, un premier amplificateur inverseur de tension 84, un deuxième amplificateur inverseur de tension 86 dont le point de fonctionnement en entrée est approximativement identique à celui de l'amplificateur 84. Ces deux amplificateurs inverseurs 84 et 86 sont constitués, à titre d'exemple, de deux transistors chacun, d'une manière analogue à l'exemple de la figure 6 pour l'amplificateur 56. Toutefois, une structure plus performante, comme par exemple celle de la figure 10, pourra également être utilisée notamment lorsque l'amplificateur 10 n'est pas inclus dans le circuit. Pour assurer que les points de fonctionnement en entrée des deux amplificateurs 84 et 86 sont identiques, il est possible d'utiliser deux structures identiques polarisées de la même façon. Toutefois, il peut être avantageux d'utiliser une structure plus performante pour l'amplificateur 84, telle que celle de la figure 10, et d'utiliser une structure à deux transistors pour l'amplificateur 86. Dans ce cas, il suffit que l'amplificateur 86 soit identique au premier étage de l'amplificateur 84 et soit polarisé de la même façon.

[0048] L'entrée de l'amplificateur 84 est connectée au noeud N1 commun à la sortie du photodétecteur 6 et à l'une des bornes du dispositif résistif 80.

[0049] Bien entendu, dans le cas d'un circuit comportant l'amplificateur 10, l'entrée de l'amplificateur 84 est connectée au noeud commun à la sortie de l'amplificateur 10 et à l'une des bornes du dispositif résistif 80.

[0050] La sortie de l'amplificateur 84 est connectée à l'autre borne du dispositif résistif 80 et au dispositif résistif 82, l'autre borne du dispositif résistif 82 étant connectée à l'entrée de l'amplificateur 86. La tension (ou les tensions) de commande VCOM1 du dispositif résistif 80 est fixée, fixant ainsi la valeur de la conductance de ce dispositif résistif 80. La tension de sortie de l'amplificateur 84 s'ajuste automatiquement par la rétroaction de façon à ce que le courant qui traverse le dispositif résistif 80 compense les composantes haute fréquence du photocourant en provenance du photodétecteur 6.

[0051] Par construction, le point de fonctionnement de l'amplificateur 84 c'est-à-dire la tension à son entrée, de-

vra être approximativement identique à celui de l'amplificateur 86, c'est-à-dire à la tension à son entrée. Dans ce cas, si en ajustant la (ou les) tension(s) de commande VCOM2 du dispositif résistif 82 de façon à ce que sa conductance soit le produit de celle du dispositif résistif 80 par un nombre f , alors le courant traversant le dispositif résistif 82 sera approximativement égal au produit du courant traversant le dispositif résistif 80 par f . La seule contrainte est que le nombre f est positif.

[0052] En faisant varier de façon adéquate la (ou les) tension(s) de commande VCOM2, il est ainsi possible d'accéder au produit du photocourant par une fonction arbitraire positive $f(t)$. Le fait que la fonction $f(t)$ soit positive n'est pas une limitation ; il suffit de choisir :

$$f(t) = \text{Ref}(t) + f_0(t)$$

$f_0(t)$ étant une fonction positive permettant de garantir la positivité de $f(t)$. Il convient de choisir $f_0(t)$ de telle sorte qu'elle ne contienne que des basses fréquences, et que la contribution du produit de $f_0(t)$ par les composantes haute fréquence du photocourant soit négligeable après l'intégrateur 18 agissant comme un filtre pour les hautes fréquences.

[0053] L'intégrateur 18 est une structure classique, constituée de l'amplificateur 86 et d'une capacité 88 placée entre l'entrée et la sortie de l'amplificateur 86. Le courant traversant la résistance 82 est simplement intégré dans la capacité 88. Un transistor 90, également placé entre l'entrée et la sortie de l'amplificateur 86, permet la remise à zéro de l'intégrateur 18. La sortie de l'intégrateur 18, qui est aussi la sortie de l'amplificateur 86, est reliée à la mémoire 24 de la figure 1.

[0054] Les figures 12, 13 et 14 illustrent différentes possibilités pour les dispositifs résistifs 80 et 82. Chacune de ces résistances 80, 82 peut consister soit en un transistor NMOS 92 commandé par une tension VCOM_N (figure 12), ou bien en un transistor PMOS 94 commandé par une tension VCOM_P (figure 13), ou bien en ces deux transistors 92 et 94 en parallèle (figure 14). Ces transistors se comporteront comme des résistances lorsqu'ils fonctionnent en régime linéaire. Or, la structure constituée de deux structures identiques, permet un bon fonctionnement même si l'on sort de ce régime linéaire. En ce sens, la structure de la figure 14, qui ne présente pas de saturation, peut avantageusement être utilisée pour augmenter la dynamique de détection du système. De plus, en régime de faible inversion, la résistance d'un transistor en régime linéaire dépend de façon exponentielle de sa tension de grille, une tension ajoutée à la tension de commande correspondant à un facteur multiplicatif pour cette résistance et une erreur d'offset correspondant à un simple facteur multiplicatif.

[0055] Les figures 15 et 16 présentent des moyens pour générer les signaux de commande des résistances 80 et 82.

[0056] La figure 15 présente un moyen pour générer le signal VCOM_N de commande du transistor NMOS 92 de la figure 12 (le même signal pouvant commander le transistor NMOS 92 de la figure 14). Ce circuit est constitué d'un transistor 96 identique au transistor NMOS 92 constituant le dispositif résistif 82 ou éventuellement beaucoup plus large (un transistor n fois plus large correspondant à une juxtaposition de n transistors identiques) et d'un amplificateur opérationnel 98 ainsi qu'une résistance 100,

[0057] La borne non-inverseuse de l'amplificateur opérationnel 98 est fixée à un potentiel V0N. Le drain du transistor NMOS 96 est relié à un potentiel fixe VN, tandis que sa source est reliée à l'entrée inverseuse de l'amplificateur opérationnel 98 et à l'une des bornes de la résistance 100. L'autre borne de la résistance 100 est reliée à une source de tension programmable 102. La sortie de l'amplificateur opérationnel 98 est reliée à la grille du transistor NMOS 96, et définit le potentiel VCOM_N. Le signal VCOM_N ainsi défini fixe la résistance du transistor NMOS 96 de façon à ce que, sous la différence de potentiel fixe VN-V0N, le courant traversant cette dernière soit identique au courant traversant la résistance 100, qui est lui-même déterminé par la source de tension programmable 102. Si la tension V0N est identique au point de fonctionnement en entrée de l'amplificateur 86, alors le transistor NMOS 92 constituant le dispositif résistif 82 aura la même résistance (ou une résistance multipliée par un facteur n si le transistor de la figure 15 est n fois plus large que celui qui constitue le dispositif résistif 82). Sinon, en régime de faible inversion, une erreur d'offset correspond à un simple facteur multiplicatif. Enfin, en régime de faible inversion, le transistor NMOS 96 ne doit pas nécessairement fonctionner en régime linéaire, et il est possible de prendre VN égale à +avdd.

[0058] De même, la figure 16 présente un moyen pour générer le signal VCOM_P de commande du transistor PMOS 94 de la figure 13 (le même signal pouvant commander le transistor PMOS 94 de la figure 14). Ce circuit est constitué d'un transistor 104 identique au transistor PMOS 94 constituant le dispositif résistif 82 ou éventuellement beaucoup plus large (un transistor n fois plus large correspondant à une juxtaposition de n transistors identiques) et d'un amplificateur opérationnel 106 ainsi que d'une résistance 108.

[0059] La borne non-inverseuse de l'amplificateur opérationnel 106 est fixée à un potentiel V0P. Le drain du transistor PMOS 104 est relié à un potentiel fixe VP, tandis que la source est reliée à l'entrée inverseuse de l'amplificateur opérationnel 106 et à l'une des bornes de la résistance 108. L'autre borne de la résistance 108 est reliée à une source de tension programmable 110. La sortie de l'amplificateur opérationnel 106 est reliée à la grille du transistor PMOS 104, et définit le potentiel VCOM_P. Le signal VCOM_P ainsi défini fixe la résistance du transistor PMOS 104 de façon à ce que, sous la différence de potentiel fixe V0P-VP, le courant traversant

cette dernière soit identique au courant traversant la résistance 108, qui est lui-même déterminé par la source de tension programmable 110. Si la tension V0P est identique au point de fonctionnement en entrée de l'amplificateur 86, alors le transistor PMOS 94 constituant le dispositif résistif 82 aura la même résistance (ou une résistance multipliée par un facteur n si le transistor de la figure 16 est n fois plus large que celui qui constitue le dispositif résistif 82). Sinon, en régime de faible inversion, une erreur d'offset correspond à un simple facteur multiplicatif. Enfin, en régime de faible inversion, le transistor PMOS 104 ne doit pas nécessairement fonctionner en régime linéaire, il est possible de prendre VP égale à 0.

[0060] La figure 17 illustre un exemple du registre de référence 32 de la mémoire analogique 24. Ce registre de référence 32 est rafraîchi régulièrement en enregistrant, à titre d'exemple, un résultat de mesure prise avec un signal de référence 14 $f(t)=f_0(t)$ du niveau du multiplieur 12.

[0061] Selon la figure 17, le registre de référence 32 comprend essentiellement un montage suiveur, constitué de transistors M3.1 et M3.2. Un transistor M3.3 est également prévu pour fonctionner en mode interrupteur. Selon le signal de commande WVREF, la tension à mémoriser peut ainsi être enregistrée sur la grille du transistor M3.1 lorsque M3.3 est fermé, puis mémorisée lorsque M3.3 est ouvert. La sortie VREF du suiveur est, à un offset près, une copie de la tension de grille mémorisée. Elle est directement connectée aux entrées différentielles du multiplieur à entrée différentielle 34.

[0062] Les registres de données Reg_1 26, Reg_2 28..., Reg_N 30 ont un accès aléatoire en écriture, et un double accès aléatoire en lecture. Leur mise en oeuvre, dont un exemple est montré sur la figure 18, est identique à celle du registre RegRef 32, à ceci près que l'opération d'enregistrement est contrôlée par un signal D1(i) 110, et que la sortie est isolée des entrées Vx et Vy du multiplieur à entrée différentielle 34 par deux transistors M4.4 et M4.5, contrôlés par deux signaux D2(i) 112 et D3(i) 114. Il est ainsi possible, en utilisant D2(i) 112 et D3(i) 114, d'effectuer la multiplication de n'importe quelle paire de registres de la mémoire 24.

[0063] Selon une variante, pour simplifier le câblage de la mémoire 24 et limiter les bus de commande, il peut être avantageux de relier la sélection de la lecture et de l'écriture selon par exemple : $D1(i) = (WVALUE)$ ET $D2(i)$; dans ce cas, la désignation du registre en écriture est identique à celle de l'une des voies de lecture, et l'écriture est alors conditionnée à un signal de contrôle WVALUE. De même, toujours pour limiter la taille des bus de commande, on pourra avantageusement écrire $D2(i) = A2(i)$ ET $B2(i)$, ainsi que $D3(i) = A3(i)$ ET $B3(i)$. Chacune de ces opérations ET peut être réalisée avec un simple transistor fonctionnant en mode interrupteur, à condition de veiller à réinitialiser les potentiels du drain et de la source dudit transistor avant d'ouvrir l'interrupteur équivalent.

[0064] Le multiplieur à entrée différentielle 34 est un

multiplieur à quatre quadrants à entrée différentielle, comme décrit dans la référence [Gunhee Han and Edgar Sánchez-Sinencio, CMOS Transconductance Multipliers: A Tutorial, IEEE Trans. on circ. and syst., vol. 45 n° 12, p1550 (1998)], comme illustré avec le circuit de la figure 19.

[0065] Le fait d'utiliser une entrée différentielle et d'utiliser un registre RegRef 32 permet de s'affranchir de tous les problèmes d'offset, qui peuvent notamment être liés à un écart entre les polarisations des amplificateurs 84 et 86 ou à un transfert de charges lors de l'ouverture d'un transistor fonctionnant en mode interrupteur ou au fonctionnement du montage suiveur constituant les registres de la mémoire 24.

[0066] Le point de fonctionnement du multiplieur à entrée différentielle 34 est fixé par un choix adéquat de celui de l'intégrateur 18, c'est-à-dire par un choix adéquat du point de fonctionnement en entrée de l'amplificateur 86 qui peut lui-même dépendre du choix des tensions d'alimentation de cet amplificateur. Il est à noter que dans l'exemple de la figure 19, la tension de référence est directement utilisée en entrée du multiplieur à entrée différentielle 34, ce qui n'est pas le cas dans le document [Gunhee Han and Edgar Sánchez-Sinencio].

[0067] La sortie du multiplieur à entrée différentielle 34 est constituée de deux courants IP et IM, dont la différence IP-IM constitue le résultat de la multiplication. Il est à noter que les potentiels UP et UM en sortie du multiplieur 34 doivent, lorsque le multiplieur 34 est en cours de fonctionnement, être identiques et fixées à une valeur V0 précise.

[0068] La sortie du multiplieur à entrée différentielle 34 peut être avantageusement isolée du reste du système, comprenant une pluralité de circuits analogiques, par deux interrupteurs M5.1 et M5.2 fonctionnant en mode interrupteur, et contrôlés par une mémoire binaire 120 associée au circuit de la figure 1 et adressables individuellement. Lorsque ces interrupteurs sont ouverts, le multiplieur à entrée différentielle 34 ne fonctionne plus et le circuit de la figure 1 est tout simplement déconnecté du reste du système.

[0069] La suite de la description concerne plus particulièrement le système de traitement d'un signal lumineux comprenant une pluralité de circuits électroniques analogiques, selon le montage de la figure 1, raccordés entre eux dans un circuit intégré monolithique. Chacun de ces circuits individuels, intégré sur un pixel, est appelé cellule de base dans la suite de la description.

[0070] Les résultats des différentes cellules de bases peuvent être simplement additionnés en connectant entre elles les sorties P et M de chaque cellule 2, et en utilisant la loi des noeuds. Il est ainsi possible d'obtenir la somme SIP des courants IP d'un groupe de cellules de base, la somme SIM des courants IM du même groupe de cellules, la différence SIP-SIM étant la somme des résultats de chaque cellule de ce groupe. Cette différence peut être effectuée de façon externe au circuit, ou de façon interne, en utilisant un inverseur de courant 130.

L'inverseur 130 selon l'invention peut être utilisé soit sur un pixel, soit sur un groupe de pixels, soit sur la totalité des pixels.

[0071] La figure 20 montre un exemple dudit inverseur 130 sur une colonne de cellules de base. L'inverseur 130 change le signe du courant SIM, qui est ensuite ajouté au courant SIP par la loi des noeuds. L'inverseur 130 doit garantir que les sorties M des cellules de base qui lui sont connectées sont bien polarisées à V0.

[0072] La figure 21 montre un schéma de principe de cet inverseur 130, qui fonctionne selon le principe du miroir de courant. Il comprend deux sources identiques de courant 132 et 134 commandées en tension, dont l'une 132 permet de compenser le courant dont le signe doit être inversé, et dont l'autre 134 fournit le courant de signe inversé et un amplificateur différentiel 136, dont la borne non inverseuse est connectée à V0 et dont la borne inverseuse est connectée à la voie amenant le courant dont le signe doit être inversé, et dont la sortie commande les sources de courant 132 et 134.

[0073] La figure 22 montre un exemple dudit inverseur 130, des transistors M6.3 à M6.7 constituant l'amplificateur différentiel 136, et des transistors M6.1 et M6.2 constituant les sources de courant 132 et 134.

[0074] Le résultat final est un courant, proportionnel à la somme des résultats en provenance de toutes les cellules de base qui sont connectées au système. Ce courant peut être lu par exemple par le montage en transimpédance de la figure 23, la seule contrainte étant de veiller à ce que cette voie de sortie soit bien polarisée au potentiel V0.

[0075] La figure 24 montre une architecture possible d'un circuit constitué d'une matrice de cellules de base, ainsi que des bus analogique et numérique dont les ressources (y compris les courants SIM et SIP, qui sont inclus dans le bus analogique) sont mutualisées entre les cellules situées de part et d'autre desdits bus, en appliquant éventuellement une symétrie aux cellules.

[0076] Ainsi, l'invention présente l'avantage d'offrir un circuit analogique de traitement d'un signal lumineux très faible, tout en présentant un rapport signal à bruit satisfaisant grâce à l'intégration de ce circuit sur un très faible espace de dimension égale à $42 \times 44 \mu\text{m}$. Il est ainsi possible d'avoir un grand nombre de pixels de sorte à maximiser le rapport signal sur bruit.

[0077] Il est ainsi possible, par ce traitement massivement parallèle, de traiter un grand nombre d'images par seconde (1000 à 100.000) sans utiliser d'électronique spécialement rapide.

[0078] L'originalité du circuit selon l'invention réside essentiellement dans le fait d'utiliser une mémoire analogique. Or, l'utilisation d'une telle mémoire analogique présente une difficulté concernant l'élimination d'offsets sur la quantité mémorisée. Cette difficulté est résolue dans le circuit selon l'invention, grâce à l'utilisation du registre de référence 32 et du multiplieur à entrée différentielle 34.

[0079] De plus, l'utilisation du multiplieur 12 dans le

circuit selon l'invention présente de nombreux avantages par rapport à la modulation de faisceaux lumineux notamment un principe simple, une intensité lumineuse maximale, des bruits parasites basse fréquence éliminés. La solution technologique choisie est simple, originale, et peut être intégrée dans un circuit de très petite taille. Le registre de référence 32 permet d'éliminer la composante liée à la fonction $f_0(t)$, ainsi que tous les offsets liés à ce dispositif.

[0080] La figure 25 illustre un deuxième exemple du multiplieur 12 pour lequel les éléments analogues au premier exemple, décrit précédemment en regard de la figure 11, sont repérés par des références identiques, et ne sont donc pas décrits à nouveau.

[0081] Selon le deuxième exemple, le multiplieur 12 comprend en outre des moyens de filtrage connectés entre le dispositif résistif 82 et l'amplificateur inverseur 86. Autrement dit, les moyens de filtrage sont disposés en sortie du dispositif résistif 82. Les moyens de filtrage comportent, par exemple, un condensateur 140 de filtrage du signal à basses fréquences, par exemple pour les fréquences inférieures à 200 kHz.

[0082] L'étage de démodulation comprend le condensateur de filtrage 140 connecté entre le dispositif résistif 82 et l'amplificateur inverseur 86, c'est-à-dire connecté en sortie du dispositif résistif 82.

[0083] Le condensateur de filtrage 140 permet ainsi de réduire, voire de supprimer le bruit parasite entre le dispositif résistif 82 et l'amplificateur inverseur 86, correspondant par exemple aux fréquences inférieures à 200 kHz du courant entre le dispositif résistif 82 et l'amplificateur inverseur 86.

[0084] Le fonctionnement de ce deuxième exemple est analogue à celui de premier exemple, et n'est donc pas décrit à nouveau.

[0085] Les autres avantages de ce deuxième exemple sont identiques à ceux du premier exemple, et ne sont donc pas décrits à nouveau.

[0086] La figure 26 illustre un troisième exemple du multiplieur 12 pour lequel les éléments analogues au premier exemple, décrit précédemment en regard de la figure 11, sont repérés par des références identiques, et ne sont donc pas décrits à nouveau.

[0087] Selon le troisième exemple, le multiplieur 12 comprend des moyens de filtrage connectés entre le premier amplificateur inverseur 84 et le dispositif résistif 82. Autrement dit, les moyens de filtrage sont disposés en entrée du dispositif résistif 82. Les moyens de filtrage comprennent, par exemple, un condensateur 142 de filtrage du bruit à basses fréquences, telles que les fréquences inférieures à 200 kHz.

[0088] L'étage de démodulation comprend le condensateur de filtrage 142 connecté entre le premier amplificateur inverseur 84 et le dispositif résistif 82, c'est-à-dire connecté en entrée du dispositif résistif 82.

[0089] Le condensateur de filtrage 142 permet alors de réduire, voire de supprimer le bruit entre le premier amplificateur inverseur 84 et le dispositif résistif 82, par

exemple aux fréquences inférieures à 200 kHz du courant circulant entre le premier amplificateur inverseur 84 et le dispositif résistif 82.

[0090] Le fonctionnement de ce troisième exemple est analogue à celui de premier exemple, et n'est donc pas décrit à nouveau.

[0091] Les autres avantages de ce troisième exemple sont identiques à ceux du premier exemple, et ne sont donc pas décrits à nouveau.

Revendications

1. Circuit électronique analogique (2) de traitement d'un signal lumineux (4), du type comprenant :

- un photodétecteur (6) adapté pour produire un signal électrique (8) à partir du signal lumineux (4) ;
- un multiplieur (12) adapté pour multiplier le signal électrique (8) par un signal de référence (14) pour obtenir un signal multiplié (16) ;
- un intégrateur (18) adapté pour intégrer le signal multiplié (16) sur au moins un intervalle de temps, pour obtenir au moins un signal intégré (22) ;
- une mémoire analogique (24) adaptée pour mémoriser le signal intégré (22), la mémoire (24) comprenant une pluralité de registres de données (26, 28, 30), l'un desdits registres étant adapté pour mémoriser le signal intégré et un registre de référence (32) adapté pour mémoriser une tension de référence (20); et
- une unité de calcul adaptée pour estimer une corrélation temporelle du signal lumineux (4) à partir du signal intégré (22) mémorisé, l'unité de calcul comprenant un multiplieur à entrée différentielle (34), le multiplieur à entrée différentielle (34) étant adapté pour multiplier les contenus de deux registres de la mémoire (24), l'un des deux registres étant adapté pour mémoriser le signal intégré.

2. Circuit électronique (2) selon l'une quelconque des revendications précédentes, **caractérisé en ce qu'il** comprend un amplificateur (10) du signal électrique (8) produit par le photodétecteur (6).

3. Circuit électronique (2) selon l'une quelconque des revendications précédentes, **caractérisé en ce que** le photodétecteur (6) comporte une photodiode (40).

4. Circuit électronique (2) selon l'une quelconque des revendications précédentes, **caractérisé en ce que** le photodétecteur (6) comporte un filtre passe-haut.

5. Circuit électronique (2) selon l'une quelconque des revendications précédentes, **caractérisé en ce qu'il**

est intégré dans un pixel de dimension égale à 42*44 μm .

6. Circuit électronique (2) selon l'une quelconque des revendications précédentes, **caractérisé en ce que** l'ensemble du multiplieur (12) et de l'intégrateur (18) forme une structure électronique de démodulation d'un signal électrique (8), comportant :
 - un amplificateur inverseur de tension (84) recevant en entrée le signal électrique (8) ;
 - un intégrateur (18) dont le point de fonctionnement en entrée correspond au point de fonctionnement en entrée de l'amplificateur inverseur de tension (84), et
 - un premier (80) et un deuxième (82) dispositifs résistifs identiques dont les conductances sont commandées en tension, le premier dispositif résistif (80) raccordant la sortie et l'entrée de l'amplificateur de tension (84) et le deuxième dispositif résistif (82) raccordant la sortie de l'amplificateur inverseur de tension (84) et l'entrée de l'intégrateur (18).
7. Système de traitement d'un signal lumineux, **caractérisé en ce qu'il** comprend une pluralité de circuits électroniques (2) selon l'une quelconque des revendications précédentes, raccordés entre eux dans un circuit intégré et des moyens de sommation des corrélations temporelles obtenues en sortie de tous les circuits électroniques (2) du système.
8. Système de traitement selon la revendication 7, **caractérisé en ce qu'il** comprend des moyens de déconnexion sélective de chacun des circuits électroniques (2) du système.
9. Procédé de traitement d'un signal lumineux (4) comprenant :
 - une étape de production d'un signal électrique (8) à partir du signal lumineux (4) ;
 - une étape de multiplication du signal électrique (8) par un signal de référence (14) pour obtenir un signal multiplié (16) ;
 - une étape d'intégration du signal multiplié (16) sur au moins un intervalle de temps, pour obtenir au moins un signal intégré (22) ;
 - une étape de mémorisation du signal intégré (22) dans une mémoire analogique (24), la mémoire (24) comprenant une pluralité de registres de données (26, 28, 30), l'un desdits registres étant adapté pour mémoriser le signal intégré et un registre de référence (32) adapté pour mémoriser une tension de référence (20); et
 - une étape d'estimation d'une corrélation temporelle du signal lumineux (4) à partir du signal intégré (22) mémorisé, via un multiplieur à en-

trée différentielle (34), le multiplieur à entrée différentielle (34) étant adapté pour multiplier les contenus de deux registres de la mémoire (24), l'un des deux registres étant adapté pour mémoriser le signal intégré.

10. Procédé de traitement selon la revendication 9, **caractérisé en ce que** le signal de référence (14) est un signal de signe constant.

Patentansprüche

1. Analoge elektronische Schaltung (2) zum Verarbeiten eines Lichtsignals (4), vom Typ aufweisend:
 - einen Photodetektor (6), eingerichtet zum Erzeugen eines elektrischen Signals (8) ausgehend von dem Lichtsignal (4);
 - einen Multiplizierer (12), eingerichtet zum Multiplizieren des elektrischen Signals (8) mit einem Referenzsignal (14) zum Erhalten eines multiplizierten Signals (16);
 - einen Integrierer (18), eingerichtet zum Integrieren des multiplizierten Signals (16) über mindestens ein Zeitintervall zum Erhalten mindestens eines integrierten Signals (22);
 - einen analogen Speicher (24), eingerichtet zum Speichern des integrierten Signals (22), wobei der Speicher (24) eine Mehrzahl von Datenregistern (26, 28, 30), wobei eines der Register dazu eingerichtet ist, das integrierte Signal zu speichern, und ein Referenzregister (32) aufweist, das dazu eingerichtet ist, eine Referenzspannung (20) zu speichern; und
 - eine Berechnungseinheit, eingerichtet zum Schätzen einer zeitlichen Korrelation des Lichtsignals (4) ausgehend von dem gespeicherten integrierten Signal (22), wobei die Berechnungseinheit einen Multiplizierer mit differentiellem Eingang (34) aufweist, wobei der Multiplizierer mit differentiellem Eingang (34) eingerichtet ist, die Inhalte von zwei Registern des Speichers (24) zu multiplizieren, wobei eines der zwei Register eingerichtet ist, das integrierte Signal zu speichern.
2. Elektronische Schaltung (2) gemäß einem der vorhergehenden Ansprüche, dadurch charakterisiert, dass sie einen Verstärker (10) des von dem Photodetektor (6) erzeugten elektrischen Signals (8) aufweist.
3. Elektronische Schaltung (2) gemäß einem der vorhergehenden Ansprüche, dadurch charakterisiert, dass der Photodetektor (6) eine Photodiode (40) aufweist.

4. Elektronische Schaltung (2) gemäß einem der vorhergehenden Ansprüche, dadurch charakterisiert, dass der Photodetektor (6) ein Hochpassfilter aufweist.
5. Elektronische Schaltung (2) gemäß einem der vorhergehenden Ansprüche, dadurch charakterisiert, dass er in einen Pixel der Dimension gleich $42 \times 44 \mu\text{m}$ integriert ist.
6. Elektronische Schaltung (2) gemäß einem der vorhergehenden Ansprüche, dadurch charakterisiert, dass die Gesamtheit aus Multiplizierer (12) und Integrierer (18) eine elektronische Struktur zur Demodulation eines elektrischen Signals (8) bildet, aufweisend:
 - einen invertierenden Spannungsverstärker (84), der am Eingang des elektrischen Signal (8) empfängt;
 - einen Integrierer (18), dessen Arbeitspunkt am Eingang des Arbeitspunkt am Eingang des invertierenden Spannungsverstärkers (84) entspricht und
 - eine erste resistive Vorrichtung (80) und eine zweite resistive Vorrichtung (82), die identisch sind, deren Leitfähigkeiten Spannungs-gesteuert sind, wobei die erste resistive Vorrichtung (80) den Ausgang und den Eingang des Spannungsverstärkers (84) verbindet und die zweite resistive Vorrichtung (82) den Ausgang des invertierenden Spannungsverstärkers (84) und den Eingang des Integrators (18) verbindet.
7. System zum Verarbeiten eines Lichtsignals, dadurch charakterisiert, dass es eine Mehrzahl von elektronischen Schaltungen (2) gemäß einem der vorhergehenden Ansprüche, die miteinander in einer integrierten Schaltung verbunden sind, und Mittel zur Summation der am Ausgang von allen der elektronischen Schaltungen (2) erhaltenen zeitlichen Korrelationen aufweist.
8. System zur Verarbeitung gemäß Anspruch 7, dadurch charakterisiert, dass es Mittel zum selektiven Abtrennen von jedem der elektronischen Schaltungen (2) des Systems aufweist.
9. Verfahren zum Verarbeiten eines Lichtsignals (4) aufweisend:
 - einen Schritt zum Erzeugen eines elektrischen Signals (8) ausgehend von dem Lichtsignal (4);
 - einen Schritt zum Multiplizieren des elektrischen Signals (8) mit einem Referenzsignal (14) zum Erhalten eines multiplizierten Signals (16);
 - einen Schritt zum Integrieren des multiplizierten Signals (16) über mindestens ein Zeitinter-

vall zum Erhalten mindestens eines integrierten Signals (22);

- einen Schritt zum Speichern des integrierten Signals (22) in einem analogen Speicher (24), wobei der Speicher (24) eine Mehrzahl von Datenregistern (26, 28, 30), wobei eines der Register dazu eingerichtet ist, das integrierte Signal zu speichern, und ein Referenzregister (32) aufweist, das dazu eingerichtet ist, eine Referenzspannung (20) zu speichern; und
- einen Schritt zum Schätzen einer zeitlichen Korrelation des Lichtsignals (4) ausgehend von dem gespeicherten integrierten Signal (22) mittels eines Multiplizierers mit differentielltem Eingang (34), wobei der Multiplizierer mit differentielltem Eingang (34) eingerichtet ist, die Inhalte von zwei Registern des Speichers (24) zu multiplizieren, wobei eines der zwei Register eingerichtet ist, das integrierte Signal zu speichern.

10. Verfahren zum Verarbeiten gemäß Anspruch 9, dadurch charakterisiert, dass das Referenzsignal (14) ein Signal mit konstantem Vorzeichen ist.

Claims

1. An analog electronic circuit (2) for processing a light signal (4), of the type comprising:
 - a photodetector (6) adapted for producing an electric signal (8) from a light signal (4);
 - a multiplier (12) adapted for multiplying the electric signal (8) with a reference signal (14) in order to obtain a multiplied signal (16);
 - an integrator (18) adapted for integrating the multiplied signal (16) over at least one time interval, in order to obtain at least one integrated signal (22),
 - an analog memory (24) adapted for storing the integrated signal (22), the memory (24) comprising a plurality of data registers (26, 28, 30), one of said registers being adapted for storing the integrated signal and a reference register (32) adapted for storing a reference voltage (20); and
 - a computing unit adapted for estimating a time correlation of the light signal (4) from the integrated signal (22) stored in memory, the computer unit comprising a differential input multiplier (34), the differential input multiplier (34) being adapted for multiplying the contents of two registers of the memory (24), one of the two registers being adapted to store the integrated signal.
2. The electronic circuit (2) according to any one of the preceding claims, **characterized in that** it comprises an amplifier (10) for the electric signal (8) pro-

duced by the photodetector (6).

3. The electronic circuit (2) according to any one of the preceding claims, **characterized in that** the photodetector (6) includes a photodiode (40). 5
4. The electronic circuit (2) according to any one of the preceding claims, **characterized in that** the photodetector (6) includes a high-pass filter. 10
5. The electronic circuit (2) according to any one of the preceding claims, **characterized in that** it is integrated into a pixel with a size equal to $42 \times 44 \mu\text{m}$.
6. The electronic circuit (2) according to any one of the preceding claims, **characterized in that** the assembly of the multiplier (12) and of the integrator (18) forms an electronic structure for demodulating an electric signal (8), including: 15
 - a voltage inverting amplifier (84) receiving the electric signal (8) as an input;
 - an integrator (18) for which the operating point at the input corresponds to the operating point at the input of the voltage inverting amplifier (84), 25 and
 - first (80) and second (82) identical resistive devices, the conductances of which are voltage-controlled, the first resistive device (80) connecting the output and the input of the voltage amplifier (84) and the second resistive device (82) connecting the output of the voltage inverting amplifier (84) and the input of the integrator (18). 30
7. A processing system for processing a light signal, **characterized in that** it comprises a plurality of electronic circuits (2) according to any one of the preceding claims, connected together in an integrated circuit and means for summing time correlations obtained at the output of all the electronic circuits (2) of the system. 35 40
8. The processing system according to claim 7, **characterized in that** it comprises means for selectively disconnecting each of the electronic circuits (2) of the system. 45
9. A processing method for processing a light signal (4) comprising: 50
 - a step for producing an electric signal (8) from the light signal (4);
 - a step for multiplying the electric signal (8) with a reference signal (14) in order to obtain a multiplied signal (16); 55
 - a step for integrating the multiplied signal (16) over at least one time interval, in order to obtain at least one integrated signal (22);

- a step for storing the integrated signal (22) in an analog memory (24), the memory (24) comprising a plurality of data registers (26, 28, 30), one of said registers being adapted for storing the integrated signal and a reference register (32) adapted for storing a reference voltage (20); and

- a step for estimating a time correlation of the light signal (4) from the integrated signal (22) stored in memory, via a differential input multiplier (34), the differential input multiplier (34) being adapted for multiplying the contents of two registers of the memory (24), one of the two registers being adapted to store the integrated signal.

10. The processing method according to claim 9, **characterized in that** the reference signal (14) is a signal of constant sign.

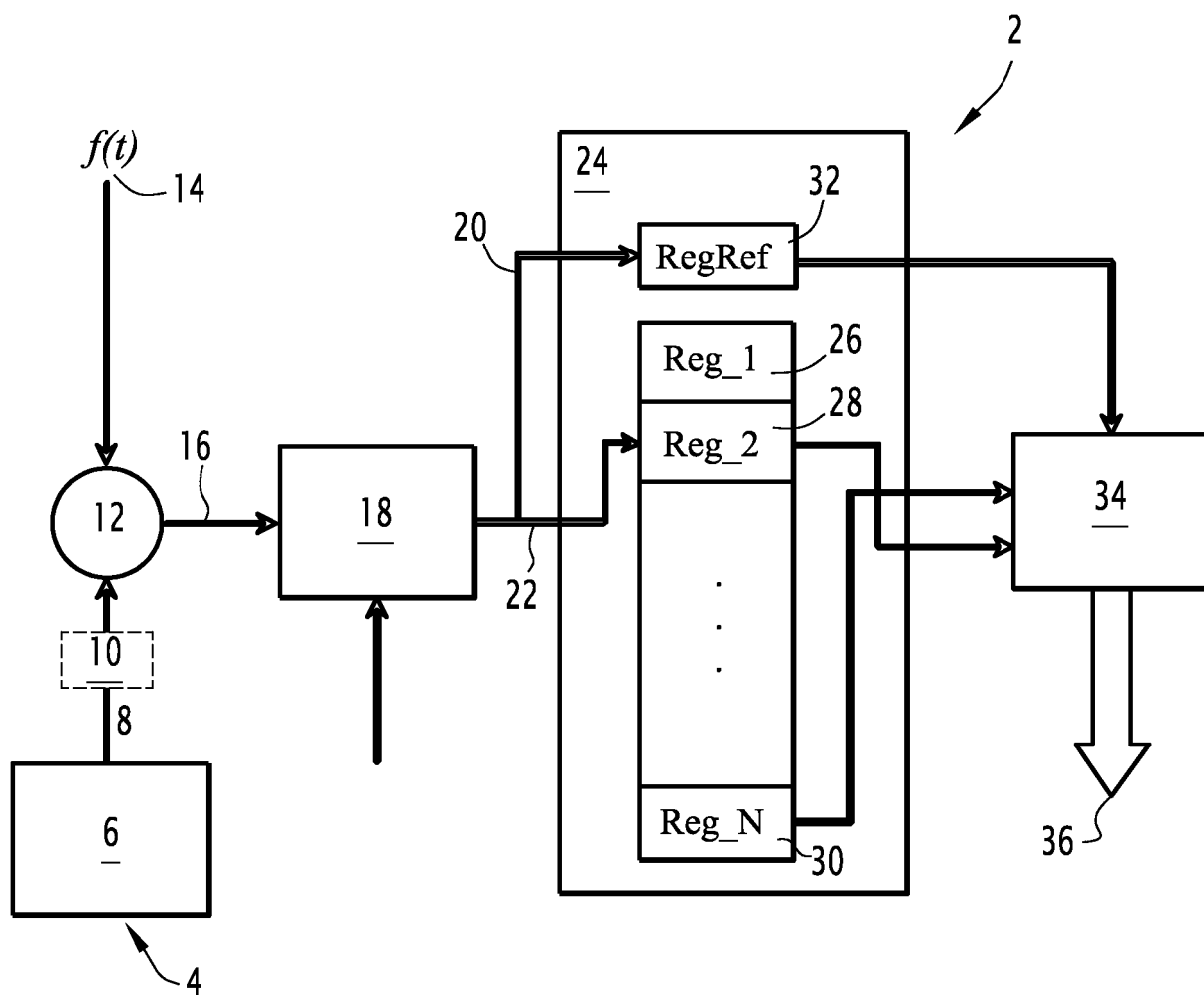
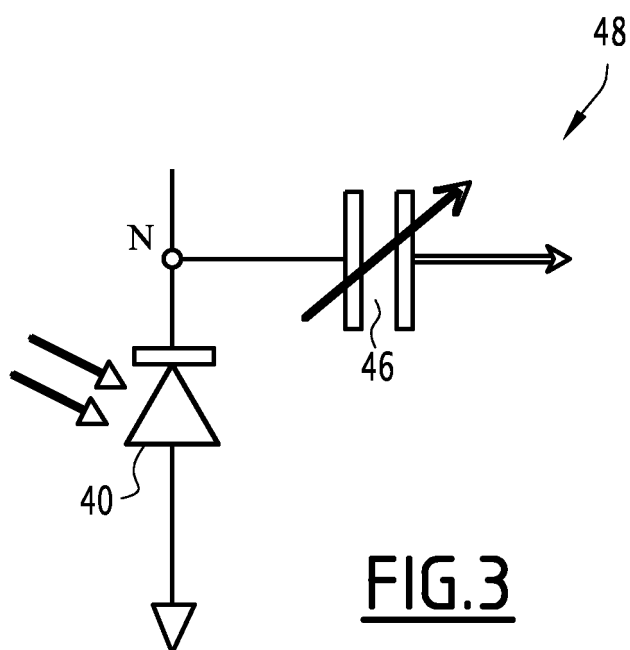
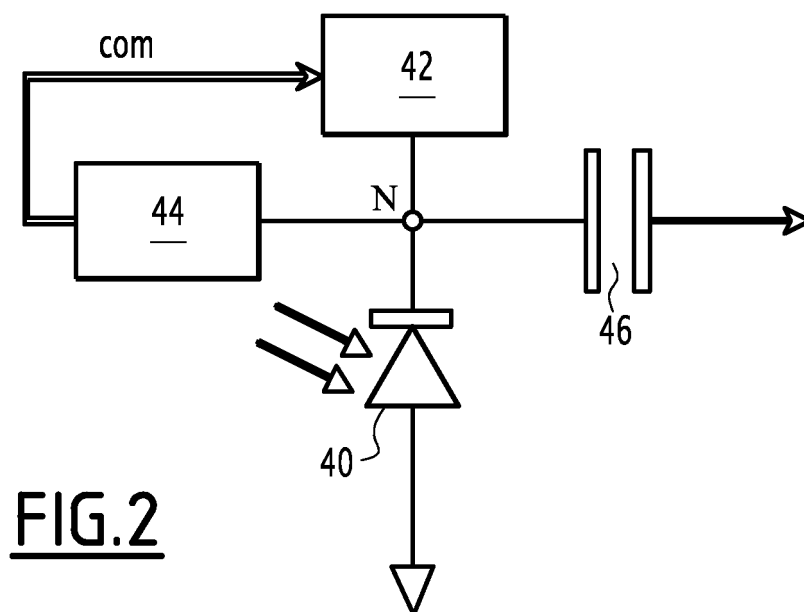


FIG.1



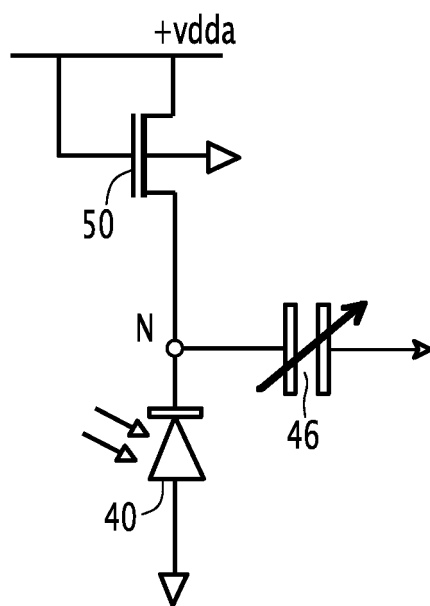


FIG. 4

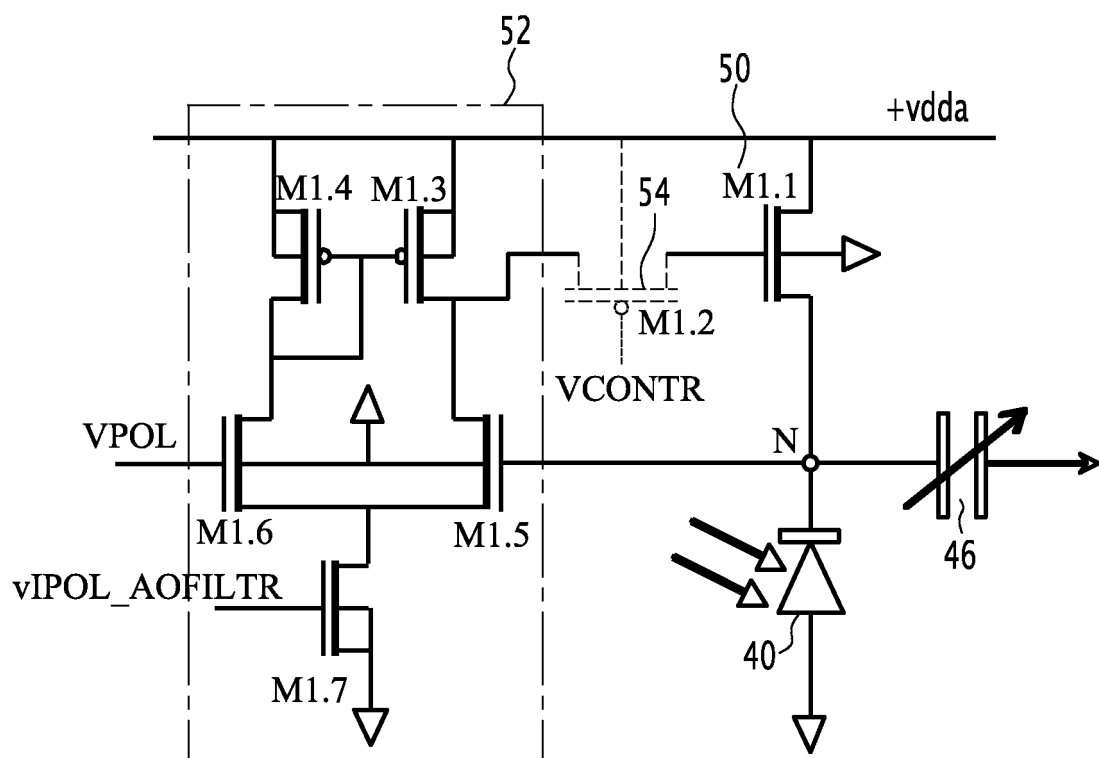


FIG. 5

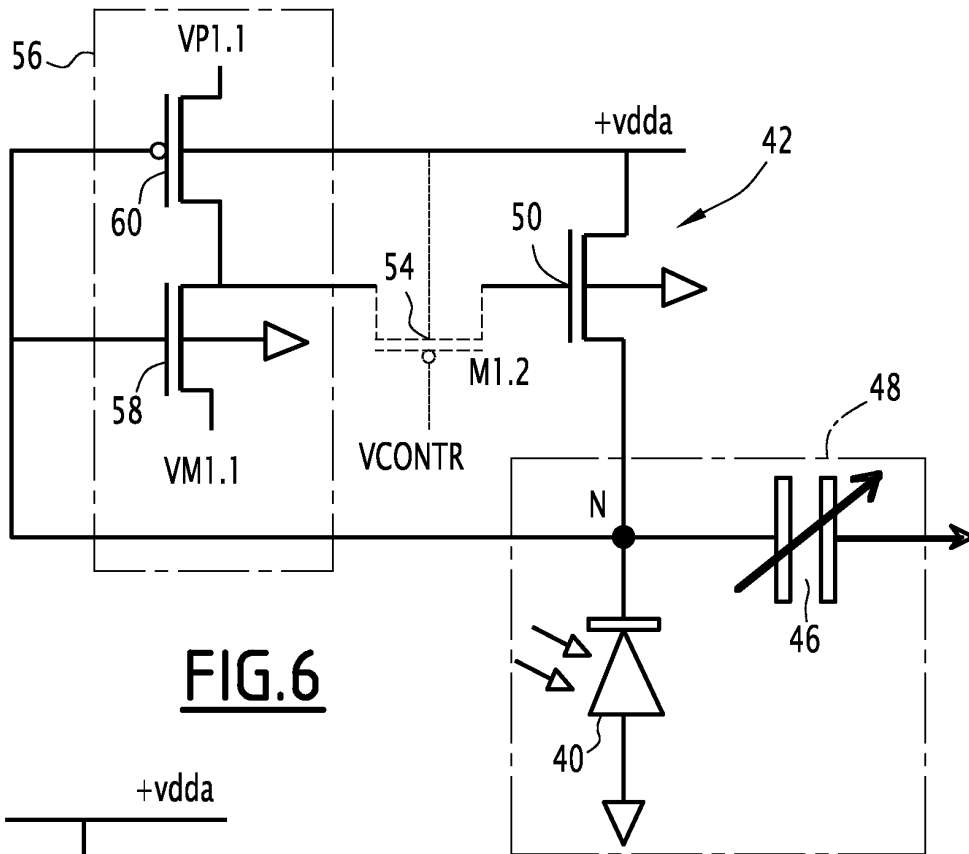


FIG. 6

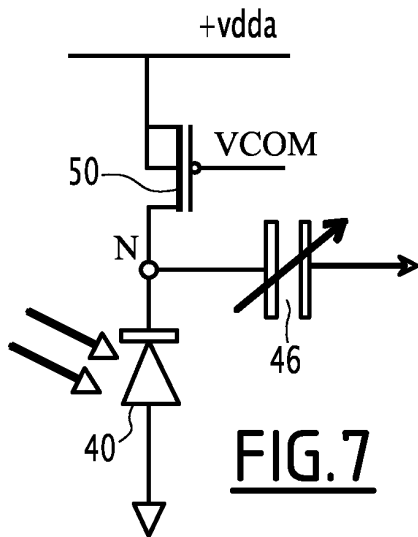


FIG. 7

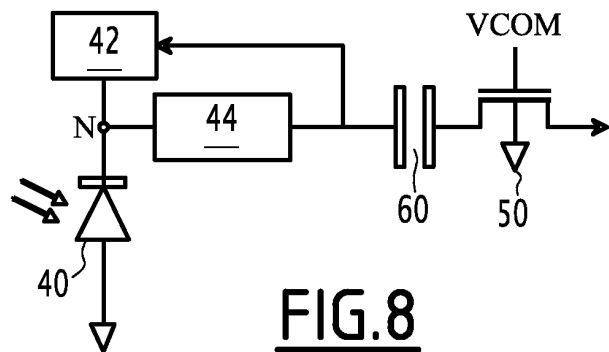


FIG. 8

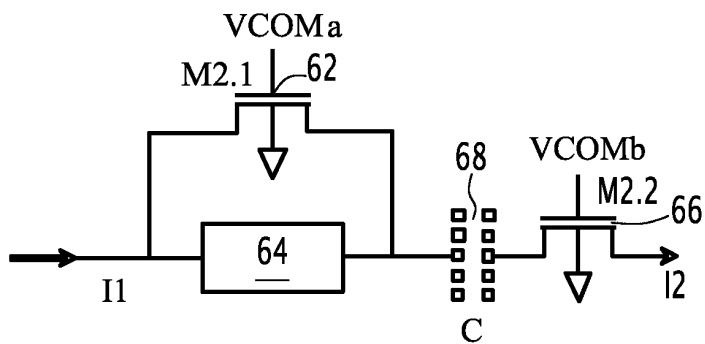


FIG. 9

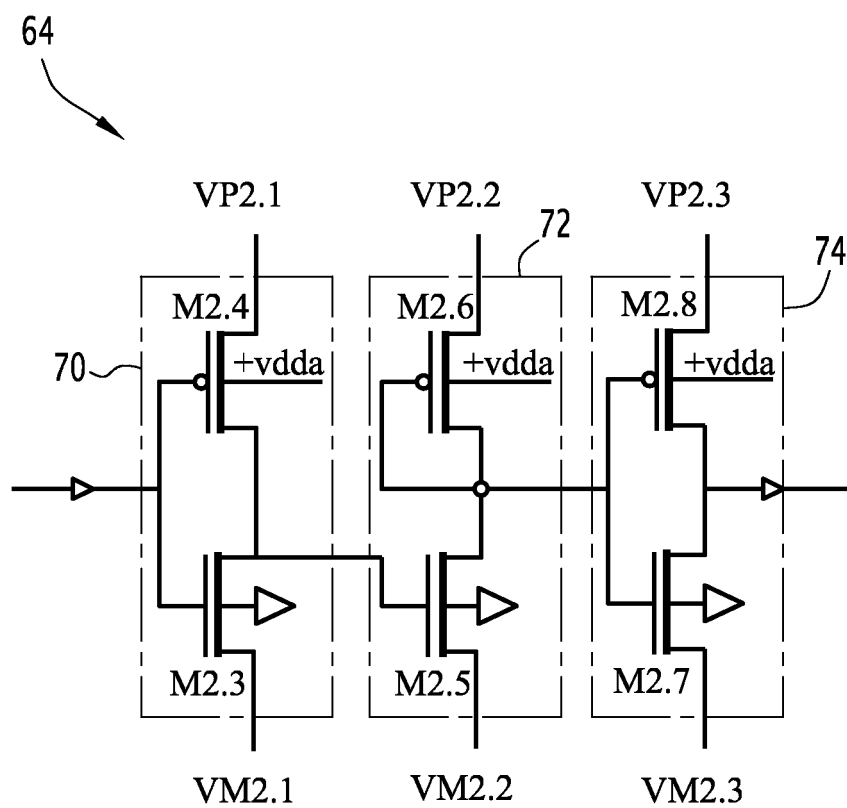


FIG.10

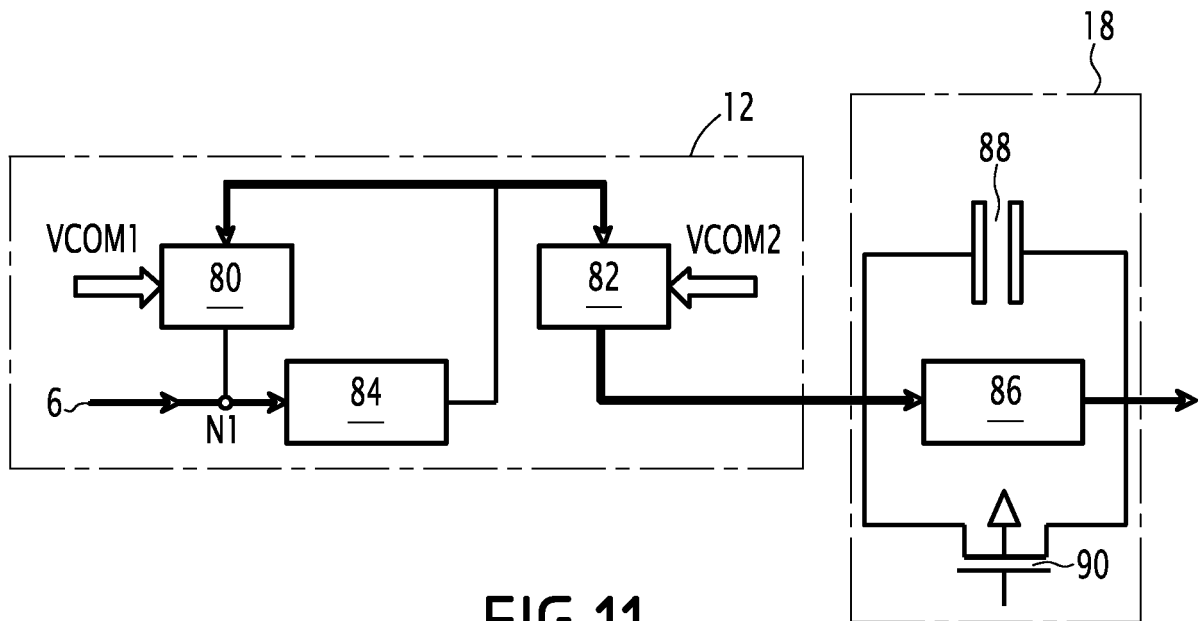


FIG. 11

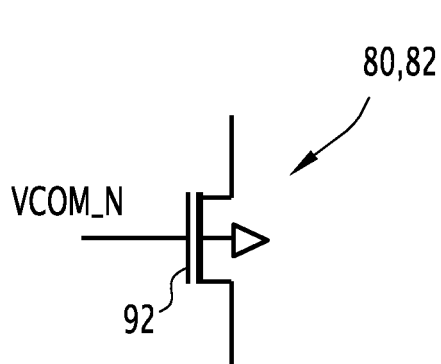


FIG. 12

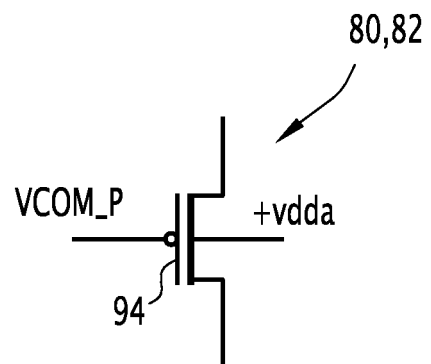


FIG. 13

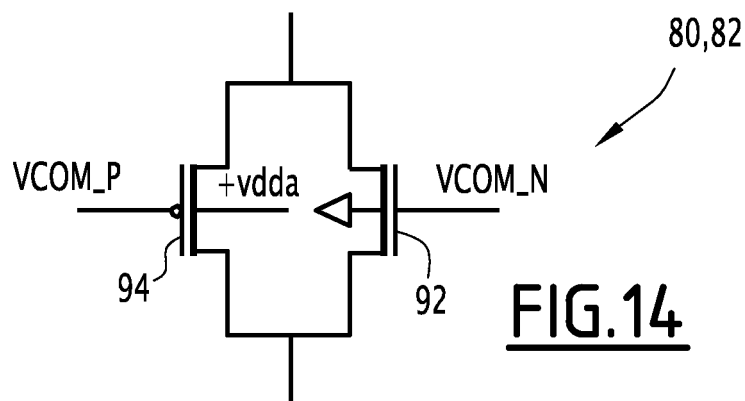
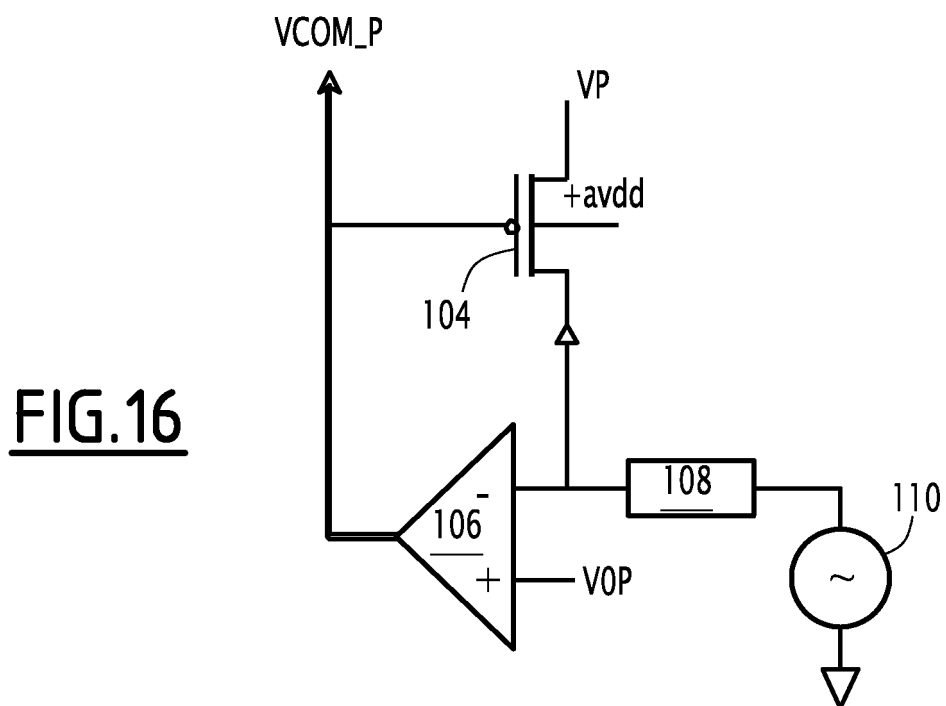
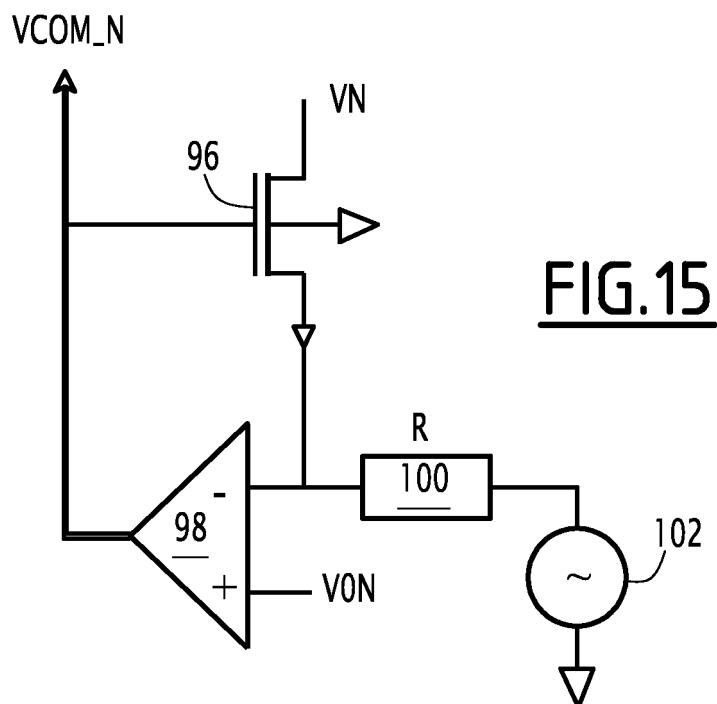
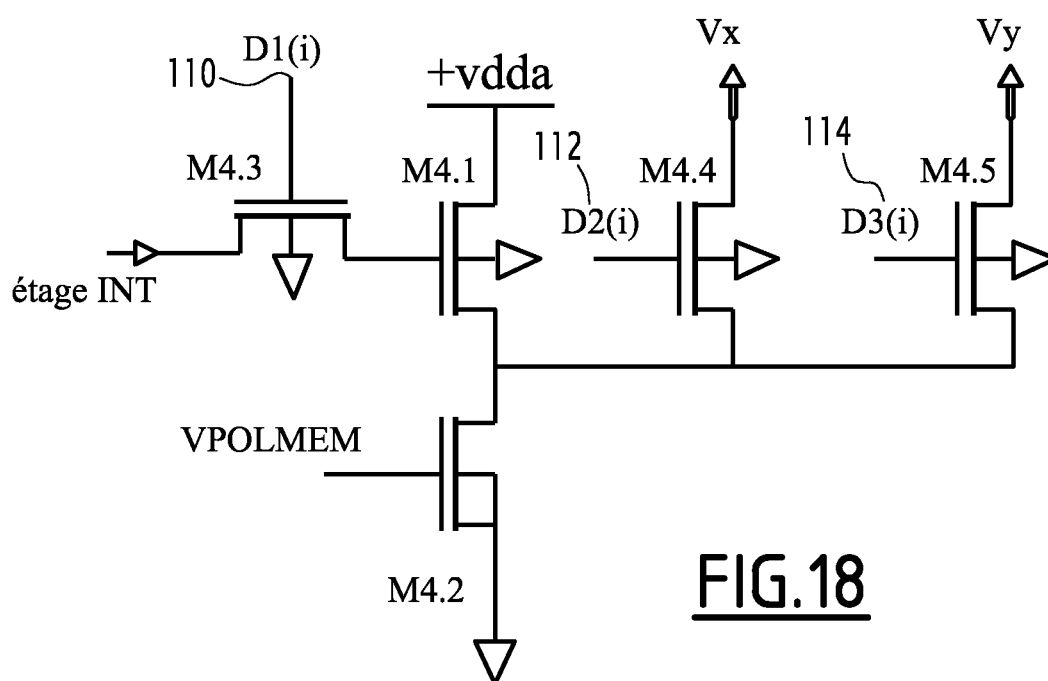
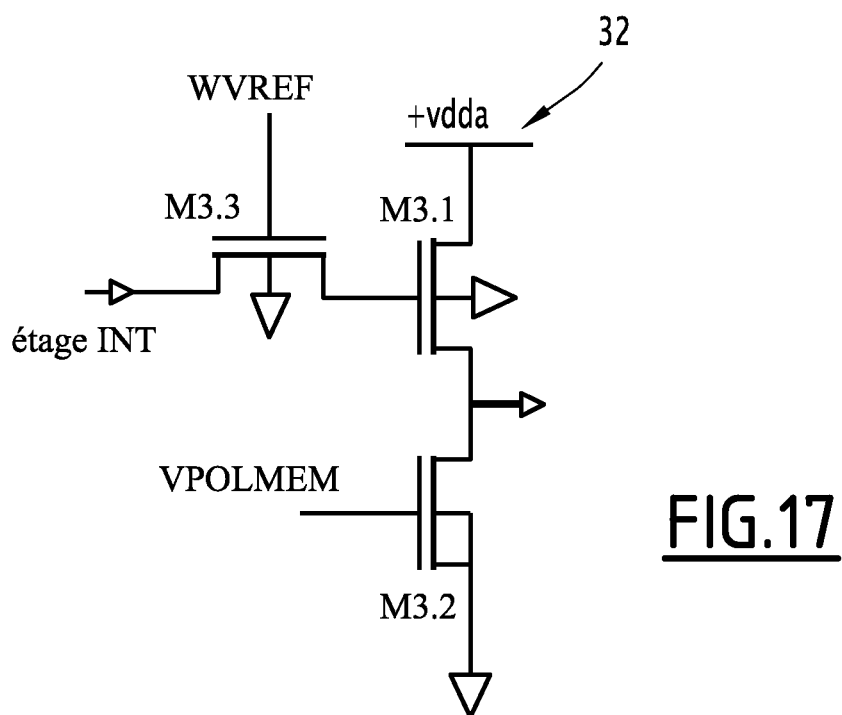


FIG. 14





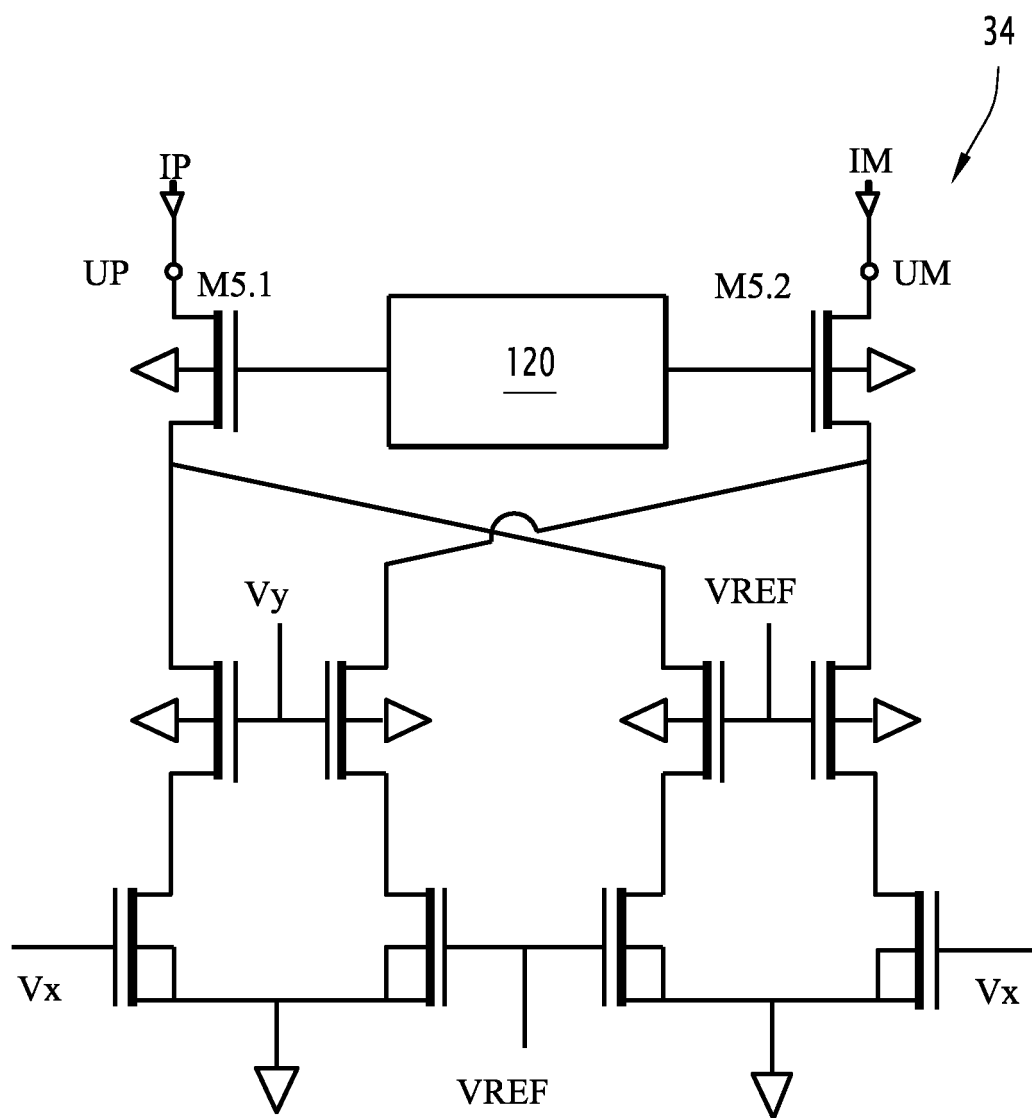


FIG.19

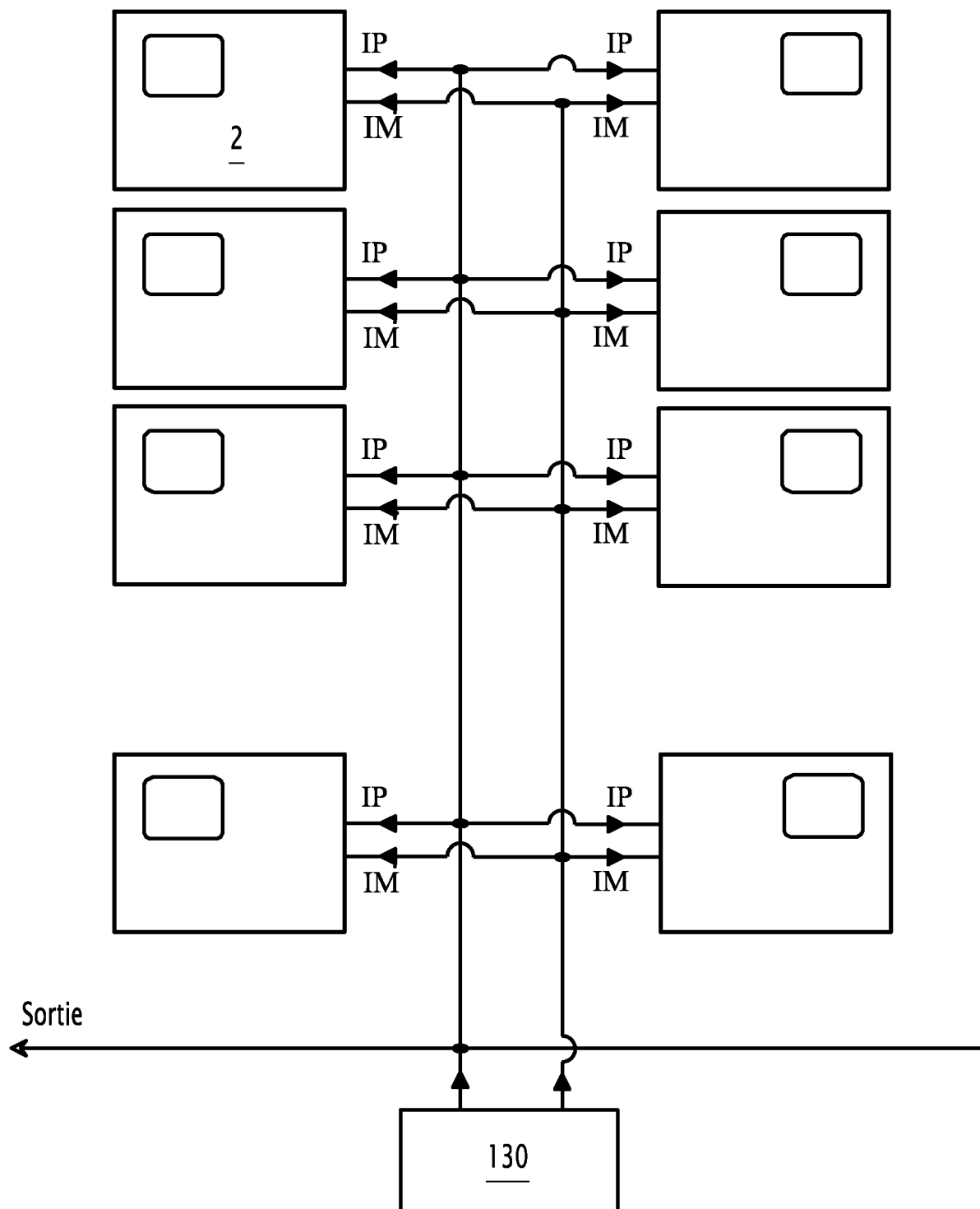


FIG.20

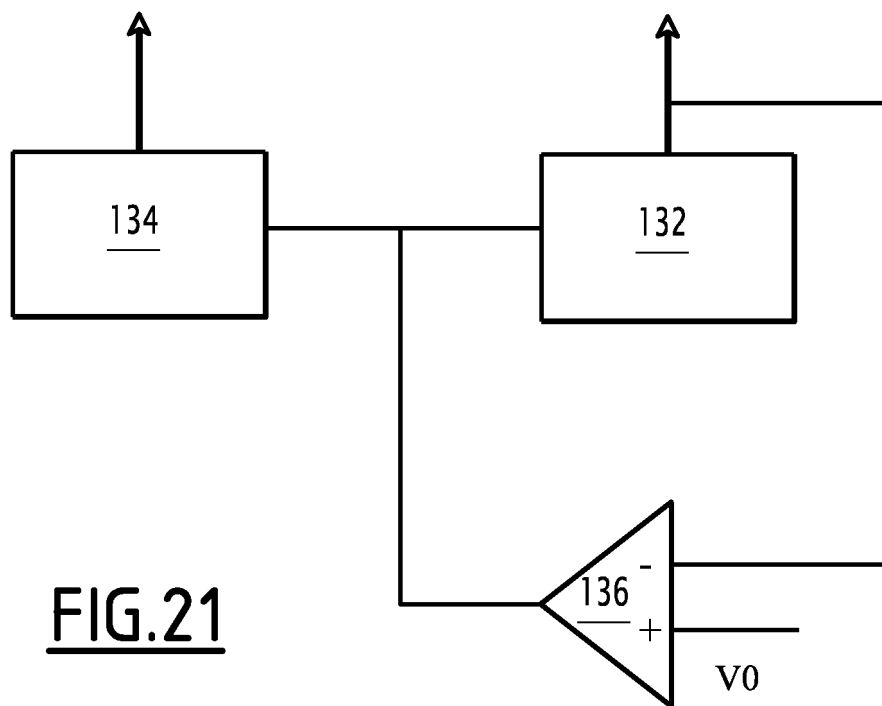


FIG.21

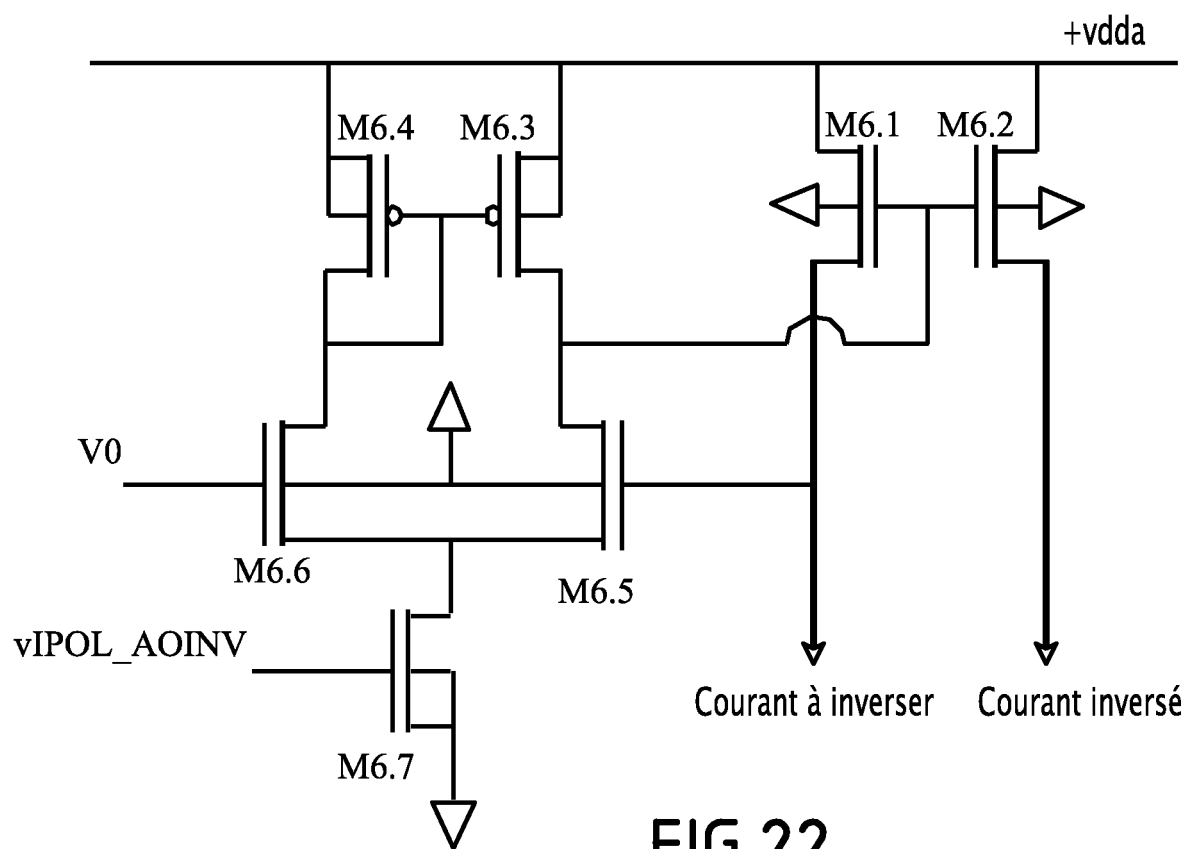


FIG.22

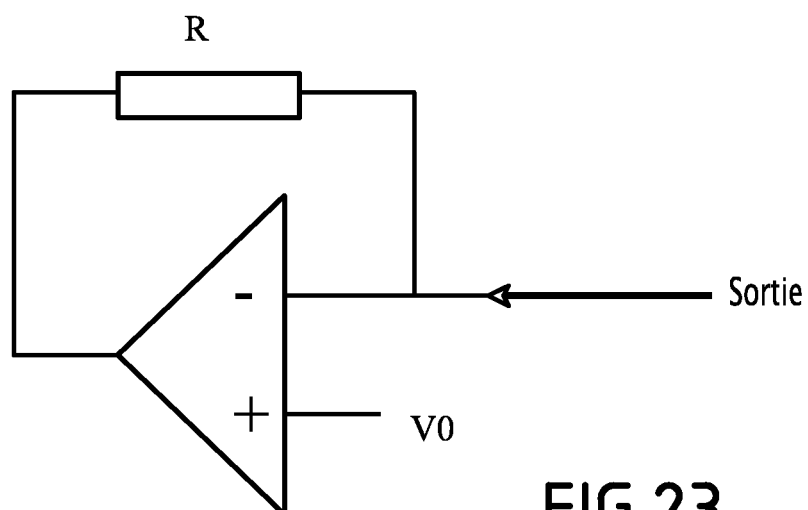


FIG.23

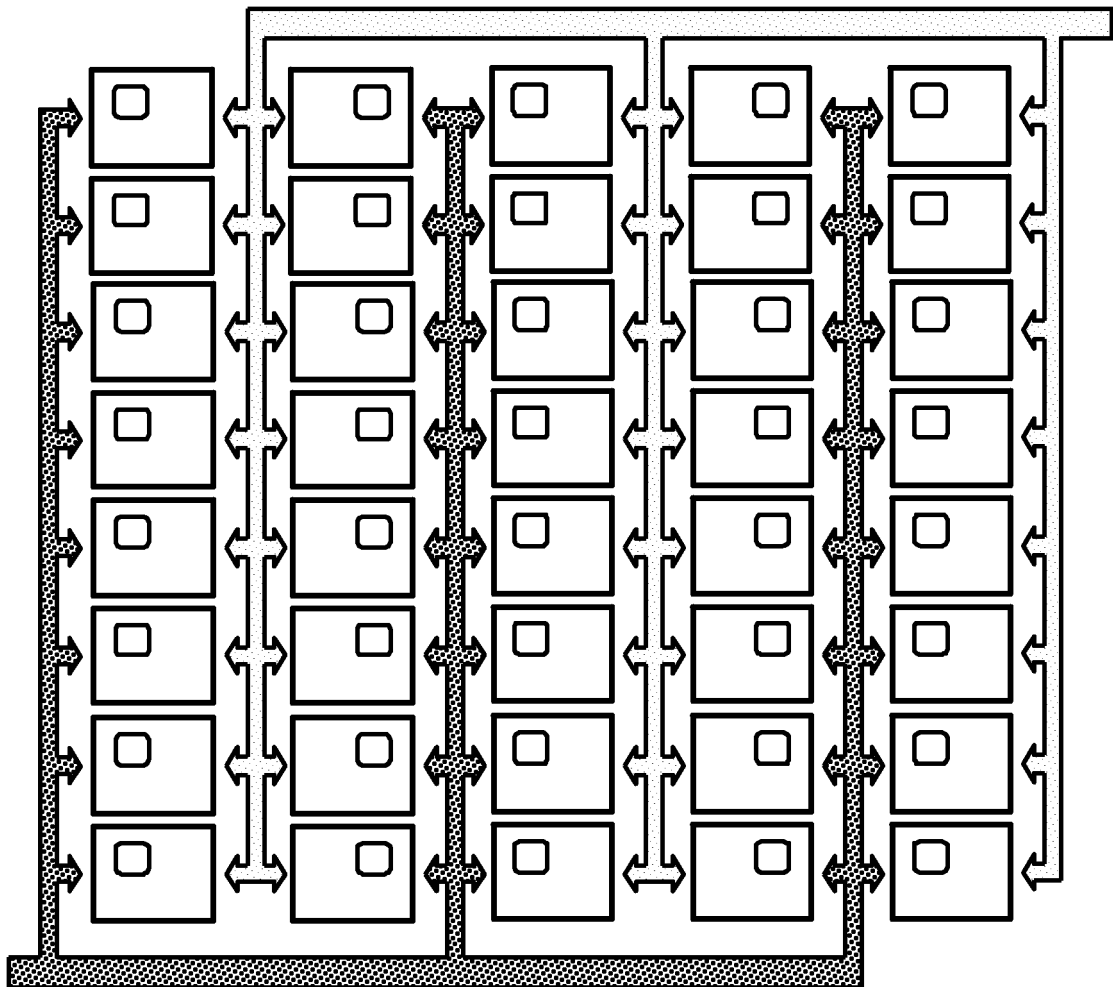


FIG.24

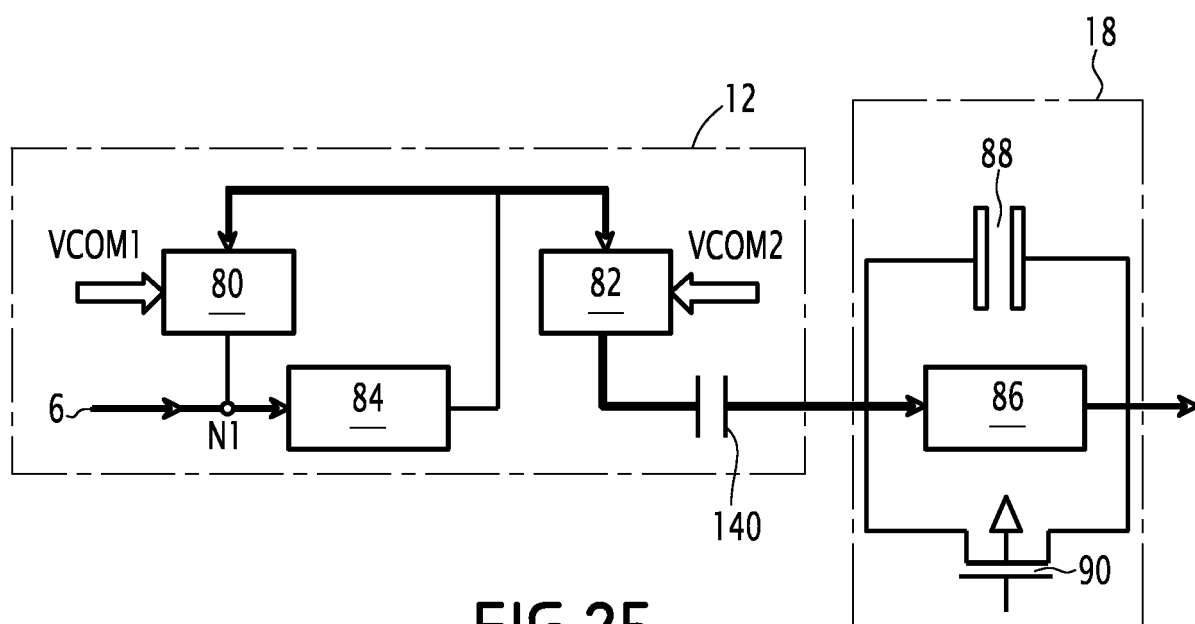


FIG.25

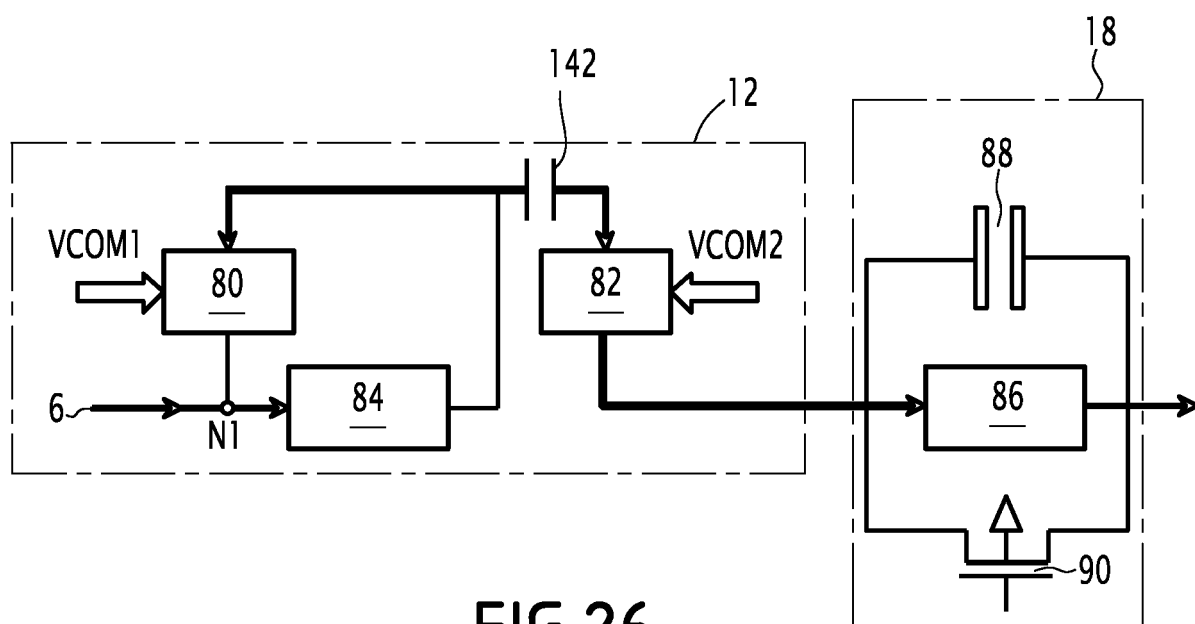


FIG.26

RÉFÉRENCES CITÉES DANS LA DESCRIPTION

Cette liste de références citées par le demandeur vise uniquement à aider le lecteur et ne fait pas partie du document de brevet européen. Même si le plus grand soin a été accordé à sa conception, des erreurs ou des omissions ne peuvent être exclues et l'OEB décline toute responsabilité à cet égard.

Documents brevets cités dans la description

- WO 0188507 A1 [0003] [0012]

Littérature non-brevet citée dans la description

- **DOMÍNGUEZ-CASTRO et al.** *IEEE J. Solid-State Circuits*, 1997, vol. 32 (79), 1013-1025 [0002]
- **GUNHEE HAN ; EDGAR SÁNCHEZ-SINENCIO.** CMOS Transconductance Multipliers: A Tutorial. *IEEE Trans. on circ. and syst.*, 1998, vol. 45 (12), 1550 [0064]