



(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
20.02.2013 Bulletin 2013/08

(51) Int Cl.:
G05F 3/30 (2006.01)

(21) Numéro de dépôt: **11177618.3**

(22) Date de dépôt: **16.08.2011**

(84) Etats contractants désignés:
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR
Etats d'extension désignés:
BA ME

• **Stary, Richard**
16500 Prague 6 (CZ)
• **Drechsler, Petr**
252 42 Jesenice (CZ)

(74) Mandataire: **Ravenel, Thierry Gérard Louis**
ICB
Ingénieurs Conseils en Brevets SA
Faubourg de l'Hôpital 3
2001 Neuchâtel (CH)

(71) Demandeur: **EM Microelectronic-Marin SA**
2074 Marin (CH)

(72) Inventeurs:
• **Théoduloz, Yves**
1400 Yverdon (CH)

(54) **Procédé d'ajustement d'une tension de référence sur la base d'un circuit band-gap**

(57) Le procédé permet d'ajuster une tension de référence (V_{REF}) d'un circuit électronique sur la base d'une tension band-gap (V_1) fournie par un premier étage (11) du type band-gap. L'étage du type band-gap (11) comprend dans un montage en série entre deux bornes d'une source de tension d'alimentation, une source de courant (P1) reliée à une première branche, qui comprend une première résistance configurable (R1 a) en série avec une première diode (N1), et à une seconde branche, qui comprend une seconde résistance configurable (R1b) reliée à une résistance complémentaire (R2) en série avec une seconde diode (N2). La tension band-gap est

fournie à un noeud de connexion entre la source de courant et chaque branche. La source de courant est un transistor PMOS (P1) commandé par une tension de sortie d'un premier amplificateur opérationnel (A1) d'une boucle de commande de courant. Le mot binaire adéquat (M1) de configuration des résistances configurables (R1 a, R1 b) est déterminé sur la base de quatre valeurs de tension band-gap mesurées à deux températures différentes (T1, T2) et deux valeurs résistives des résistances configurées par un même premier mot binaire et par un même second mot binaire différent du premier mot binaire.

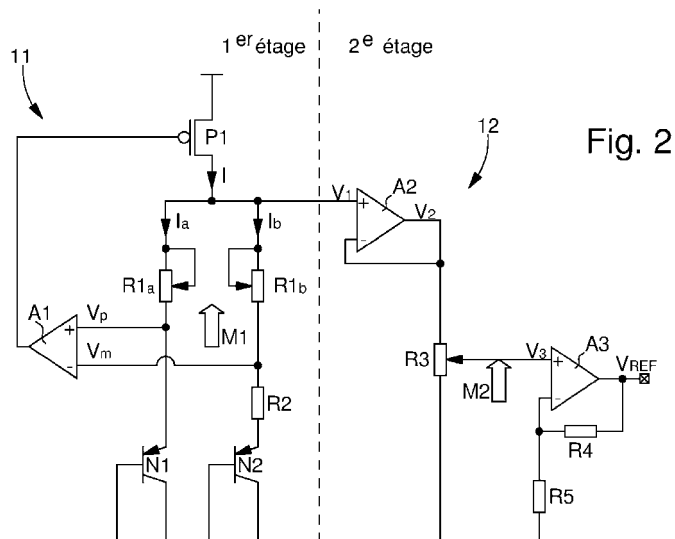


Fig. 2

Description

[0001] L'invention concerne un procédé d'ajustement d'une tension de référence d'un circuit électronique muni d'un étage du type band-gap.

[0002] L'invention concerne également un circuit électronique pour la mise en oeuvre du procédé d'ajustement d'une tension de référence.

[0003] La réalisation de circuits électroniques comprenant un étage du type band-gap pour fournir une tension de référence, est généralement bien connue. Cette tension de référence doit en principe être réglée pour être indépendante de la température.

[0004] Comme représenté à la figure 1, un tel circuit électronique du type band-gap 1 est composé d'une diode, telle qu'un transistor bipolaire N1 monté sous forme de diode, qui est traversé par un courant continu I_c généré par une source de courant Sc pour définir une tension de diode V_{BE} . Généralement cette tension de diode V_{BE} diminue avec une augmentation de la température, et inversement augmente avec une diminution de la température. La source de courant Sc et le transistor bipolaire monté en diode N1 sont connectés en série entre deux bornes d'une tension d'alimentation continue.

[0005] Comme la tension de diode V_{BE} varie inversement à la variation de la température, il est encore prévu un générateur 2 d'une tension $K \cdot U_T$, dont la tension $K \cdot U_T$ varie inversement à la tension de diode V_{BE} . Cette tension $K \cdot U_T$ est additionnée dans un additionneur 3 à la tension de diode pour fournir une tension de référence V_{REF} , qui est égale à $V_{BE} + K \cdot U_T$. Le facteur K est ainsi adapté de manière à obtenir une tension de référence V_{REF} indépendante de la température. Pour cela, il est nécessaire que dV_{BE}/dT soit égale à $-K \cdot dU_T/dT$. La tension de référence V_{REF} , qui peut être une tension band-gap, est d'une valeur sensiblement égale à 1.22 V à 0° C. La tension thermodynamique U_T , qui est égale à $k \cdot T/q$, vaut environ 23.5mV à 0° C, où k est la constante de Boltzmann, T est la température en Kelvin, et q est la charge d'un électron en valeur absolue.

[0006] Généralement pour un circuit électronique du type band-gap comme représenté en figure 1, une valeur par défaut du facteur K pour avoir une tension de référence V_{REF} indépendante de la température est fixée lors du design du circuit électronique. Ce facteur K influence la tension de référence absolue, ainsi que la dépendance en température du premier ordre. Durant l'ajustement de la valeur absolue de la tension de référence, la variation du facteur K influence aussi la stabilité en température. Comme le procédé de fabrication d'un tel circuit électronique peut varier pour l'ajustement de la tension de référence, il peut résulter une stabilité en température non optimale. Cela conduit à une variation d'un circuit électronique à l'autre avec une tension de référence, qui n'est pas entièrement indépendante de la température, ce qui est un inconvénient.

[0007] On peut citer à ce titre, la demande de brevet US 2006/0043957 A1, qui décrit un tel circuit électronique muni d'un étage du type band-gap. Dans cette demande de brevet, il est notamment décrit une manière d'ajuster le coefficient de température. Pour ce faire, il est effectué des mesures de la tension à différentes températures afin de calculer la pente et ainsi ajuster la tension de référence générée. Cet étage band-gap fournit donc une tension de référence précise suite à différentes mesures d'ajustement du coefficient de température. Cependant, le procédé d'ajustement nécessite plusieurs étapes de mesure afin d'en tirer les paramètres d'ajustement précis de la tension de référence, ce qui constitue un inconvénient. De plus, l'ajustement de la tension de référence est fortement dépendant des variations des paramètres de fabrication du circuit électronique, ce qui constitue un autre inconvénient.

[0008] L'invention a donc pour but de pallier aux inconvénients de l'état de la technique en fournissant un procédé d'ajustement d'une tension de référence sur la base d'un circuit électronique muni d'un étage du type band-gap, qui soit simple à mettre en oeuvre. Le procédé permet d'ajuster facilement la tension de référence générée indépendamment des variations des paramètres de fabrication dudit circuit électronique, et en supprimant la dépendance en température du premier ordre.

[0009] A cet effet, l'invention concerne un procédé d'ajustement d'une tension de référence d'un circuit électronique muni d'un étage du type band-gap, qui comprend les caractéristiques définies dans la revendication indépendante 1.

[0010] Des étapes particulières du procédé d'ajustement d'une tension de référence sont définies dans les revendications dépendantes 2 à 6.

[0011] Un avantage du procédé d'ajustement d'une tension de référence selon l'invention réside dans le fait qu'il est mesuré à deux températures différentes une tension band-gap pour deux valeurs de résistance trimées par deux mots binaires. Le mot binaire de calibrage adéquat d'une ou deux résistances configurables de l'étage band-gap est déterminé sur la base des quatre valeurs de tension band-gap pour obtenir une tension band-gap indépendante de la température.

[0012] Un autre avantage du procédé d'ajustement d'une tension de référence est que le niveau de la tension de référence peut ainsi être ajusté précisément dans une seconde étape sur la base de la tension band-gap ajustée. La tension de référence adaptée au niveau désiré est également indépendante de toute variation de température.

[0013] A cet effet, l'invention concerne également un circuit électronique muni d'un étage du type band-gap pour la mise en oeuvre du procédé d'ajustement d'une tension de référence, qui comprend les caractéristiques définies dans la revendication indépendante 7.

[0014] Des formes d'exécution particulières du circuit électronique sont définies dans les revendications dépendantes 8 à 16.

[0015] Les buts, avantages et caractéristiques du procédé d'ajustement d'une tension de référence, et du circuit électronique pour sa mise en oeuvre apparaîtront mieux dans la description suivante sur la base d'au moins une forme d'exécution non limitative illustrée par les dessins sur lesquels :

la figure 1 citée ci-devant représente de manière simplifiée un circuit électronique du type band-gap de l'état de la technique,

la figure 2 représente une forme d'exécution d'un circuit électronique muni d'un étage du type band-gap permettant le mise en oeuvre du procédé d'ajustement d'une tension de référence indépendante de la température selon l'invention, et

la figure 3 représente un graphique représentant la variation de la tension fournie de l'étage band-gap du circuit électronique en fonction de la température relative à la mise en oeuvre du procédé d'ajustement d'une tension de référence selon l'invention.

[0016] Dans la description suivante, tous les éléments du circuit électronique pour la mise en oeuvre du procédé d'ajustement d'une tension de référence, qui sont bien connus de l'homme du métier dans ce domaine technique ne seront relatés que de manière simplifiée.

[0017] La figure 2 représente une forme d'exécution d'un circuit électronique, qui comprend au moins un premier étage du type band-gap 11 pour fournir une tension band-gap V1, et un second étage d'adaptation 12 de la tension de référence V_{REF} sur la base de la tension band-gap V1. Dans une première étape du procédé d'ajustement, la tension band-gap V1 est ajustée pour être indépendante de toute variation en température. Dans une seconde étape du procédé d'ajustement, la tension de référence V_{REF} peut être adaptée à un niveau souhaité pour l'alimentation d'autres composants électroniques. Cependant la tension band-gap V1 peut également être utilisée comme tension de référence pour d'autres composants électroniques. Cette tension de référence ne varie pas en température, si la tension band-gap a bien été ajustée dans le premier étage selon le procédé d'ajustement de la présente invention, comme expliqué ci-après.

[0018] Dans une configuration simple du circuit électronique avec le premier étage du type band-gap, il peut être prévu au moins une source de courant P1, une résistance R1 a configurable par un mot binaire M1, et un élément sous forme de diode, tel qu'un transistor bipolaire monté en diode N1. La source de courant, la résistance et la diode à jonction sont connectés en série entre deux bornes d'une source de tension d'alimentation non représentée. La source de courant P1 est de préférence reliée à la borne de potentiel haut de la source de tension d'alimentation, alors que la diode N1 est de préférence reliée à la borne de potentiel bas de la source de tension d'alimentation. La tension band-gap V1, qui peut définir, dans ce cas, une tension de référence, est donc fournie au noeud de connexion entre la source de courant P1 et la résistance configurable R1 a. Cependant cette tension band-gap peut aussi être fournie au noeud de connexion entre la source de courant P1 et la diode N1, si la résistance configurable R1a est directement connectée à la borne de potentiel bas de la source de tension d'alimentation. Cette tension band-gap V1 est ainsi l'addition de la tension de diode du transistor N1 et de la tension générée par le courant traversant la résistance R1 a.

[0019] Le circuit électronique est réalisé généralement dans un substrat semi-conducteur, tel que du silicium Si ou de l'arséniure de gallium GaAs. Avec une augmentation de la température, la valeur de la résistance R1a augmente, alors que la tension de diode N1 diminue, et inversement avec une diminution de la température. Il doit donc être déterminé le mot binaire M1 de telle manière que la tension band-gap V1 fournie en sortie du premier étage 11 soit indépendante de la variation de la température. Comme expliqué ci-après notamment en référence à la figure 3, le procédé d'ajustement de la tension de référence permet de déterminer le mot binaire adéquat M1 de configuration de la résistance R1a. Le procédé d'ajustement de la tension de référence ou de la tension band-gap V1 permet de supprimer la dépendance en température du premier ordre comme brièvement expliqué en référence à la figure 1 par l'adaptation du facteur K.

[0020] Selon le procédé d'ajustement de la présente invention, il doit être mesuré la tension band-gap V1 à une première température T1 et à une seconde température T2 dans une gamme de température permettant le fonctionnement du circuit électronique. Cette gamme de température peut se situer par exemple entre -40°C à au moins 85°C en fonction de la technologie utilisée pour réaliser l'intégration du circuit électronique. Il peut être sélectionné par exemple une première température T1 à 0°C et une seconde température T2 à 60°C, mais d'autres températures peuvent aussi être choisies pour le procédé d'ajustement selon l'invention.

[0021] De préférence, les deux températures de mesure T1 et T2 peuvent être choisies de part et d'autre d'une valeur médiane de température dans la gamme de température de fonctionnement du circuit électronique. Cela permet également de minimiser les effets du second ordre (effet cloche). Elles doivent en principe également être suffisamment éloignées l'une de l'autre sans s'approcher de chaque limite de la gamme de température de manière à éviter d'amplifier

des imprécisions de mesure.

[0022] La mesure de la tension band-gap V1 est effectuée aux deux températures à une première valeur de résistance R1 a et à une seconde valeur de résistance. Deux premières valeurs de tension band-gap V1 sont avantageusement mesurées à la première température T1 pour les deux valeurs de résistance R1 a configurée successivement par les deux mots binaires M1. Ensuite deux secondes valeurs de tension band-gap V1 sont mesurées à la seconde température T2 pour les deux valeurs de résistance R1 a configurée successivement par les deux mots binaires M1. Les quatre valeurs de la tension band-gap peuvent être mémorisées dans des moyens de mémorisation d'une unité à microprocesseur, qui peut être intégrée dans un même circuit intégré que le circuit électronique ou être simplement connectée au circuit électronique.

[0023] Il peut également être prévu de mémoriser dans un fichier de test durant la production, les deux valeurs de tension band-gap V1 des deux valeurs de résistances à la première température T1. Ce fichier peut être réutilisé lors du test des deux valeurs de tension band-gap à la seconde température T2 de manière à permettre le calcul final du facteur K. Le test en production mémorise les résultats de mesure des deux valeurs de tension band-gap à la première température associée à chaque circuit. Dans ces conditions, il n'est pas nécessaire de munir le circuit électronique d'une mémoire non volatile.

[0024] Dans une variante du procédé, deux valeurs de la tension band-gap V1 peuvent être mesurées avec la première valeur de résistance R1 a configurée par un premier mot binaire M1, aux deux températures T1 et T2 de mesure. Ensuite, deux autres valeurs de la tension band-gap V1 peuvent aussi être mesurées avec la seconde valeur de résistance R1 a configurée par un second mot binaire M1 aux deux températures T1 et T2. Les quatre valeurs de la tension band-gap V1 peuvent être mémorisées dans les moyens de mémorisation de l'unité à microprocesseur.

[0025] Sur la base des quatre valeurs de tension band-gap V1 mémorisées, il est directement possible de calculer le mot binaire adéquat pour configurer ladite résistance R1a. Une fois que la résistance R1a est configurée par le mot binaire adéquat M1, la tension band-gap V1 est indépendante de toute variation en température. Cela permet d'ajuster la stabilité en température du premier ordre. Le mot binaire M1 de configuration des résistances configurables peut être un mot binaire d'au moins 4 bits, et de préférence pouvant être à 7 bits ou plus. Le courant I fourni par la source de courant peut aussi être adapté en fonction de la valeur de la tension band-gap pour avoir un niveau de tension band-gap V1 déterminé en tenant compte de la valeur de la résistance configurée R1 a.

[0026] Il est à noter également, qu'il peut être déterminé les pentes de variation de la tension band-gap pour les deux valeurs de résistance R1a configurée par les deux mots binaires M1 différents, pour déterminer le mot binaire M1 adéquat. Cependant dans ce cas, il doit être tenu compte dans les équations des valeurs de la température de mesure, ce qui complique le procédé d'ajustement de la tension de référence. De plus, pour des pentes identiques de tout circuit électronique mesuré, on obtient toujours le même mot binaire, ce qui ne permet pas de bénéficier d'une bonne adaptation en température.

[0027] Par la suite dans une seconde étape, la tension de référence V_{REF} peut être adaptée dans le second étage 12 du circuit électronique. Cette tension de référence V_{REF} peut être ajustée précisément à une valeur supérieure ou à une valeur inférieure par exemple vers 0.8 V, ou également à une valeur identique à celle de la tension band-gap V1, comme expliqué ci-après plus en détail. Comme la tension band-gap adaptée dans le premier étage 11 du circuit électronique, peut être différente d'un circuit à l'autre d'une même plaquette de circuits intégrés ou de différentes plaquettes de circuits intégrés, il est nécessaire d'adapter la tension de référence désirée dans le second étage 12.

[0028] Dans une configuration plus complète illustrée par la figure 2, le premier étage du type band-gap 11 est tout d'abord composé d'une source de courant P1, qui est réalisée au moyen d'un transistor PMOS P1. La source du transistor PMOS P1 est reliée à une borne de potentiel haut d'une source de tension d'alimentation non représentée, alors que le drain est relié à une première résistance configurable R1 a et à une seconde résistance configurable R1 b. Pour rendre conducteur le transistor PMOS P1, la grille de ce transistor PMOS P1 est commandée par une tension de sortie d'un premier amplificateur opérationnel A1 d'une boucle de commande du courant. Ainsi un courant contrôlé I est fourni par ce transistor PMOS P1 aux première et seconde résistances configurables R1 a et R1 b. Un premier courant I_a passe par la première résistance R1 a, alors qu'un second courant I_b passe par la seconde résistance R1 b. La tension band-gap V1 de sortie du premier étage 11 est définie au noeud de connexion entre le transistor PMOS P1 et chaque résistance configurable R1a et R1b.

[0029] Dans une première branche, la première résistance R1 a est reliée d'un côté au drain du transistor PMOS P1 et d'un autre côté à une première diode, qui est de préférence un premier transistor bipolaire monté en diode N1. Ce premier transistor monté en diode N1 est composé de n transistors bipolaires élémentaires. Ce premier transistor bipolaire peut être un transistor PNP avec la base et le collecteur reliés à la borne de potentiel bas de la source de tension d'alimentation. Ainsi le transistor PMOS P1, la première résistance R1 a et le premier transistor bipolaire monté en diode N1 sont reliés en série entre les bornes de la source de tension d'alimentation.

[0030] Dans une seconde branche, la seconde résistance R1b est reliée d'un côté au drain du transistor PMOS P1 et d'un autre côté à une résistance complémentaire R2, qui est ensuite reliée à une seconde diode. Cette seconde diode est de préférence un second transistor bipolaire monté en diode N2. Ce second transistor monté en diode N2 est

composé de m transistors bipolaires élémentaires. Ce second transistor bipolaire peut être un transistor PNP avec la base et le collecteur reliés à la borne de potentiel bas de la source de tension d'alimentation. Ainsi le transistor PMOS P1, la seconde résistance R1 b, la résistance complémentaire R2 et le second transistor bipolaire monté en diode N2 sont reliés en série entre les bornes de la source de tension d'alimentation.

[0031] Le nombre m de transistors bipolaires élémentaires de la seconde branche est supérieur au nombre n de transistors bipolaires élémentaires de la première branche. Dans une réalisation avantageuse du circuit électronique, le nombre n de transistors bipolaires élémentaires pour la diode N1 peut être choisi égal à 1, alors que le nombre m de transistors bipolaires élémentaires de la diode N2 peut être choisi égal à 24. Ce choix provient d'un bon appariement recherché avec symétrie centrale lors du placement des transistors élémentaires sur le circuit intégré du circuit électronique. Le transistor bipolaire élémentaire de la diode N1 est disposé au centre des 24 transistors bipolaires élémentaires de la diode N2 pour donner une structure sous forme de carré.

[0032] Les deux résistances configurables R1a et R1b peuvent être similaires et configurées par un même mot binaire M1 fourni à travers un bus de configuration relié à l'unité à microprocesseur. Chaque résistance configurable peut être composée en série d'une résistance de base et d'un réseau de résistances. Les résistances du réseau peuvent être court-circuitées chacune au moyen d'un commutateur respectif activé par un bit respectif du mot binaire M1. Les valeurs d'une partie des résistances du réseau peuvent être pondérées par puissance de 2 ou être chacune d'une même valeur par exemple choisie entre 15 et 20 kOhm. De préférence, chaque résistance configurable peut varier de 1.8 MOhm (résistance de base) à 4.03 MOhm. La valeur par défaut de chaque résistance configurable, qui est ajustée par exemple au design, peut être fixée à 2.94 MOhm. La résistance complémentaire R2 peut être d'une valeur fixée de l'ordre de 420 kOhm. Bien entendu d'autres valeurs de résistances peuvent être prévues de manière à obtenir une tension band-gap V1 de l'ordre de 1.22 V à 0 °C.

[0033] Il est à noter qu'en lieu et place des premier et second transistors bipolaires montés en diode N1 et N2 du type PNP, il peut être envisagé d'utiliser des premier et second transistors bipolaires montés en diode N1 et N2 du type NPN. Dans ce cas, l'émetteur de chaque transistor est relié à la borne de potentiel bas de la source de tension d'alimentation, alors que la base et le collecteur sont reliés à la première résistance R1 a pour le premier transistor et à la résistance complémentaire R2 pour le second transistor.

[0034] Comme mentionné ci-devant, le courant I, qui est fourni par le transistor PMOS P1 aux résistances R1 a, R1 b, R2 et aux diodes N1 et N2, est déterminé dans la boucle de commande du courant. Pour ce faire, l'entrée positive du premier amplificateur opérationnel A1 reçoit une première valeur de tension de comparaison Vp au noeud de connexion entre la première résistance configurable R1 a et le premier transistor PNP monté en diode N1. L'entrée négative du premier amplificateur opérationnel A1 reçoit une seconde valeur de tension de comparaison Vm au noeud de connexion entre la seconde résistance configurable R1b et la résistance complémentaire R2. La sortie de ce premier amplificateur opérationnel A1 commande la grille du transistor PMOS P1 de manière à contrôler le courant la passant par la première résistance configurable R1 a et le courant I_b passant par la seconde résistance configurable R1 b.

[0035] Le premier étage 11, qui fournit la tension band-gap V1, permet ainsi d'ajuster la stabilité en température du premier ordre. Par contre, le second étage 12 permet d'ajuster la valeur de la tension de référence désirée V_{REF} sans modifier la stabilité en température au moyen d'un simple ajustement de l'offset, comme expliqué ci-après de manière plus détaillée.

[0036] La valeur de la tension band-gap V1, qui est fournie en sortie du premier étage 11, est définie par l'équation suivante :

$$V1 = Vp + R1a \cdot \ln(m/n) \cdot U_T / R2$$

où Vp correspond à la tension de diode V_{BE} du premier transistor PNP monté en diode N1, qui est formé de n transistors bipolaires élémentaires. Le facteur K pour l'ajustement de la stabilité en température du premier ordre est donc R1a·ln(m/n)/R2.

[0037] Il est donc facile de calculer le facteur K pour pouvoir obtenir une tension band-gap V1, qui soit stable en température en appliquant l'équation $K = (V1 - Vp) / U_T$. Il est clair que ce résultat peut varier d'un circuit électronique à l'autre en fonction des variations du procédé de fabrication. La résistance configurable R1 a et également la résistance configurable R1 b permettent donc un ajustement du facteur K.

[0038] Comme montré à la figure 3, si la valeur de ces résistances configurables varie d'une valeur minimale à une valeur maximale par le mot binaire de configuration M1 à i bits, la variation de la tension band-gap V1 en fonction de la température est représentée par les droites p_b et p_m. Pour une valeur maximale des résistances configurables, il peut être mesuré une première valeur de tension band-gap V_{1HT1} à une première température T1, et une seconde valeur de tension band-gap V_{1HT2} à une seconde température T2. La pente de la droite p_m pour une valeur maximale des résistances configurables est une pente positive, ce qui signifie que la tension band-gap augmente avec une augmentation

de la température. Pour une valeur minimale des résistances configurables, il peut être mesuré une première valeur de tension band-gap V_{1LT1} à une première température $T1$, et une seconde valeur de tension band-gap V_{1LT2} à une seconde température $T2$. La pente de la droite p_b pour une valeur minimale des résistances configurables est une pente négative, ce qui signifie que la tension band-gap diminue avec une augmentation de la température.

[0039] Pour l'ajustement du facteur K , il suffit donc de mesurer deux valeurs de tension band-gap $V1$ à deux températures différentes. Ceci permet de pouvoir déterminer le mot binaire adéquat $M1$ pour configurer les résistances $R1$ a et $R1$ b de la figure 2, afin d'obtenir une valeur de tension band-gap $V1$ indépendante de la température. La tension band-gap $V1$ indépendante de la température est montrée par la droite p_n en traits interrompus à la figure 3. Cette droite p_n est parallèle à l'axe x relatif à la température.

[0040] Dans un cas pratique de détermination du mot binaire adéquat, les résistances configurables sont configurées entre les valeurs minimale et maximale. Elles sont configurées à une première valeur résistive par un premier mot binaire et à une seconde valeur résistive par un second mot binaire. La première valeur résistive peut être par exemple plus grande que la seconde valeur résistive. La première droite p_1 relative à la première valeur résistive est représentée avec une pente positive, alors que la seconde droite p_2 est représentée avec une pente négative. Cependant, il est également tout à fait possible d'avoir les deux pentes positives ou les deux pentes négatives pour la détermination du mot binaire adéquat. Il est par contre impératif que le circuit électronique soit conçu pour avoir une pente positive avec une valeur de résistance configurable maximale et une pente négative avec une valeur de résistance configurable minimale. Ceci est nécessaire pour déterminer le mot binaire adéquat de variation nulle en température de la tension band-gap.

[0041] Une première valeur de tension band-gap V_{11T1} peut être mesurée à la première température $T1$ avec la première valeur résistive des résistances configurables. Une première valeur de tension band-gap V_{12T1} peut être mesurée à la première température $T1$ avec la seconde valeur résistive des résistances configurables. Une seconde valeur de tension band-gap V_{11T2} peut être mesurée à la seconde température $T2$ avec la première valeur résistive des résistances configurables. Finalement, une seconde valeur de tension band-gap V_{12T2} peut être mesurée à la seconde température $T2$ avec la seconde valeur résistive des résistances configurables. Les quatre valeurs de tension band-gap sont mémorisées dans des moyens de mémorisation de l'unité à microprocesseur pour la détermination du mot binaire adéquat.

[0042] Le mot binaire $M1$ adéquat à i bits pour la configuration des résistances $R1$ a et $R1$ b est donc donné par l'équation suivante :

$$M1[i-1 : 0] = (2^i - 1) \cdot (V_{12T1} - V_{12T2}) / (V_{11T2} - V_{12T2} - V_{11T1} + V_{12T1})$$

[0043] Il est à noter que la formule susmentionnée repose sur une très bonne non-linéarité différentielle (DNL) et une très bonne non-linéarité intégrale (INL). Entre les valeurs de V_{1HT1} et V_{1LT1} , de même entre les valeurs de V_{1HT2} et V_{1LT2} , tous les pas d'ajustement (LSB) doivent être si possible égaux l'un par rapport à l'autre. Si la fonction $V1 = f(M1)$ n'est pas linéaire, la formule ci-dessus doit en principe être adaptée à cette non-linéarité.

[0044] La non-linéarité différentielle se focalise sur les pas d'ajustement. Cette non-linéarité différentielle est le rapport entre chaque pas d'ajustement et le pas théorique. Pour un ajustement allant de 0 à 15 (16 pas), ce qui est codé sur 4 bits, il y a un pas théorique de 1. Pour caractériser un tel moyen, il peut être mesuré la valeur de chaque pas et effectué une comparaison par rapport au résultat théorique. Pour un pas théorique (LSB = 1) de la succession de 0, 1, 2 jusqu'à 15, il est mesuré une succession de 0, 1.1, 1.9, 3.2 jusqu'à 15 par exemple. Pour chaque pas, la non-linéarité différentielle est calculée et donne $DNL(0) = 0$, $DNL(1) = (1.1 - 0)/LSB - 1 = 0.1$, $DNL(2) = (1.9 - 1.1)/LSB - 1 = -0.2$, $DNL(3) = (3.2 - 1.9)/LSB - 1 = 0.3$ et ainsi de suite. Ainsi la non-linéarité différentielle (DNL) de ce système est la valeur absolue maximum entre tous les pas $DNL(i)$ qui sont définis par la formule $(f(i) - f(i-1))/LSB - 1$.

[0045] La non-linéarité intégrale (INL) représente le cumul de la non-linéarité différentielle (DNL). Cette non-linéarité intégrale fait ressortir la dérive de la fonction d'ajustement par rapport à la courbe théorique. Pour chaque pas, cela donne $INL(0) = DNL(0) = 0$, $INL(1) = DNL(0) + DNL(1) = 0.1$, $INL(2) = DNL(0) + DNL(1) + DNL(2) = -0.1$, $INL(3) = DNL(0) + DNL(1) + DNL(2) + DNL(3) = 0.2$ et ainsi de suite. La non-linéarité intégrale (INL) de ce système est la valeur absolue maximum entre tous les $INL(i)$.

[0046] Si la non-linéarité différentielle d'un tel système est mauvaise, cela signifie que les pas ont une distribution autour de la valeur théorique avec un large écart type. Une mauvaise non-linéarité intégrale signifie que la courbe d'ajustement s'écarte peu à peu de la courbe théorique. Sur des portions de la courbe, la valeur moyenne des pas n'est pas égale à la valeur théorique des pas. Cela signifie également que sur cette portion, la valeur moyenne des $DNL(i)$ n'est pas égale à 0.

[0047] Pour un DNL plus petit que 0.5, cela signifie que le système est monotone et de bonne qualité. Pour un DNL plus grand que 0.5, il est nécessaire d'analyser chaque pas. Pour un INL plus petit que 0.5, cela signifie que la fonction d'ajustement ne s'éloigne jamais de la courbe théorique de plus de 0.5 LSB. Cela définit un très bon résultat.

[0048] Pour la détermination de la tension de référence du circuit électronique, la plage d'ajustement du facteur K doit toujours être assez large pour obtenir une pente de variation de la tension band-gap V1 toujours positive pour Kmax et toujours négative pour Kmin. Le mot binaire M1 de configuration est donc minimal pour Kmin et maximal pour Kmax. Avec une valeur Kmin minimale, chaque résistance configurable R1a et R1 b peut avoir une valeur de 1.8 MOhm. Par

contre avec une valeur Kmax maximale, chaque résistance configurable R1 a et R1 b peut avoir une valeur de 4.03 MOhm.

[0049] Il est à noter qu'un facteur K optimal ne donne pas forcément un résultat optimal en valeur absolue. Ceci est dû notamment aux variations dans le procédé de fabrication du circuit électronique.

[0050] Avec le procédé d'ajustement de la tension de référence et notamment de la tension band-gap selon l'invention, il est possible d'effectuer un calcul direct avec deux paires de valeurs de tension band-gap à mesurer. Deux premières valeurs de tension band-gap sont mesurées avec les résistances configurées avec deux mots binaires différents à une première température T1. Les deux mesures sont effectuées dans des périodes temporelles très rapprochées et avec une première température T1 stable. La température de jonction des diodes N1, N2 n'a ainsi pas le temps de changer. Ensuite deux secondes valeurs de tension band-gap sont mesurées avec les résistances configurées par les deux mots binaires à une seconde température T2. De nouveau, les deux mesures sont effectuées dans des périodes temporelles très rapprochées et avec une seconde température T2 stable. En opérant de cette manière pour déterminer les quatre valeurs de tensions band-gap, chaque valeur de température absolue n'a pas besoin d'être sélectionnée de manière très précise.

[0051] Comme indiqué précédemment, il peut être aussi envisagé de calculer les pentes de variation en température de la tension band-gap V1. Ce procédé de mesure nécessite par contre une précision de la température absolue pour les première et seconde températures de mesure. Ce procédé de mesure est difficile à mettre en pratique en production des circuits électroniques. Ainsi ce procédé n'offre pas un très grand avantage pour la détermination du mot binaire adéquat afin de fournir une tension band-gap indépendante de la température.

[0052] Il peut encore être prévu de calculer les pentes fixes. Cela n'a un sens que s'il n'est pas possible de mémoriser les résultats des mesures dans un fichier ou une mémoire non volatile. Le calcul de la pente se fait durant la phase de caractérisation du design et ensuite est fixé pour tous les circuits intégrés en fonction de la caractérisation.

[0053] L'ajustement de la valeur absolue de la tension de référence V_{REF} en sortie du circuit électronique est réalisé par le second étage 12. Dans ce second étage, un second amplificateur opérationnel A2 est connecté en suiveur en tension pour recevoir en entrée la tension band-gap V1 du premier étage 11. Ce suiveur en tension permet de ne pas influencer l'adaptation de la tension band-gap V1 dans le premier étage 11. Une troisième résistance configurable R3 est prévue pour permettre d'abaisser la tension avant l'unité d'amplification. Cette troisième résistance R3 est reliée entre la sortie du suiveur en tension A2 et la borne de potentiel bas de la source de tension d'alimentation. La troisième résistance R3 comprend une partie basse et une partie haute, qui peut être configurée au moyen d'un second mot binaire d'adaptation M2 fourni à travers un bus d'offset. Ce mot binaire peut aussi être un mot binaire d'au moins 4 bits, de préférence 7 bits ou supérieur. La partie basse de la troisième résistance R3 peut être d'une valeur égale à 1.66 MOhm, alors que la partie haute peut être configurée par le mot binaire pour varier de 0 à 720 kOhm.

[0054] L'unité d'amplification comprend un troisième amplificateur opérationnel A3, dont l'entrée positive est reliée à une partie intermédiaire configurée de la troisième résistance R3. Cette unité d'amplification est à gain fixé par des quatrième et cinquième résistances R4 et R5. La quatrième résistance R4 est reliée entre l'entrée négative et la sortie du troisième amplificateur opérationnel A3. Cette quatrième résistance peut être choisie à une valeur de 862 kOhm. La cinquième résistance R5 est reliée entre l'entrée négative du troisième amplificateur opérationnel et la borne de potentiel bas de la source de tension d'alimentation. Cette cinquième résistance R5 peut être choisie à une valeur de 1.57 MOhm. Selon cette configuration du circuit électronique, aucune tension n'est définie négative. Ainsi le troisième amplificateur A3 doit donc être monté avec un gain positif.

[0055] Dans une variante de réalisation du second étage 12 du circuit électronique, le troisième amplificateur opérationnel A3 peut être monté en suiveur de tension sans les quatrième et cinquième résistances. La partie haute de la troisième résistance R3 peut être ajustée par exemple au design à une valeur de 363 kOhm.

[0056] Comme la tension band-gap V1 peut être de valeur supérieure à la tension de référence désirée V_{REF} , il est nécessaire d'avoir un gain global du second étage plus petit que 1. La tension band-gap V1 peut être de l'ordre de 1.22 V, alors que la tension de référence V_{REF} peut être définie à 0.8 V. Pour se faire, la tension band-gap V1 est diminuée par le diviseur résistif formé par la troisième résistance configurable R3 avant d'entrer dans l'unité d'amplification finale avec le troisième amplificateur A3 du second étage.

[0057] Le procédé d'ajustement de la tension de référence dans le second étage 12, peut se faire de plusieurs manières en fonction de la conception choisie du second étage. Si les linéarités différentielles et intégrales de l'ensemble d'ajustement du second étage sont bonnes (<1 LSB), cet ajustement de la tension de référence peut se faire simplement. Il peut être mesuré une valeur minimum et une valeur maximum. Ensuite, il peut être calculé le mot binaire d'ajustement M2, pour qu'il soit proportionnel à la différence entre les deux mesures min et max, et la valeur cible recherchée. S'il n'y a que la linéarité différentielle qui est bonne, l'ajustement de la tension de référence peut se faire avec l'utilisation d'un procédé par dichotomie. Par contre si la linéarité n'est pas garantie, il est nécessaire d'effectuer une recherche

affinée suite à l'exécution du procédé par dichotomie. Pour toutes les possibilités choisies d'ajustement de la tension de référence V_{REF} dans le second étage 12, le mot binaire d'ajustement M2 doit être déterminé pour configurer la troisième résistance R3 pour obtenir la valeur cible souhaitée. Ce mot binaire d'ajustement M2 peut bien entendu être différent d'un circuit électronique à un autre circuit électronique, étant donné que la tension band-gap stabilisée V1 en sortie du premier étage peut être différente d'un circuit à l'autre.

[0058] A partir de la description qui vient d'être faite, plusieurs variantes du procédé d'ajustement d'une tension de référence d'un circuit électronique peuvent être conçues par l'homme du métier sans sortir du cadre de l'invention définie par les revendications. La source de courant peut être reliée à la borne de potentiel bas de la source de tension d'alimentation, alors que l'agencement en série de la diode à jonction avec la résistance configurable du premier étage du type band-gap peut être relié à la borne de potentiel haut de la source de tension d'alimentation. Les première et seconde résistances configurables du premier étage band-gap du circuit électronique peuvent être configurées chacune séparément à une valeur résistive différente.

Revendications

1. Procédé d'ajustement d'une tension de référence (V_{REF}) d'un circuit électronique, qui est muni d'un étage du type band-gap (11), l'étage du type band-gap (11) comprenant dans un montage en série entre deux bornes d'une source de tension d'alimentation, au moins une source de courant (P1), une première résistance configurable (R1a) et une première diode (N1), l'étage du type band-gap fournissant une tension band-gap (V1), qui est définie par la tension générée par le courant traversant la résistance configurable et la diode, la tension de référence étant obtenue sur la base de la tension band-gap fournie par l'étage du type band-gap, le procédé comprenant les étapes consistant à :

mesurer une première tension band-gap (V_{11T1}) avec une première valeur de résistance configurée par un premier mot binaire (M1) à une première température (T1) choisie dans une gamme de température de fonctionnement du circuit électronique,

mesurer une seconde tension band-gap (V_{12T1}) avec une seconde valeur de résistance configurée par un second mot binaire (M1) à la première température (T1),

mesurer une troisième tension band-gap (V_{11T2}) avec la première valeur de résistance configurée par le premier mot binaire (M1) à une seconde température (T2) différente de la première température et dans la gamme de température de fonctionnement du circuit électronique,

mesurer une quatrième tension band-gap (V_{12T2}) avec la seconde valeur de résistance configurée par le second mot binaire (M1) à la seconde température (T2), et

déterminer un mot binaire adéquat (M1) pour configurer la résistance configurable sur la base des quatre valeurs de tension band-gap mesurées, afin d'obtenir une tension band-gap indépendante de la variation en température.

2. Procédé d'ajustement d'une tension de référence (V_{REF}) d'un circuit électronique, qui est muni d'un étage du type band-gap (11), l'étage du type band-gap (11) comprenant dans un montage en série entre deux bornes d'une source de tension d'alimentation, au moins une source de courant (P1), une première résistance configurable (R1a) et une première diode (N1), l'étage du type band-gap fournissant une tension band-gap (V1), qui est définie par la tension générée par le courant traversant la résistance configurable et la diode, la tension de référence étant obtenue sur la base de la tension band-gap fournie par l'étage du type band-gap, le procédé comprenant les étapes consistant à :

mesurer une première tension band-gap (V_{11T1}) avec une première valeur de résistance configurée par un premier mot binaire (M1) à une première température (T1) choisie dans une gamme de température de fonctionnement du circuit électronique,

mesurer une seconde tension band-gap (V_{11T2}) avec la première valeur de résistance configurée par le premier mot binaire (M1) à une seconde température (T2) différente de la première température et dans la gamme de température de fonctionnement du circuit électronique,

mesurer une troisième tension band-gap (V_{12T1}) avec une seconde valeur de résistance configurée par un second mot binaire (M1) à la première température (T1),

mesurer une quatrième tension band-gap (V_{12T2}) avec la seconde valeur de résistance configurée par le second mot binaire (M1) à la seconde température (T2), et

déterminer un mot binaire adéquat (M1) pour configurer la résistance configurable sur la base des quatre valeurs de tension band-gap mesurées, afin d'obtenir une tension band-gap indépendante de la variation en température.

3. Procédé selon l'une des revendications 1 et 2, **caractérisé en ce que** les première, seconde, troisième et quatrième tensions band-gap mesurées sont successivement mémorisées dans des moyens de mémorisation d'une unité à

microprocesseur.

4. Procédé selon l'une des revendications 1 et 2, **caractérisé en ce que** la première température (T1) de mesure et la seconde température (T2) de mesure sont sélectionnées de part et d'autre d'une température médiane de la gamme de température de fonctionnement du circuit électronique.

5. Procédé selon l'une des revendications précédentes, **caractérisé en ce que** le mot binaire adéquat (M1) pour configurer la résistance configurable (R1a) est déterminé sur la base de la formule du mot binaire à i bits :

$$M1[i-1 : 0] = (2^i - 1) \cdot (V_{12T1} - V_{12T2}) / (V_{11T2} - V_{12T2} - V_{11T1} + V_{12T1})$$

où V_{11T1} est la tension band-gap mesurée à la première valeur résistive de la résistance configurable et à la première température (T1), V_{11T2} est la tension band-gap mesurée à la première valeur résistive de la résistance configurable et à la seconde température (T2), V_{12T1} est la tension band-gap mesurée à la seconde valeur résistive de la résistance configurable et à la première température (T1), et V_{12T2} est la tension band-gap mesurée à la seconde valeur résistive de la résistance configurable et à la seconde température (T2).

6. Procédé selon l'une des revendications précédentes, pour lequel le circuit électronique comprend un second étage (12) pour adapter le niveau de la tension de référence (V_{REF}) sur la base de la tension band-gap (V1), ce second étage comprenant un second amplificateur opérationnel (A2) connecté en suiveur en tension pour recevoir en entrée la tension band-gap du premier étage du type band-gap (11), une troisième résistance configurable (R3), qui peut être configurée par un second mot binaire (M2), étant reliée entre une sortie du second amplificateur opérationnel (A2) et une borne de potentiel bas d'une source de tension d'alimentation, et une unité d'amplification reliée à une partie intermédiaire configurée de la troisième résistance pour fournir en sortie la tension de référence adaptée (V_{REF}), **caractérisé en ce que** la tension de référence est adaptée après que la tension band-gap (V1) a été adaptée dans le premier étage du type band-gap (11), en configurant la troisième résistance (R3) par un second mot binaire au moyen d'un procédé par dichotomie de manière à déterminer le second mot binaire adéquat (M2) pour configurer la troisième résistance.

7. Circuit électronique pour la mise en oeuvre du procédé d'ajustement d'une tension de référence (V_{REF}) selon l'une des revendications précédentes, la tension de référence étant obtenue sur la base d'une tension band-gap (V1) fournie par un premier étage (11) du type band-gap, **caractérisé en ce que** le premier étage du type band-gap comprend dans un montage en série entre deux bornes d'une source de tension d'alimentation, une source de courant (P1) reliée à une première branche, qui comprend une première résistance configurable (R1 a) en série avec une première diode (N1), et à une seconde branche, qui comprend une seconde résistance configurable (R1b) reliée à une résistance complémentaire (R2) en série avec une seconde diode (N2), la tension band-gap étant fournie à un noeud de connexion entre la source de courant et chaque branche.

8. Circuit électronique selon la revendication 7, **caractérisé en ce que** la source de courant est composée d'un transistor MOS (P1), dont la grille est commandée par une tension de sortie d'un premier amplificateur opérationnel (A1) d'une boucle de commande du courant dans le transistor MOS, **en ce qu'**une entrée positive du premier amplificateur opérationnel (A1) est reliée à un noeud de connexion entre la première résistance configurable (R1a) et la première diode (N1) pour recevoir une première tension de comparaison (V_p), et **en ce qu'**une entrée négative du premier amplificateur opérationnel (A1) est reliée à un noeud de connexion entre la seconde résistance configurable (R1b) et la résistance complémentaire (R2) pour recevoir une seconde tension de comparaison (V_m).

9. Circuit électronique selon l'une des revendications 7 et 8, **caractérisé en ce que** chaque résistance configurable (R1a, R1b) est configurée par un mot binaire respectif.

10. Circuit électronique selon la revendication 9, **caractérisé en ce que** les deux résistances configurables (R1 a, R1 b) sont configurées par un même premier mot binaire.

11. Circuit électronique selon la revendication 7, **caractérisé en ce que** la première diode (N1) est un premier transistor bipolaire monté en diode, et **en ce que** la seconde diode (N2) est un second transistor bipolaire monté en diode.

12. Circuit électronique selon la revendication 11, **caractérisé en ce que** chaque transistor bipolaire monté en diode

est un transistor du type PNP.

- 5 13. Circuit électronique selon la revendication 11, **caractérisé en ce que** le premier transistor bipolaire monté en diode (N1) est composé de n transistors bipolaires élémentaires, et **en ce que** le second transistor bipolaire monté en diode (N2) est composé de m transistors bipolaires élémentaires, le nombre entier m étant plus grand que le nombre entier n, qui vaut au moins 1.
- 10 14. Circuit électronique selon la revendication 13, **caractérisé en ce que** le circuit électronique est un circuit intégré, **en ce que** le premier transistor bipolaire monté en diode (N1) comprend un transistor bipolaire élémentaire, et **en ce que** le second transistor bipolaire monté en diode (N2) comprend 24 transistors bipolaires élémentaires, qui sont réalisés autour du transistor bipolaire élémentaire de la première diode de manière à constituer une structure sous forme de carré.
- 15 15. Circuit électronique selon la revendication 7, **caractérisé en ce qu'il** comprend un second étage (12) pour adapter le niveau de la tension de référence (V_{REF}) sur la base de la tension band-gap (V1), ce second étage comprenant un second amplificateur opérationnel (A2) connecté en suiveur en tension pour recevoir en entrée la tension band-gap du premier étage (11), une troisième résistance configurable (R3), qui peut être configurée par un second mot binaire (M2), étant reliée entre une sortie du second amplificateur opérationnel (A2) et une borne de potentiel bas de la source de tension d'alimentation, et une unité d'amplification reliée à une partie intermédiaire configurée de la troisième résistance pour fournir en sortie la tension de référence adaptée.
- 20 16. Circuit électronique selon la revendication 15, **caractérisé en ce que** l'unité d'amplification comprend un troisième amplificateur opérationnel (A3), dont une entrée positive est reliée à une partie intermédiaire configurée de la troisième résistance (R3), une quatrième résistance (R4) reliée entre une entrée négative et une sortie du troisième amplificateur opérationnel (A3), et une cinquième résistance (R5) reliée entre l'entrée négative du troisième amplificateur opérationnel et une borne de potentiel bas de la source de tension d'alimentation, les quatrième et cinquième résistances permettant de fixer le gain d'amplification du troisième amplificateur opérationnel (A3).
- 25
- 30
- 35
- 40
- 45
- 50
- 55

Fig. 1
(art antérieur)

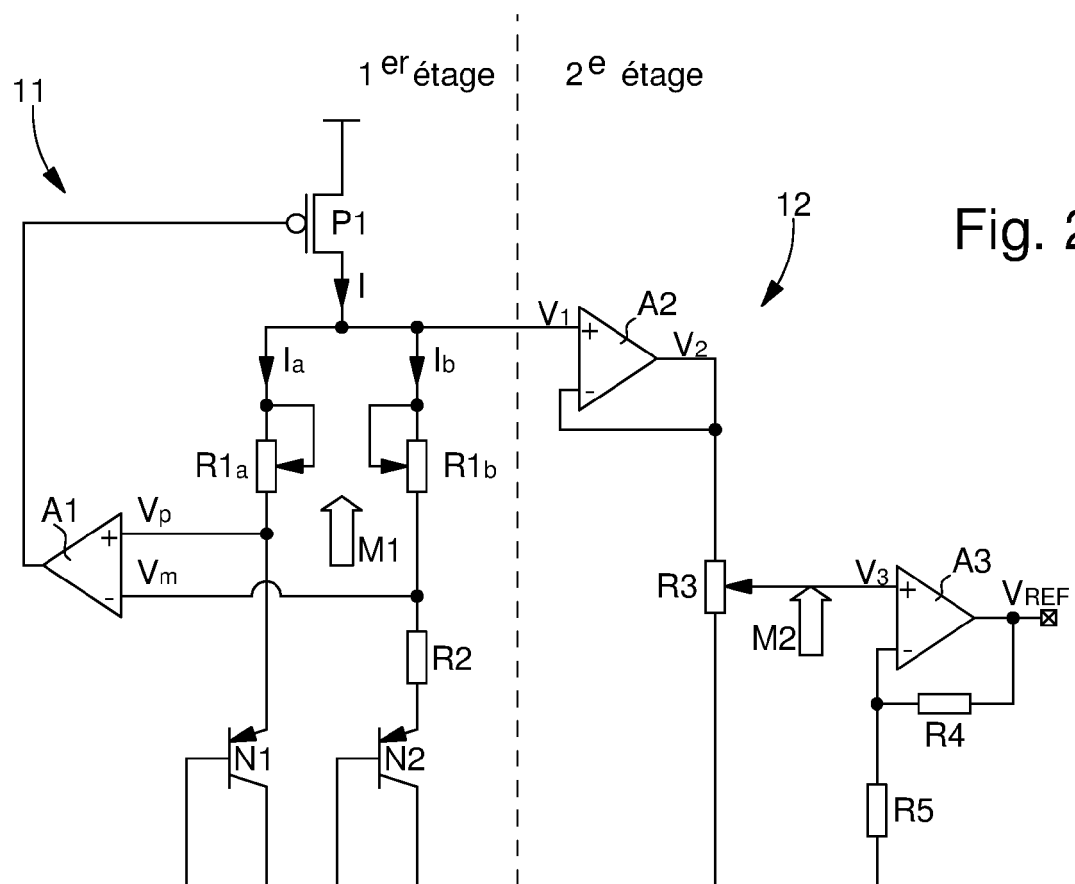
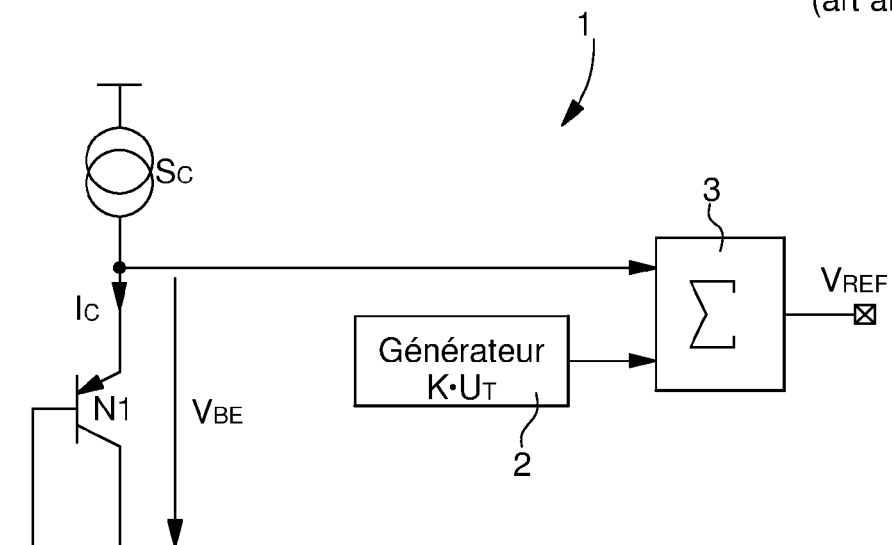
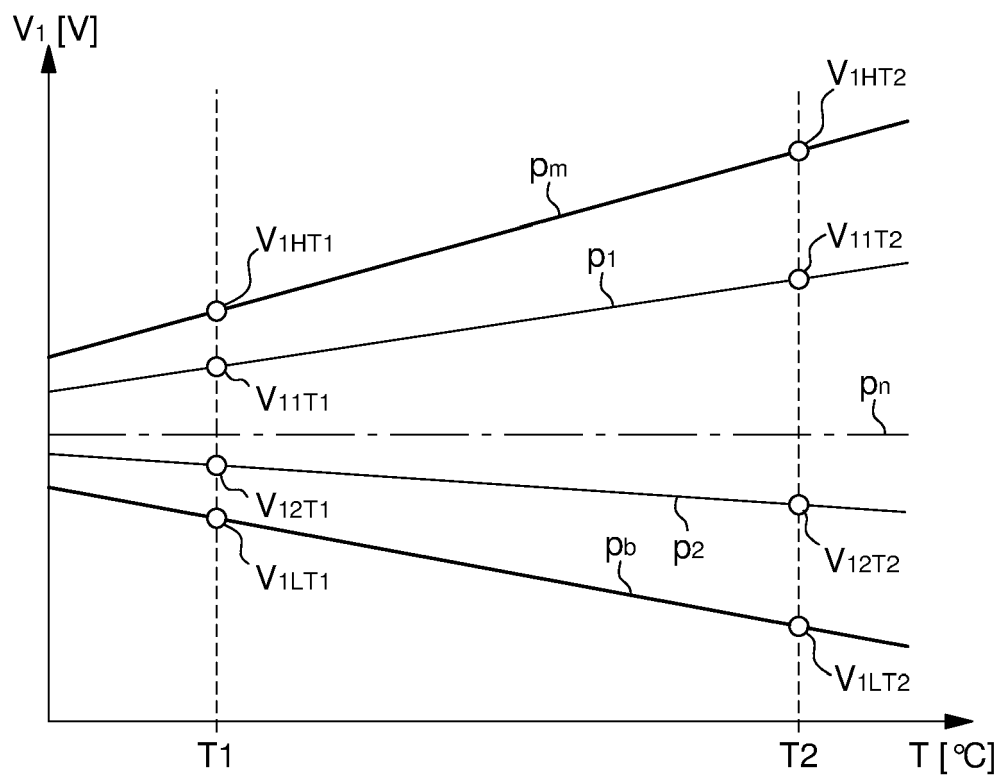


Fig. 3





RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande

EP 11 17 7618

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (IPC)
A	WO 02/42856 A1 (INFINEON TECHNOLOGIES AG) 30 mai 2002 (2002-05-30) * le document en entier *	1-16	INV. G05F3/30
A	US 6 590 372 B1 (WILES, JR.) 8 juillet 2003 (2003-07-08) * le document en entier *	1-16	
A	US 2008/116875 A1 (MA) 22 mai 2008 (2008-05-22) * abrégé *	1-16	
A	US 7 164 259 B1 (MEGAW ET AL.) 16 janvier 2007 (2007-01-16) * abrégé *	1-16	
			DOMAINES TECHNIQUES RECHERCHES (IPC)
			G05F
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche La Haye		Date d'achèvement de la recherche 21 mars 2012	Examineur Schobert, Daniel
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

EPO FORM 1503 03.82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 11 17 7618

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

21-03-2012

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 0242856	A1	30-05-2002	CN 1476553 A	18-02-2004
			DE 10057844 A1	06-06-2002
			EP 1336136 A1	20-08-2003
			JP 2004514230 A	13-05-2004
			US 6812684 B1	02-11-2004
			WO 0242856 A1	30-05-2002

US 6590372	B1	08-07-2003	AUCUN	

US 2008116875	A1	22-05-2008	CN 101183272 A	21-05-2008
			DE 102007049934 A1	29-05-2008
			US 2008116875 A1	22-05-2008

US 7164259	B1	16-01-2007	AUCUN	

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

RÉFÉRENCES CITÉES DANS LA DESCRIPTION

Cette liste de références citées par le demandeur vise uniquement à aider le lecteur et ne fait pas partie du document de brevet européen. Même si le plus grand soin a été accordé à sa conception, des erreurs ou des omissions ne peuvent être exclues et l'OEB décline toute responsabilité à cet égard.

Documents brevets cités dans la description

- US 20060043957 A1 [0007]