

(19)



(11)

EP 3 079 142 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication et mention
de la délivrance du brevet:
24.06.2020 Bulletin 2020/26

(51) Int Cl.:
G09G 3/20 (2006.01) G09G 3/32 (2016.01)

(21) Numéro de dépôt: **16164462.0**

(22) Date de dépôt: **08.04.2016**

(54) **PROCÉDÉ D’AFFICHAGE D’IMAGES SUR UN ÉCRAN MATRICIEL**

BILDANZEIGEVERFAHREN AUF MATRIX-BILDSCHIRM

METHOD FOR DISPLAYING IMAGES ON A MATRIX SCREEN

(84) Etats contractants désignés:
**AL AT BE BG CH CY CZ DE DK EE ES FI FR GB
GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO
PL PT RO RS SE SI SK SM TR**

(30) Priorité: **10.04.2015 FR 1553140**

(43) Date de publication de la demande:
12.10.2016 Bulletin 2016/41

(73) Titulaire: **COMMISSARIAT À L’ÉNERGIE
ATOMIQUE ET AUX
ÉNERGIES ALTERNATIVES
75015 Paris (FR)**

(72) Inventeur: **SEGURA PUCHADES, Josep
38600 Fontaine (FR)**

(74) Mandataire: **Collet, Alain
Marks & Clerk France
Conseils en Propriété Industrielle
Immeuble Visium
22, Avenue Aristide Briand
94117 Arcueil Cedex (FR)**

(56) Documents cités:
US-A1- 2003 011 314 US-A1- 2009 058 769

EP 3 079 142 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la publication de la mention de la délivrance du brevet européen au Bulletin européen des brevets, toute personne peut faire opposition à ce brevet auprès de l'Office européen des brevets, conformément au règlement d'exécution. L'opposition n'est réputée formée qu'après le paiement de la taxe d'opposition. (Art. 99(1) Convention sur le brevet européen).

Description

[0001] L'invention concerne un procédé d'affichage d'images sur un écran à matrice active. Ce type d'écran s'est largement développé ces dernières années notamment pour des écrans de type à cristaux liquides connus par leur abréviation anglo-saxonne : LCD. Plus récemment d'autres types d'écrans mettant en œuvre des diodes électroluminescentes ont été développés, notamment utilisant des diodes organiques ou des micro diodes, connus par leur abréviation anglo-saxonne : OLED, respectivement μ LED.

[0002] Chacun des pixels d'un écran à matrice active contient au moins un transistor qui fait office d'interrupteur connecté à un composant de mémorisation lequel permet de stocker un signal utile pendant la durée d'une trame. Dans le cas d'un écran à cristaux liquides, ces deux éléments suffisent pour exciter le cristal. Dans le cas d'un écran à diodes, chaque pixel contient un second transistor qui permet de piloter l'alimentation de la diode électroluminescente en fonction du signal utile stocké dans le composant de mémorisation.

[0003] Il est connu de piloter l'affichage de façon analogique. Plus précisément, une fois par trame, chaque pixel reçoit, par l'intermédiaire de son transistor, une tension représentative de la luminosité que le pixel doit afficher. Cette tension est stockée dans le composant de mémorisation, par exemple un condensateur. Pour un pixel LCD, la tension est directement appliquée aux électrodes entourant le cristal liquide. Pour un pixel à diode, la tension est appliquée au second transistor configuré en suiveur pour alimenter la diode proportionnellement à la tension mémorisée.

[0004] Le pilotage analogique présente plusieurs inconvénients :

Des fuites de tension au niveau du condensateur peuvent se produire pendant la durée de trame. Cela se traduit par un phénomène de scintillement (connu dans la littérature anglo-saxonne sous le nom de « flickering ») qui est amplifié sous influence de la température pendant la durée de la trame.

[0005] En amont du premier transistor, les tensions transitent par des conducteurs de la matrice, généralement des conducteurs de colonne. Lors de l'adressage d'une ligne de pixel, les variations de tension intervenant sur les conducteurs de colonne peuvent perturber les pixels des autres lignes non adressées, par couplage capacitif entre les conducteurs de colonne et les condensateurs de stockage non adressés. Cela se traduit par des artéfacts dans l'image affichée.

[0006] Dans le cas d'un écran à diodes, les diodes électroluminescentes peuvent requérir une tension de polarisation élevée. L'ensemble du pixel doit être compatible avec cette tension. La tension stockée dans le condensateur doit alors être égale à la tension de polarisation de la diode à laquelle on ajoute la tension grille-source du second transistor. Les technologies CMOS actuelles étant limitées à environ 5V, la tension appliquée

à la diode électroluminescente est alors plafonnée à moins de 4V, ce qui peut représenter une limitation des performances atteignables au niveau de la luminosité de l'écran.

[0007] Toujours dans le cas d'un écran à diodes, les transistors suiveurs d'alimentation des diodes peuvent avoir des caractéristiques non uniformes ce qui provoque un phénomène de bruit spatial dans l'affichage, car pour une même tension de commande pour des pixels distincts, la polarisation de la diode peut alors varier d'un pixel à l'autre.

[0008] De plus, le transistor suiveur travaille en régime saturé et il doit absorber une différence de tension inversement proportionnelle à l'éclairement de la diode électroluminescente. La puissance dissipée dans ce transistor entraîne un échauffement important, ce qui peut poser des problèmes de dissipation thermique, notamment lorsque ce transistor est implanté dans une couche interne de l'écran.

[0009] Il est également connu de piloter l'affichage de façon digital. Ce type de pilotage a été notamment mis en œuvre pour les écrans à diodes électroluminescentes et aussi pour des écrans à base de micro-miroirs pour projecteurs mettant en œuvre des composants connus dans la littérature anglo-saxonne sous le nom de DLP pour l'abréviation de « Digital Light Processing ». Pour les pixels à diodes, les composants de chacun des pixels sont agencés de la même manière que pour un pixel à diode piloté de façon analogique. On retrouve un premier transistor permettant de stocker une information dans un condensateur et un second transistor pilotant l'allumage de la diode en fonction de l'information stockée dans le condensateur. A la différence du pilotage analogique, le pilotage des diodes de chacun des pixels est assuré, pour le pilotage digital, en tout ou rien c'est-à-dire, la diode est soit connectée à sa tension maximum, donc allumée, soit déconnectée, donc éteinte. Le contrôle de la luminosité de la diode est réalisé par la modulation de la largeur de l'impulsion appliquée entre ses bornes. La perception visuelle, à cause de l'inertie de l'œil, est la moyenne de la somme de toutes les durées d'allumage de la diode.

[0010] La commande est binaire. Elle applique deux niveaux possibles de tension sur la grille du second transistor, lequel travaille en mode interrupteur. L'amplitude entre ces deux niveaux doit être suffisante pour bloquer ou non le second transistor, ce qui peut être réalisé avec des valeurs de tension relativement faibles.

[0011] Le pilotage digital présente plusieurs avantages par rapport au contrôle analogique :

- Réduction de la dissipation sur le second transistor qui fonctionne en mode interrupteur. La tension entre son drain et sa source est très faible lorsqu'il est passant.
- Tension de commande binaire et de faible amplitude.
- Immunité aux différents couplages et fuites, car les pixels fonctionnent en mode binaire.

- Pas d'impact des dispersions des caractéristiques des composants du pixel du fait de leur utilisation en tout ou rien.
- Pas de limitation de luminosité liée à la tension présente aux bornes du condensateur, puisque le second transistor ne travaille pas en mode saturé mais en mode interrupteur.

[0012] L'inconvénient principal du pilotage digital est la fréquence élevée de fonctionnement de la matrice. En effet, pour moduler la largeur d'impulsion sur la diode électroluminescente de chaque pixel, il faut adresser chaque pixel et donc chaque ligne plusieurs fois par trame.

[0013] Cet inconvénient apparaît notamment avec un procédé de pilotage de modulation de code binaire bien connu dans la littérature anglo-saxonne sous l'acronyme BCM pour « Binary Code Modulation ». Ce procédé est également connu sous le nom de « Time Gray Scale Method ».

[0014] Dans cette famille de procédé de pilotage, la luminosité d'un pixel est codée sous forme d'un mot binaire. Chaque bit du mot binaire pilote la diode pendant une durée proportionnelle au poids du bit.

[0015] La diode électroluminescente est pilotée pendant un temps proportionnel au poids du bit de la valeur à afficher. Par exemple, le bit de poids fort (MSB) pilote la diode la moitié de la durée de la trame (par exemple 10ms pour une fréquence de 50 images/seconde). Le bit suivant (MSB-1) représente le quart de cette durée, et ainsi de suite jusqu'au bit de poids faible (LSB). Par Convention, la diode est allumée lorsque la valeur d'un bit est 1 et est éteinte lorsque la valeur d'un bit est 0. La convention inverse est bien entendue possible.

[0016] Par exemple, si la luminosité d'un pixel est codée sur 8 bits, une valeur du mot binaire de 01010101 (=85) donnera une luminosité du pixel dans un rapport de 85/256 par rapport au maximum de luminosité du pixel.

[0017] Pour un tel pilotage, il est nécessaire d'accéder au pixel 8 fois par trame, définissant ainsi 8 sous trames. Pendant l'écriture séquentielle de la matrice il est souvent nécessaire d'éteindre les diodes électroluminescentes afin de permettre l'adressage complet de la matrice et de respecter la proportion entre les différentes durées des sous-trames. Cette durée d'extinction peut être estimée à la durée de pilotage du bit de poids faible. La réduction de la luminosité vaut $P/2^P$, avec P égal au nombre de bits de luminosité. La perte est par exemple, de l'ordre de 3% pour P=8 et 1% pour P=10 bits. Ces pertes de luminosité peuvent être parfois acceptables, mais les fréquences de fonctionnement nécessaires peuvent être prohibitives pour des matrices de grande dimension.

[0018] Pour un adressage rapide, par exemple basé sur la durée du bit de poids faible, la fréquence F_{ligne} à laquelle on doit adresser chaque ligne de la matrice est égal à :

$$F_{\text{ligne}} = \text{fps} * N_{\text{ligne}} * 2^P$$

fps définissant le nombre d'images par seconde et N_{ligne} le nombre de lignes de la matrice.

[0019] La fréquence F_{pix} à laquelle on doit écrire dans chacun des pixels d'une ligne est la fréquence F_{ligne} multipliée par le nombre de pixels par ligne qui correspond au nombre de colonnes N_{col} de la matrice :

$$F_{\text{pix}} = F_{\text{ligne}} * N_{\text{col}}$$

[0020] Pour un format de matrice de 640 colonnes par 480 lignes, format connu sous l'appellation VGA, pour un codage de la luminosité sur 10 bits, la fréquence F_{pix} est alors supérieure à 15GHz et pour un format de 1920 colonnes par 1200 lignes, format connu sous l'appellation WUXGA, toujours pour un codage sur 10 bits, la fréquence F_{pix} est alors 118GHz. Ces fréquences sont en pratique difficilement atteignable par des technologies à bas coût. Elles impliquent également des consommations importantes.

[0021] Il serait possible de paralléliser les entrées afin de réduire les fréquences en jeu, mais ce serait au détriment de la simplicité et du nombre d'entrées supplémentaires à mettre en œuvre.

[0022] En admettant une perte de luminosité, il est possible d'augmenter la durée d'écriture. Par exemple, pour une luminosité codée sur 10 bits, avec une réduction de luminosité de 10%, les fréquences en jeu seraient réduites d'un facteur 10. Même avec cette concession sur la luminosité maximum de l'écran, les fréquences pour des grands formats restent encore très élevées.

[0023] Le document US2003/011314 décrit un exemple d'écran OLED à matrice active.

[0024] L'invention vise à pallier tout ou partie des problèmes cités plus haut en proposant un procédé de pilotage digital permettant de réduire la fréquence d'adressage des pixels.

[0025] A cet effet, l'invention a pour objet un procédé d'affichage d'image comme défini par la revendication 1. Les revendications dépendantes définissent d'autres modes de réalisation du procédé d'affichage.

[0026] Le choix de la première ligne courante à partir de laquelle les répétitions sont effectuées est complètement arbitraire. i représente un pointeur de ligne qui s'incrémente à chaque écriture et l'enchaînement complet des écritures est réalisé à l'issue de 2^P-1 périodes d'écritures.

[0027] Pour chaque ligne courante i , les écritures réalisées sur les lignes $i+2^j$ occupent une période T_i . Avantagement, les 2^P-1 périodes T_i ont des durées égales.

[0028] Avantagement, la durée d'une période T_i est égale à la durée d'une trame d'image divisée par 2^P-1 .

[0029] Dans un mode de réalisation particulier de la matrice, chacun des pixels comprend en outre un inter-

rupteur permettant de commander le composant d'affichage en fonction d'un état du bit écrit dans la mémoire. Pour chacun des pixels, l'interrupteur est actionné pour piloter le composant d'affichage en fonction du bit écrit dans la mémoire pendant une durée s'étendant entre deux écritures successives.

[0030] Dans un autre mode de réalisation particulier de la matrice, le procédé peut consister en outre, pour chacun des pixels, à activer le composant d'affichage après écriture dans la mémoire correspondante. Les écritures sur les lignes $i+2j$ réalisées à partir de la ligne courante i sont réalisées durant une période. Le composant d'affichage est activé pendant une durée s'étendant depuis la fin de la période pendant laquelle le bit de luminosité a été écrit jusqu'à la fin de la période suivante pendant laquelle une nouvelle écriture est effectuée dans le pixel concerné.

[0031] Dans cet autre mode de réalisation, la mémoire de chaque pixel est appelée première mémoire. Chaque pixel comprend avantageusement une seconde mémoire binaire permettant de faire transiter le bit écrit dans la première mémoire vers le composant d'affichage pour l'activer. Les moyens d'adressage pilotent la première mémoire au moyen d'un premier signal permettant l'écriture et pilotent la seconde mémoire au moyen d'un second signal distinct du premier signal et permettant l'activation du composant d'affichage.

[0032] Si la luminosité est exprimée en un nombre de R bits utiles et que le nombre de lignes N est supérieur à 2^{R-1} alors on peut ajouter au mot binaire un nombre T de bits dont les valeurs sont égales à zéro, correspondant à une extinction des composants d'affichage de façon à ce que N soit inférieur ou égal à 2^P-1 avec $P = R+T$.

[0033] Alternativement, si la luminosité est exprimée en un nombre de S bits utiles et que le nombre de lignes N est supérieur à 2^{S-1} , on divise la matrice en zones pilotées séparément, chacune des zones ayant un nombre de ligne inférieur ou égal à 2^{S-1} .

[0034] Si la matrice comprend un nombre de lignes utiles U inférieur à 2^P-1 alors la répartition des écritures est configurée pour enchaîner les écritures sur N lignes avec $N = 2^P-1$ dont U lignes utiles et V lignes virtuelles avec $U+V = N$. Pour les lignes virtuelles le mot binaire ne contient que des bits de valeur correspondant à une extinction du composant d'affichage.

[0035] Pour chaque ligne courante i donnée, les écritures sur les lignes $i+2j$, de $j=1$ à $j=P$ des différents bits sont avantageusement ordonnées de façon à minimiser une erreur sur une durée souhaitée séparant deux écritures successives d'un même pixel.

[0036] Pour chaque ligne courante i donnée, les écritures sur les lignes $i+2j$, de $j=1$ à $j=P$ des différents bits peuvent être réalisées pendant une durée inférieure à la durée d'une période égale à la durée d'une trame divisée par le nombre de lignes écrites.

[0037] L'invention sera mieux comprise et d'autres avantages apparaîtront à la lecture de la description détaillée d'un mode de réalisation donné à titre d'exemple,

description illustrée par le dessin joint dans lequel :

la figure 1 représente schématiquement un écran matriciel destiné à fonctionner avec un procédé conforme à l'invention ;

les figures 2a, 2b et 2c représentent trois exemples de schémas de pixels pouvant être implantés dans l'écran matriciel de la figure 1 ;

la figure 3 illustre une étape d'écriture de données de luminosité dans les pixels de l'écran de la figure 1 ;

les figures 4a à 4p représentent un enchaînement de périodes d'écriture dans des mémoires des pixels de la matrice ;

les figures 5, 6 et 7 représentent des exemples de registres permettant de piloter la matrice ;

les figures 8a et 8b représentent sous forme de chronogramme un premier mode d'enchaînement des périodes d'écriture décrites précédemment ;

les figures 9 et 10 représentent des variantes du chronogramme des figures 8a et 8b ;

les figures 11a et 11b représentent deux variantes de schéma de pixels pouvant être implantés dans l'écran matriciel de la figure 1 ;

la figure 12 représente une variante de chronogramme adaptée aux pixels des figures 11a et 11b ;

les figures 13 et 14 illustrent la mise en œuvre du procédé de l'invention à tout format de matrice.

[0038] Par souci de clarté, les mêmes éléments porteront les mêmes repères dans les différentes figures.

[0039] La figure 1 représente un écran matriciel 10 comprenant une zone d'affichage 11 formée de pixels 12 organisés en lignes et en colonnes, un circuit d'adressage de ligne 13 et un registre horizontal 14. Chaque pixel 12 éclaire en fonction d'une donnée de luminosité exprimée sous forme d'un mot binaire. Le circuit d'adressage de ligne 13 sélectionne les lignes de la matrice une par une et pour chaque pixel 12 d'une ligne sélectionnée, le mot binaire stocké dans le registre horizontal 14 et représentant la luminosité est transféré bit par bit vers le pixel 12 correspondant.

[0040] Les figures 2a, 2b et 2c représentent trois exemples de schémas de pixels 12 pouvant être mis en œuvre dans l'écran de la figure 1. Ces trois exemples de pixels peuvent être mis en œuvre dans un écran monochrome ou couleur. Pour un écran couleur, on utilise parfois l'appellation de « pixel couleur » qui est en réalité formé par juxtaposition de plusieurs pixels associés chacun à un filtre coloré. Chaque groupe de pixels reçoit des commandes de luminosité distinctes pour chacune des couleurs. Le procédé de l'invention est illustré à partir de pixels mis en œuvre dans un écran monochrome et peut être transposé au pilotage d'un écran couleur en répliquant la commande de chacun des pixels élémentaires formant le pixel couleur.

[0041] La figure 2a représente schématiquement les principaux composants d'un pixel 12a à cristaux liquides.

Le pixel 12a comprend un interrupteur 20, un condensateur 21 de stockage et une cellule à cristaux liquide 22. Le pixel 12a est raccordé à un conducteur de colonne 23 véhiculant les données de luminosité provenant du registre horizontal 14. L'interrupteur 20, par exemple formé par un transistor, permet de transférer les données de luminosité du conducteur de colonne 23 vers le condensateur 21. Le pixel 12a est également raccordé à un conducteur de ligne 24 raccordé au circuit d'adressage de ligne 13. L'interrupteur 20 est piloté par le conducteur de ligne 24. La donnée stockée dans le condensateur 21 forme une tension directement appliquée à l'une des électrodes de la cellule 22. La donnée stockée dans le condensateur 21 est binaire. L'un des états binaires rend la cellule 22 transparente et l'autre état rend la cellule 22 opaque. Dans le cas d'un écran 10 rétro éclairé, la cellule 22 laisse donc passer la lumière en fonction de l'état binaire de la donnée stockée dans le condensateur 21. La cellule fonctionne en tout ou rien en fonction de l'état binaire de la donnée stockée dans le condensateur 21.

[0042] La figure 2b représente schématiquement les principaux composants d'un pixel 12b à diode électroluminescente. On retrouve dans le pixel 12b l'interrupteur 20 et le condensateur 21 de stockage, tous deux raccordés aux conducteurs 23 et 24. A la place de la cellule 22, le pixel 12b comprend une diode électroluminescente 25 et un second interrupteur 26 permettant d'alimenter la diode 25 au moyen d'une tension d'alimentation V_{DD} . L'interrupteur 26 peut également être un transistor. L'interrupteur 26 est piloté par la donnée stockée dans le condensateur 21.

[0043] La figure 2c représente un pixel 12c formant une variante du pixel 12b. Dans le pixel 12c, le condensateur 21 est remplacé par une mémoire binaire 27. Cette mémoire permet de stocker une information binaire. La mémoire binaire peut être formée par une bascule bistable connectée à son entrée au conducteur de colonne 23 et à sa sortie à la borne de pilotage de l'interrupteur 26. La mémoire 27 est pilotée par le conducteur de ligne 24. La modification de l'information stockée dans la mémoire 27 intervient lors d'une commande véhiculée sur le conducteur de ligne 24.

[0044] Une telle mémoire peut également être mise en œuvre pour un pixel à cristaux liquides en remplacement du condensateur 21 du pixel 12a. La mise en œuvre d'une mémoire peut être avantageuse pour une matrice comprenant des pixels réalisés en utilisant une technologie CMOS. Les interrupteurs 20 et 26 ainsi que la mémoire 27 utilisent alors tous la même technologie.

[0045] Par la suite, le terme mémoire sera utilisé aussi bien pour un condensateur que pour tout autre composant ou bloc de composant permettant de mémoriser une information binaire. A ce titre, le condensateur 21 est assimilé à une mémoire.

[0046] L'invention peut être mise en œuvre pour tout type de pixel permettant d'émettre de la lumière comme ceux comprenant une diode électroluminescente, de contrôler la lumière qui le traverse comme ceux compre-

nant une cellule à cristaux liquides ou de contrôler la réflexion de la lumière comme ceux mis en œuvre dans un écran ou un projecteur à base de micro-miroirs. Par la suite le composant du pixel permettant d'émettre ou de contrôler la lumière sera appelé composant d'affichage.

[0047] Dans le procédé de pilotage de l'invention, le contrôle de luminosité d'un pixel se fait au moyen d'un mot binaire représentant une fraction de la luminosité maximale du pixel. Pour afficher une image, à chacun des pixels est attribuée une valeur de luminosité codée sous forme d'un mot binaire. Pendant la durée d'une image, les différents bits du mot binaire sont écrits dans la mémoire du pixel et utilisés par le composant d'affichage fonctionnant en tout ou rien durant une fraction de la durée de l'image. Cette fraction de durée est fonction du poids du bit dans le mot binaire. Le bit de poids fort est utilisé par le composant d'affichage sensiblement pendant la moitié de la durée d'une image, le bit suivant, pendant le quart de la durée de l'image et ainsi de suite en divisant la fraction par deux jusqu'au bit de poids faible. L'écran 10 permet par exemple d'afficher 50 images par seconde. La persistance rétinienne d'un utilisateur permet de moyenner ces fractions de durée pour reconstituer la luminosité moyenne du pixel. Le procédé de l'invention consiste à écrire ligne par ligne les différents bits des mots binaires dans les différentes mémoires des pixels correspondants de façon à réduire la fréquence d'écriture nécessaire à balayer toute la matrice.

[0048] Il est possible de désactiver le composant d'affichage pendant un certain temps par le contrôle du rétro éclairage pour un écran à cristaux liquides ou à micro-miroirs ou par la déconnexion de l'alimentation de la diode.

[0049] L'invention s'intéresse à l'enchaînement de périodes d'écritures dans les différents pixels de la matrice.

[0050] Plus précisément, à partir d'une matrice de N lignes, i représentant le pointeur d'une ligne courante, en considérant les bits de chaque mot binaire rangés suivant leur poids de $j=1$ à $j=P$, 1 représentant le bit de poids faible et P le bit de poids fort, le procédé consiste à enchaîner les écritures suivantes pendant la durée d'une trame d'image :

- à partir d'une ligne courante i, écrire sur les lignes $i+2j$, de $j=1$ à $j=P$, le bit de poids j de chaque mot binaire associé aux différents pixels des lignes $i+2j$;
- répéter 2^P-1 fois les écritures mentionnées plus haut en décalant le pointeur i de la ligne courante d'une unité à chaque répétition ;

le rang du pointeur i d'une ligne étant déterminé modulo 2^P-1 de façon à être compris entre 1 et 2^P-1 .

[0051] En considérant une matrice comprenant N lignes avec $N=2^P-1$, pendant une période particulière où i est fixé à N-1, P lignes sont écrites durant cette période. Avec la convention de numérotation des lignes modulo 2^P-1 , N dans le cas présent :

- Le bit de poids faible LSB ($j=1$) est écrit sur la ligne : $(N-1) + 2^1 = N+1 = 1$.
- Le bit LSB+1 ($j=2$) est écrit sur la ligne : $(N-1) + 2^2 = N+3 = 3$.
- Le bit LSB+2 ($j=3$) est écrit sur la ligne : $(N-1) + 2^3 = N+7 = 7$.
- Et ainsi de suite jusqu'au bit de poids fort ($j=P$) qui est écrit sur la ligne : $(N-1) + 2^P = 2N = N$.

[0052] Pendant une période donnée, on vient d'écrire le bit de poids faible sur une ligne donnée ($i+1$ avec la convention précédemment utilisée). Cette même ligne sera écrite à nouveau à la période immédiatement suivante. En revanche pour la ligne sur laquelle on vient d'écrire le bit de poids fort, il faudra attendre sensiblement $N/2$ périodes pour que cette même ligne soit réécrite. Ce procédé permet de maintenir une écriture utilisable par le composant d'affichage pendant une durée variable en fonction du poids du bit écrit. Cette durée est sensiblement égale à $(2^j / 2^P) \times (\text{durée trame} / 2)$.

[0053] Pour chaque ligne courante i , les écritures réalisées sur les lignes $i+2^j$ occupent une période T_i . Autrement dit, chacune des répétitions occupe une période T_i . Pour réaliser une trame complète, 2^P-1 périodes T_i s'enchainent. Avantagusement, les différentes périodes ont la même durée. Cela permet de bien respecter la concordance sur une trame entre la valeur du mot binaire et la somme des durées d'activation du composant d'affichage.

[0054] Pour limiter les pertes de luminosité par rapport à une luminosité maximum correspondant à une activation complète du composant d'affichage durant une trame complète, les différentes périodes occupent la totalité de la trame. Autrement dit, la durée d'une période T_i est égale à la durée (T_{trame}) d'une trame d'image divisée par 2^P-1 .

[0055] La figure 3 représente visuellement sur une trame les durées utilisables pour chacun des bits du mot binaire codant la luminosité de chacun des pixels. Chaque ligne de la matrice étant balayée durant une trame, les durées entre chaque réécriture peuvent être exprimées en nombre de lignes représentant des fractions de la durée totale de la trame. Sur la figure 3, la moitié des lignes de la matrice contient des bits de poids fort MSB, le quart des lignes contient des bits de poids MSB-1, le huitième des lignes contient des bits de poids MSB-2 et ainsi de suite jusqu'à une seule ligne, la ligne la plus basse sur la figure 3, contenant des bits de poids faible.

[0056] La mise en œuvre de l'invention permet de réduire de façon importante la fréquence d'adressage et d'écriture des différents bits du mot binaire représentant la luminosité de chacun des pixels de la matrice. Avec un pilotage digital de l'art antérieur, la fréquence ligne est donné par :

$$F_{\text{ligne}} = \text{fps} * N_{\text{ligne}} * 2^P$$

[0057] Avec un pilotage digital mettant en œuvre l'invention, la fréquence ligne devient :

$$F_{\text{ligne}} = \text{fps} * (2^P - 1) * P$$

[0058] La fréquence est abaissée dans un rapport voisin de : N_{ligne} / P .

[0059] Les figures 4a à 4p représentent un exemple d'enchainement de périodes d'écriture dans les mémoires des différents pixels de la matrice. Plus précisément, dans l'exemple illustré avec les figures 4a à 4p, la luminosité est codée sur 4 bits. Il est bien entendu que la luminosité peut être codée sur un plus grand (ou plus petit) nombre de bits. Pour qu'un utilisateur ne perçoive pratiquement pas de différence de luminosité entre deux niveaux successifs de codage de la luminosité d'un pixel, un codage sur 8 à 10 bits peut convenir. Dans l'exemple illustré, la matrice comprend $N=15$ lignes de pixels, ce qui correspond à 2^P-1 lignes, P représentant le nombre de bits du codage de la luminosité. L'invention n'est pas limitée à ce nombre de lignes. On verra ultérieurement comment augmenter ou diminuer le nombre de lignes par rapport à 2^P-1 .

[0060] Conventionnellement, Les mots binaires codant la luminosité, comprennent des bits identifiés D0, D1, D2 et D3, ordonnés du bit de poids faible D0 également appelé LSB pour son abréviation anglo-saxonne : « Low Significant Bit » au bit de poids fort D3 également appelé MSB pour son abréviation anglo-saxonne : « Most Significant Bit ».

[0061] Durant la première période d'écriture, représentée sur la figure 4a, le bit de poids fort D3 est écrit sur la première ligne de la matrice, le bit de poids faible D0 est écrit sur la deuxième ligne, le bit D1 est écrit sur la quatrième ligne de la matrice et le bit D2 est écrit sur la huitième ligne de la matrice. Pour chaque colonne 23 de la matrice, un seul bit peut être écrit simultanément. Les quatre écritures des bits D0 à D3 sont réalisées successivement durant la première période. On considère pour cette première période la dernière ligne comme ligne courante i ($i=N$).

[0062] Pour la deuxième période, représentée sur la figure 4b, on décale la ligne courante i d'un rang : $i=N+1$ modulo 2^P-1 , c'est-à-dire $i=1$. Plus précisément, durant la deuxième période, représentée sur la figure 4b, le bit de poids fort D3 est écrit sur la deuxième ligne de la matrice, le bit de poids faible D0 est écrit sur la troisième ligne, le bit D1 est écrit sur la cinquième ligne de la matrice et le bit D2 est écrit sur la neuvième ligne de la matrice.

[0063] Les périodes 3 à 15 s'enchainent ensuite de la même façon en décalant la ligne courante à chaque période d'une ligne. Lors de la huitième période, représentée sur la figure 4h, le bit D2 est écrit sur la huitième ligne. Ayant atteint la dernière ligne de la matrice, les décalages réalisés pour la neuvième période se font de façon tour-
nante, c'est-à-dire que les décalages sont incrémentés

d'une unité modulo le nombre de ligne de la matrice. Autrement dit, on considère que la quinzième ligne de la matrice est suivie par la première ligne et lors de la neuvième période le bit D2 est écrit sur la première ligne de la matrice.

[0064] Durant la période 15, représentée sur la figure 4o, la ligne courante est la ligne 14. Durant les périodes 1 à 15 toutes les lignes de la matrice ont été écrites avec tous les bits des mots binaires représentant la luminosité des différents pixels de la matrice. La figure 4p représente une période 16 pour une nouvelle image ou trame. Cette période 16 est semblable à la période 1 avec de nouvelles valeurs des mots binaires correspondant à la nouvelle image.

[0065] En pratique il est possible de démarrer l'enchaînement des périodes d'écriture à n'importe quelle ligne de la matrice. L'enchaînement complet est réalisé à l'issue de 2^P-1 périodes d'écritures.

[0066] La figure 5 représente un exemple de registre à décalage pouvant être utilisé dans circuit d'adressage de ligne 13 pour générer les signaux de sélection des lignes Li, signaux véhiculés sur les conducteurs de ligne 24. Pour chaque ligne i, le signal Li est formé à l'aide de P bascules D : Di-1 à Di-P raccordées en série. La sortie de la bascule Di-P forme le signal Li de la ligne i et est connectée à l'entrée de la bascule Di+1-1. Un signal d'horloge CLK est commun à toutes les bascules D. Des jetons J sont introduits à l'entrée de la bascule D1-1 avec un écart temporel de 2^j fois la durée d'une période. Ce mode de réalisation du circuit d'adressage de ligne 13 présente un inconvénient du fait du grand nombre de bascules qui doivent commuter de façon simultanée. Ceci implique des crêtes de consommation importantes et non négligeables. L'encombrement en surface de ce type de registre est également pénalisant.

[0067] La figure 6 représente une alternative permettant de réaliser le circuit d'adressage de ligne 13. Cette alternative est plus compacte et moins consommatrice en énergie. Le circuit d'adressage de ligne 13 comprend un décodeur d'adresses 31, un additionneur 32, un registre à décalage 33 à P bits et un compteur 34 à P bits, $P=4$ dans l'exemple représenté. Le compteur 34 reçoit une horloge CLK fonctionnant à la fréquence de chaque période. Le registre à décalage 33 reçoit une horloge P fois plus rapide que l'horloge du compteur 34 et un jeton de démarrage Start en début de chaque période. Le registre à décalage 33 décale le signal de démarrage au rythme de son horloge ce qui permet d'émettre vers l'additionneur 32 un nombre binaire égal à 2^P . L'additionneur 32 reçoit également la sortie du compteur 34. L'additionneur 32 effectue l'addition du nombre binaire et de la sortie du compteur 34. Le résultat de l'addition est transmis au décodeur P vers N, ici un décodeur 4 vers 16 dont seulement 15 sorties sont raccordées, chacune à un conducteur de ligne 24 de la matrice 11. Par période, les lignes de rang $2^j + k$ sont adressées successivement, k représentant un nombre entier incrémenté d'une unité par le compteur 34 à chaque nouvelle période.

[0068] La figure 7 représente un exemple de réalisation du registre horizontal 14 qui comprend deux registres à décalage 41 et 42 possédant autant de bits que de lignes dans la matrice. Le registre 41 est utilisé comme tampon pour l'enregistrement des données de luminosité. Le registre 42 est utilisé pour l'écriture séquentielle des lignes adressées par le circuit d'adressage de ligne 13.

[0069] Les figures 8a et 8b représentent sous forme de chronogramme les périodes d'écriture décrites précédemment. Ces chronogrammes peuvent être facilement mis en œuvre à l'aide des circuits d'adressage de lignes décrit sur les figures 5 et 6. Les figures 8a et 8b permettent d'illustrer un premier mode de réalisation de succession des différentes écritures à l'intérieure des périodes.

[0070] En haut du chronogramme, une horloge CLK régulière permet de cadencer les différentes écritures des différentes périodes. Sous la représentation de l'horloge CLK sont représentées, ligne par ligne, les écritures des différents bits des mots représentant la luminosité des différents pixels.

[0071] Durant la première période, quatre tops d'horloge t_1 à t_4 se produisent. Au premier top t_1 , le bit D3 de la première ligne est écrit. Au deuxième top t_2 , le bit D0 de la deuxième ligne est écrit. Au troisième top t_3 , le bit D1 de la quatrième ligne est écrit et au quatrième top t_4 , le bit D2 de la huitième ligne est écrit.

[0072] A chaque période, le décalage d'une ligne courante décrit plus haut permet de reconstituer le chronogramme complet des figures 4a et 4b de la première période jusqu'à la période 16 représentée sur la figure 8b.

[0073] Ce premier mode de réalisation présente l'avantage d'une horloge régulière et d'une écriture dans l'ordre des poids des bits. Néanmoins, la durée pour chaque bit n'est pas exactement un multiple de la durée d'une période à cause de la division de la période en quatre phases. Par exemple, le bit de poids faible D0 peut être utilisé par le composant d'affichage pendant une durée de $\frac{3}{4}$ de période et le bit D1 pendant $1+\frac{3}{4}$ de période. Cette erreur de quantification est due au choix de la séquence des différents bits. Cette erreur peut être acceptable pour un codage des mots binaire sur un plus grand nombre de bits.

[0074] La figure 9 représente un chronogramme d'un deuxième mode de réalisation de l'enchaînement des écritures permettant de réduire l'erreur précédemment décrite. On retrouve toujours une horloge régulièrement répartie. Pour simplifier seules les premières périodes sont représentées sur cette figure. Dans ce deuxième mode de réalisation, durant la première période, au premier top t_1 , le bit D0 de la deuxième ligne est écrit. Au deuxième top t_2 , le bit D3 de la première ligne est écrit. Au troisième top t_3 , le bit D2 de la sixième ligne est écrit et au quatrième top t_4 , le bit D1 de la huitième ligne est écrit. Dans ce mode de réalisation, le bit de poids faible D0 peut être utilisé par le composant d'affichage pendant une durée de $1+\frac{1}{4}$ de période, le bit D1 pendant $1+\frac{3}{4}$ de

période, le bit D2 pendant $3 + \frac{1}{2}$ de période, le bit D3 pendant $8 + \frac{1}{4}$ de période. L'erreur sur la durée reste cette fois inférieure à la moitié de la durée attendue pour le bit de poids faible D0. Cette erreur est typiquement du même ordre de grandeur que celle d'un convertisseur digital-analogique souvent utilisé dans un registre horizontal mis en œuvre dans un pilotage analogique. Il est possible de tester de façon empirique différents ordonnancements des bits de luminosité afin de réduire au maximum l'erreur de quantification.

[0075] La figure 10 représente un chronogramme d'un troisième mode de réalisation de l'enchaînement des écritures permettant également de réduire l'erreur sur les durées d'utilisation des différents bits. Les quatre phases d'une période sont cette fois-ci générées pendant une durée inférieure à celle de la période dont la durée est égale à la durée d'une trame d'image divisée par le nombre de lignes écrites $2^P - 1$. Pour illustrer ce mode de réalisation, les quatre phases sont par exemple générées durant la moitié de la période. Ceci est réalisé en doublant la fréquence d'horloge. L'erreur est alors divisée par deux.

[0076] Il est bien entendu possible de coupler les deuxième et troisième modes de réalisation en proposant un enchaînement des bits différent de l'enchaînement naturel dans l'ordre des poids des bits et en augmentant la fréquence d'horloge pour concentrer les écritures des différents bits dans une partie seulement de chacune des périodes.

[0077] Il est possible de supprimer complètement l'erreur de quantification quelque soit l'ordonnement retenu pour l'écriture des différents bits de luminosité en activant le composant d'affichage pendant une durée s'étendant depuis la fin d'une période pendant laquelle le bit de luminosité a été écrit jusqu'à la fin de la période suivante pendant laquelle une nouvelle écriture est effectuée dans le même pixel. Cette durée d'activation peut être obtenue en ajoutant dans le pixel une seconde mémoire pilotée par un signal de ligne spécifique.

[0078] La figure 11a représente un pixel 12d permettant de mettre en œuvre cette durée d'activation décalée par rapport à l'écriture. Dans ce pixel, on retrouve comme dans le pixel 12b, l'interrupteur 20, le condensateur 21 de stockage, tous deux raccordés aux conducteurs 23 et 24, la diode électroluminescente 25 et l'interrupteur 26 permettant d'alimenter la diode 25 au moyen de la tension d'alimentation V_{DD} . Dans le pixel 12d, le condensateur 21 ne pilote pas directement l'interrupteur 26. Un nouvel interrupteur 41 est interposé entre le condensateur 21 et la grille de pilotage de l'interrupteur 26. L'interrupteur 41 est piloté par un signal spécifique véhiculé sur un conducteur de ligne supplémentaire 42 distinct du conducteur 24. Une capacité parasite 43 présente au point commun des interrupteurs 26 et 41 fait office de seconde mémoire pilotée par le signal spécifique. Si nécessaire, il est bien entendu possible d'ajouter un condensateur en complément de la capacité parasite. Le signal spécifique permet de faire transiter les charges

mémorisées dans le condensateur 21 vers la capacité parasite 43 au moment voulu.

[0079] La figure 11b représente un pixel 12e formant une variante au pixel 12d permettant également de mettre en œuvre le décalage de la durée d'activation par rapport à l'écriture. On retrouve dans le pixel 12e, comme dans le pixel 12c, la mémoire binaire 27 recevant une information à stocker par le conducteur colonne 23 et pilotée par le conducteur de ligne 24. On retrouve aussi la diode électroluminescente 25 et l'interrupteur 26 permettant d'alimenter la diode 25 au moyen d'une tension d'alimentation V_{DD} . Dans le pixel 12e, la mémoire binaire 27 ne pilote pas directement l'interrupteur 26. Une seconde mémoire binaire 45 est interposée entre la mémoire binaire 27 et la grille du pilotage de l'interrupteur 26. La mémoire 45 est pilotée par le signal spécifique véhiculé sur le conducteur de ligne supplémentaire 42.

[0080] La figure 12 représente sous forme de chronogramme les signaux véhiculés sur les conducteurs de lignes 24 et 42. Comme précédemment sur les figures 8, 9 et 10, l'axe des temps porte les différentes périodes d'écriture de la matrice. Pour simplifier la compréhension on a conservé une résolution de la luminosité sur 4 bits. Le chronogramme de la figure 12 reprend l'ordonnement naturel de l'écriture des différents bits de luminosité, ordonnancement présenté sur les figures 8a et 8b. Pour chacune des 15 lignes de la matrice, deux signaux S1 et S2 sont représentés, le signal S1 véhiculé par le conducteur 24 et le signal S2 par le conducteur 42. Les signaux S1 véhiculés par les différents conducteurs 24 sont identiques à ceux décrits à l'aide de la figure 8a.

[0081] Au cours de la première période, et plus précisément au premier top t_1 , le bit D3 de la première ligne est écrit. Ce bit est véhiculé par le conducteur de colonne 23 et le top t_1 forme le signal S1 véhiculé par le conducteur 24 de la première ligne. Pour le signal S2 véhiculé par le conducteur 42, un front montant permet au contenu de la mémoire 27, ou à la tension présente dans le condensateur 21 de piloter l'interrupteur 26. L'état, passant ou bloqué, de l'interrupteur 26 est maintenu tant qu'un nouveau front montant n'apparaît pas sur le conducteur 42. Pour éviter que l'écriture dans la mémoire 27 (ou sur le condensateur 21) ne perturbe le pilotage de l'interrupteur 26, un front descendant apparaît sur le signal S2 en début de première période peu avant l'apparition du bit D3 au top t_1 .

[0082] Pour la deuxième ligne, le bit D0 est écrit au top t_2 de la première période et le bit D3 est écrit au top t_1 de la deuxième période. Pour le signal S2 de cette deuxième ligne, un premier front montant intervient en fin de première période autorisant l'activation de la diode 25 par la valeur du bit D0. Un deuxième front montant intervient en fin de deuxième période autorisant l'activation de la diode 25 par la valeur du bit D3. La diode a été activée par le bit D0 durant exactement une période.

[0083] Les signaux S1 et S2 de la troisième ligne sont décalés temporellement d'une période par rapport aux signaux de la deuxième ligne.

[0084] Pour la quatrième ligne, le bit D1 est écrit au top t_3 de la première période et le bit D0 est écrit au top t_2 de la troisième période. Pour le signal S2 de cette deuxième ligne, un premier front montant intervient en fin de première période autorisant l'activation de la diode 25 par la valeur du bit D1. Un deuxième front montant intervient en fin de troisième période autorisant l'activation de la diode 25 par la valeur du bit D3. La diode 25 a été activée par le bit D1 durant exactement deux périodes séparant les deux fronts montant intervenant en fin de première période et en fin de troisième période. Et ainsi de suite pour les différents bits D0 qui activent la diode 25 durant une période, les bits D1 durant deux périodes, les bits D2 durant quatre périodes et les bits D3 durant huit périodes. De façon plus générale, les bits de poids j activent le composant d'affichage durant 2^j périodes.

[0085] Les pixels 11d et 11e ainsi que le chronogramme associé et représenté sur la figure 12, font référence à une diode 25. Il est bien entendu que ces variantes peuvent être mises en œuvre pour tout autre type de composant d'affichage, comme par exemple une cellule à cristaux liquide ou un micro miroir.

[0086] Le procédé décrit plus haut possède une limitation dans l'existence d'un lien entre le nombre N de lignes de la matrice et le nombre P de bits de résolution du mot binaire représentant la luminosité. Plus précisément : $N = 2^P - 1$. Par exemple, une résolution de huit bits impose une matrice de 255 lignes et une résolution de 10 bits impose une matrice de 1023 lignes.

[0087] Il est possible de dépasser cette limitation, par exemple si on souhaite adresser une matrice ayant un nombre de lignes double de ce que le lien précédent impose, par exemple 510 lignes pour une résolution de 8 bits. Une première solution consiste à augmenter artificiellement d'une unité le nombre de bits en attribuant systématiquement un 0 au nouveau bit de poids faible LSB. Cette solution peut également être mise en œuvre si on souhaite multiplier le nombre de lignes par toute puissance de deux. Par exemple pour quadrupler le nombre de lignes, on peut ajouter deux bits supplémentaires.

[0088] La figure 13 propose une alternative à l'ajout d'un bit de poids faible. Plus précisément, le circuit d'adressage de ligne est dupliqué et chaque circuit fonctionne séparément. Sur la figure 13, deux circuits d'adressage de ligne 13a et 13b sont représentés, chacun adressant une moitié de la matrice 11. De façon plus générale, la matrice 11 est divisée en zones, 11a et 11b dans l'exemple représenté, chacune des zones ayant un nombre de ligne inférieur ou égal à 2^{P-1} . Ici encore, il est possible de multiplier le nombre de circuits d'adressage de ligne par tout nombre entier.

[0089] Les formats vidéo largement répandus ont rarement des nombres de lignes correspondant à des puissances de deux. Il est néanmoins possible de mettre en œuvre le procédé de l'invention pour tout format. A cet effet, pour se libérer de cette contrainte, il est possible de choisir un nombre de lignes 2^{P-1} , adressées par le

procédé de l'invention, supérieur au nombre de lignes réelle de la matrice. Au-delà des lignes réelles, les lignes adressées restantes seront virtuelles en leur attribuant une valeur de luminosité nulle.

[0090] La figure 14 décrit la mise en œuvre de telles lignes virtuelles. Plusieurs périodes y sont représentées de façon similaire à la représentation des figures 3 ou 4. Le nombre total de lignes adressées $2^P - 1$ est représenté selon un axe des ordonnées. Le nombre de lignes réelles U de la matrices est égal à $(2^P - 1) - V$, V représentant le nombre de lignes virtuelles restant adressées et dont la valeur de luminosité est avantageusement nulle.

[0091] Le principe de mise en œuvre de lignes virtuelles peut bien entendu être combiné avec la multiplication du nombre de lignes décrit plus haut. Ceci permet d'utiliser le procédé de l'invention sans aucune limitation sur le nombre de lignes réelles de la matrice, que ce nombre soit inférieur ou supérieur à $2^P - 1$.

Revendications

1. Procédé d'affichage d'image sur un écran matriciel (10) comprenant plusieurs lignes de pixels (12, 12a, 12b, 12c), les lignes étant ordonnées de $i=1$ à $i=N$, N représentant le nombre de lignes, chaque pixel comprenant un composant d'affichage (22, 25) et une mémoire (21, 27), l'écran matriciel (10) comprenant des moyens d'adressage (13) de chacune des lignes et des moyens de transfert de données (20) vers la mémoire (21, 27) de chacun des pixels (12), le procédé consistant à contrôler la luminosité de chacun des pixels (12) de l'écran matriciel (10) au moyen d'un mot binaire comprenant plusieurs bits (D0, D1, D2, D3) écrits successivement au travers des moyens de transfert de données (20), dans la mémoire (21, 27) et en commandant le composant d'affichage (22, 25) en fonction d'un état du bit écrit dans la mémoire (21, 27), les bits de chaque mot binaire étant rangés suivant leur poids de $j=1$ à $j=P$, le procédé étant **caractérisé en ce qu'il** consiste à enchaîner les écritures suivantes pendant la durée (T_{trame}) d'une trame d'image :

- à partir d'une ligne courante i , écrire sur les lignes $i+2^j$, de $j=1$ à $j=P$, le bit de poids j de chaque mot binaire associé aux différents pixels des lignes $i+2^j$;
- répéter 2^{P-1} fois les écritures mentionnées plus haut en décalant un pointeur de ligne courante d'une unité à chaque répétition ;

le pointeur d'une ligne étant déterminé : i modulo 2^{P-1} de façon à être compris entre 1 et 2^{P-1} .

2. Procédé selon la revendication 1, **caractérisé en ce que**, pour chaque ligne courante i , les écritures réa-

lisées sur les lignes $i+2^j$ occupent une période T_i , et **en ce que** les 2^P-1 périodes T_i ont des durées égales.

3. Procédé selon la revendication 2, **caractérisé en ce que** la durée d'une période T_i est égale à la durée (T_{trame}) d'une trame d'image divisée par 2^P-1 . 5
4. Procédé selon l'une des revendications précédentes, **caractérisé en ce que** chacun des pixels (12b, 12c) comprend en outre un interrupteur (26) permettant de commander le composant d'affichage (25) en fonction d'un état du bit écrit dans la mémoire (21, 27) et **en ce que** pour chacun des pixels, l'interrupteur (26) est actionné pour piloter le composant d'affichage (25) en fonction du bit écrit dans la mémoire (21, 27) pendant une durée s'étendant entre deux écritures successives. 10 15
5. Procédé selon l'une des revendications 1 à 3, **caractérisé en ce qu'il** consiste, pour chacun des pixels (12d, 12e), à activer le composant d'affichage (22, 25) après écriture dans la mémoire correspondante (21, 27), **en ce que** les écritures sur les lignes $i+2^j$ réalisées à partir de la ligne courante i sont réalisées durant une période, et **en ce que** le composant d'affichage (22, 25) est activé pendant une durée s'étendant depuis la fin de la période pendant laquelle le bit de luminosité (D0 à D3) a été écrit jusqu'à la fin de la période suivante pendant laquelle une nouvelle écriture est effectuée dans le pixel concerné (12d, 12e). 20 25 30
6. Procédé selon la revendication 5, **caractérisé en ce que** la mémoire (21, 27) de chaque pixel (12, 12a à 12e) est appelée première mémoire, **en ce que** chaque pixel (12d, 12e) comprend une seconde mémoire binaire (43, 45) permettant de faire transiter le bit (D0 à D3) écrit dans la première mémoire (21, 27) vers le composant d'affichage (22, 25) pour l'activer, **en ce que** les moyens d'adressage (13) pilotent la première mémoire (21, 27) au moyen d'un premier signal (S1) permettant l'écriture et pilotent la seconde mémoire (43, 45) au moyen d'un second signal (S2) distinct du premier signal (S1) et permettant l'activation du composant d'affichage (22, 25). 35 40 45
7. Procédé selon l'une des revendications précédentes, **caractérisé en ce que** si la luminosité est exprimée en un nombre de R bits et que le nombre de lignes N est supérieur à 2^{R-1} alors on augmente le nombre de bits du mot binaire de T bits dont les valeurs sont égales à zéro, correspondant à une extinction des composants d'affichage de façon à ce que N soit inférieur ou égal à 2^P-1 avec $P = R+T$. 50 55
8. Procédé selon l'une des revendications 1 à 6, **caractérisé en ce que** si la luminosité est exprimée

en un nombre de S bits et que le nombre de lignes N est supérieur à 2^S-1 , on divise la matrice en zones (11a, 11b) pilotées séparément, chacune des zones (11a, 11b) ayant un nombre de ligne inférieur ou égal à 2^S-1 .

9. Procédé selon l'une des revendications précédentes, **caractérisé en ce que** si la matrice comprend un nombre de lignes U dit nombre de lignes réelles, inférieur à 2^P-1 alors la répartition des écritures est configurée pour enchaîner les écritures sur N lignes avec $N = 2^P-1$ dont U lignes réelles et V lignes dites virtuelles avec $U+V = N$, et **en ce que** pour les lignes virtuelles le mot binaire ne contient que des bits de valeur correspondant à une extinction du composant d'affichage.
10. Procédé selon l'une des revendications précédentes, **caractérisé en ce que** pour chaque ligne courante i donnée, les écritures sur les lignes $i+2^j$, de $j=1$ à $j=P$ des différents bits sont ordonnées de façon à minimiser une erreur sur une durée souhaitée séparant deux écritures successives d'un même pixel (12). 10
11. Procédé selon l'une des revendications précédentes, **caractérisé en ce que** pour chaque ligne courante i donnée, les écritures sur les lignes $i+2^j$, de $j=1$ à $j=P$ des différents bits sont réalisées pendant une durée inférieure à la durée d'une période égale à la durée d'une trame divisée par le nombre de lignes écrites 2^P-1 . 15

Patentansprüche

1. Bildanzeigeverfahren an einem Matrix-Bildschirm (10), beinhaltend mehrere Pixelzeilen (12, 12a, 12b, 12c), wobei die Zeilen geordnet sind von $i=1$ bis $i=N$, wobei N die Anzahl der Zeilen darstellt, wobei jeder Pixel eine Anzeigekomponente (22, 25) und einen Speicher (21, 27) beinhaltet, wobei der Matrix-Bildschirm (10) Adressierungsmittel (13) einer jeden der Zeilen Datenübertragungsmittel (20) an den Speicher (21, 27) eines jeden der Pixel (12) beinhaltet, wobei das Verfahren darin besteht, die Helligkeit eines jeden der Pixel (12) des Matrix-Bildschirms (10) mithilfe eines binären Wortes zu steuern, welches mehrere Bits (D0, D1, D2, D3) beinhaltet, welche nacheinander über die Datenübertragungsmittel (20) in den Speicher (21, 27) geschrieben werden, und durch Ansteuern der Anzeigekomponente (22, 25) entsprechend eines Zustandes des in den Speicher (21, 27) geschriebenen Bits, wobei die Bits eines jeden binären Wortes gemäß ihres Gewichts von $j=1$ bis $j=P$ geordnet sind, wobei das Verfahren **dadurch gekennzeichnet ist**, 10 15 20 25 30 35 40 45 50 55

dass es darin besteht, folgende Schreiboperationen während der Dauer (T_{frame}) eines Bildrahmens zu verketteten:

- anhand einer laufenden Zeile i , Schreiben in den Zeilen $i+2^j$, von $j=1$ bis $j=P$, das Gewichtsbit j eines jeden binären Wortes, welches den unterschiedlichen Pixeln der Zeilen $i+2^j$ zugeordnet ist;
- 2^P-1 -maliges Wiederholen der oben genannten Schreiboperationen, unter Verschiebung eines Zeigers der laufenden Zeile um eine Einheit bei jeder Wiederholung;

wobei der Zeiger einer Zeile wie folgt bestimmt wird: i Modulo 2^P-1 , sodass er zwischen 1 und 2^P-1 liegt.

2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass**, für jede laufende Zeile i , die an den Zeilen $i+2^j$ vorgenommenen Schreiboperationen eine Periode T_i belegen und dadurch, dass die 2^P-1 Perioden T_i von gleicher Dauer sind.
3. Verfahren nach Anspruch 2, **dadurch gekennzeichnet, dass** die Dauer einer Periode T_i gleich der Dauer (T_{frame}) eines Bildrahmens geteilt durch 2^P-1 ist.
4. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** jeder der Pixel (12b, 12c) zudem einen Schalter (26) beinhaltet, welcher es ermöglicht, die Anzeigekomponente (25) entsprechend des Zustandes des in den Speicher (21, 27) geschriebenen Bits anzusteuern und dadurch, dass für jeden der Pixel der Schalter (26) betätigt wird, um die Anzeigekomponente (25) entsprechend des in den Speicher (21, 27) geschriebenen Bits über eine Dauer zu steuern, welche zwischen zwei aufeinanderfolgenden Schreiboperationen währt.
5. Verfahren nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet, dass** es darin besteht, für jeden der Pixel (12d, 12e) die Anzeigekomponente (22, 25) nach dem Schreiben in den entsprechenden Speicher (21, 27) zu aktivieren, dadurch, dass die Schreiboperationen an den Zeilen $i+2^j$ ab der laufenden Zeile i über eine Periode durchgeführt werden, und dadurch, dass die Anzeigekomponente (22, 25) über eine Dauer aktiviert wird, welche vom Ende der Periode, während welcher das Helligkeitsbit (D0 bis D3) geschrieben wurde, bis zum Ende der folgenden Periode währt, während welcher eine neue Schreiboperation in dem betreffenden Pixel (12d, 12e) bewerkstelligt wird.
6. Verfahren nach Anspruch 5, **dadurch gekennzeichnet, dass** der Speicher (21, 27) eines jeden

Pixels (12, 12a bis 12e) erster Speicher genannt wird, dadurch, dass jeder Pixel (12d, 12e) einen zweiten linearen Speicher (43, 45) beinhaltet, welcher es ermöglicht, das in den ersten Speicher (21, 27) geschriebene Bit (D0 bis D3) zur Anzeigekomponente (22, 25) passieren zu lassen, um diese zu aktivieren, dadurch, dass die Adressierungsmittel (13) den ersten Speicher (21, 27) mithilfe eines ersten Signals (S1) steuern, welches ein Schreiben ermöglicht und den zweiten Speicher (43, 45) mithilfe eines zweiten Signals (S2) steuern, welches sich von dem ersten Signal (S1) unterscheidet und die Aktivierung der Anzeigekomponente (22, 25) ermöglicht.

7. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass**, wenn die Helligkeit in einer Anzahl von R Bits ausgedrückt wird und die Anzahl der Zeilen N größer ist als 2^R-1 , man die Anzahl der Bits des binären Wortes mit T Bits erhöht, deren Werte gleich null sind, was einem Ausschalten der Anzeigekomponenten in einer Weise entspricht, dass N kleiner oder gleich 2^P-1 ist, wobei $P = R+T$.
8. Verfahren nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet, dass**, wenn die Helligkeit in einer Anzahl von S Bits ausgedrückt wird und die Anzahl der Zeilen N größer ist als 2^S-1 ist, man die Matrix in Zonen (11a, 11b) unterteilt, welche separat gesteuert werden, wobei jede der Zonen (11a, 11b) eine Anzahl an Zeilen kleiner oder gleich 2^S-1 aufweist.
9. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass**, wenn die Matrix eine Anzahl von U Zeilen beinhaltet, genannt Anzahl tatsächlicher Zeilen, kleiner als 2^P-1 , die Verteilung der Schreiboperationen konfiguriert ist, um die Schreiboperationen an N Zeilen zu verketteten, wobei $N = 2^P-1$, davon U tatsächliche Zeilen und V virtuelle Zeilen genannte Zeilen, wobei $U+V = N$, dadurch, dass bei den virtuellen Zeilen das binäre Wort nur Bits enthält, deren Wert einer Abschaltung der Anzeigekomponente entspricht.
10. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** bei jeder gegebenen laufenden Zeile i die Schreiboperationen an den Zeilen $i+2^j$, von $j=1$ bis $j=P$, der unterschiedlichen Bits so geordnet sind, dass ein Fehler über eine gewünschte Dauer, welche zwei aufeinanderfolgende Schreiboperationen des gleichen Pixels (12) trennt, minimiert wird.
11. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet, dass** bei jeder gegebenen laufenden Zeile i die Schreiboperationen

an den Zeilen $i+2^j$, von $j=1$ bis $j=P$, der unterschiedlichen Bits innerhalb einer Dauer bewerkstelligt werden, welche die Dauer einer Periode unterschreitet, welche gleich der Dauer eines Rahmens, geteilt durch die Anzahl der geschriebenen Linien 2^P-1 , ist.

Claims

1. Method for displaying images on a matrix screen (10) comprising several rows of pixels (12, 12a, 12b, 12c), the rows being ordered from $i=1$ to $i=N$, N representing the number of rows, each pixel comprising a display component (22, 25) and a memory (21, 27), the matrix screen (10) comprising addressing means (13) for each of the rows and data transfer means (20) to the memory (21, 27) of each of the pixels (12), the method consisting in controlling the brightness of each of the pixels (12) of the matrix screen (10) by means of a binary word comprising several bits (D0, D1, D2, D3) written successively through the data transfer means (20), into the memory (21, 27) and by controlling the display component (22, 25) as a function of a state of the bit written into the memory (21, 27), the bits of each binary word being ranked according to their weight from $j=1$ to $j=P$, the method being **characterized in that** it consists in sequencing the following writes for the duration (T_{frame}) of an image frame:
 - from a current row i , writing on the rows $i+2^j$, from $j=1$ to $j=P$, the bit of weight j of each binary word associated with the different pixels of the rows $i+2^j$;
 - repeating, 2^P-1 times, the writes mentioned above by shifting a pointer of the current row by one unit on each repetition;

the pointer of a row being determined: $i \bmod 2^P-1$ so as to lie between 1 and 2^P-1 .
2. Method according to Claim 1, **characterized in that**, for each current row i , the writes performed on the rows $i+2^j$ occupy a period T_i , and **in that** the 2^P-1 periods T_i have equal durations.
3. Method according to Claim 2, **characterized in that** the duration of a period T_i is equal to the duration (T_{frame}) of an image frame divided by 2^P-1 .
4. Method according to one of the preceding claims, **characterized in that** each of the pixels (12b, 12c) further comprises a switch (26) making it possible to control the display component (25) as a function of a state of the bit written into the memory (21, 27) and **in that**, for each of the pixels, the switch (26) is actuated to drive the display component (25) as a function of the bit written into the memory (21, 27) for a duration extending between two successive writes.
5. Method according to any one of Claims 1 to 3, **characterized in that** it consists, for each of the pixels (12d, 12e), in activating the display component (22, 25) after writing in the corresponding memory (21, 27), **in that** the writes on the rows $i+2^j$ performed from the current row i are performed during a period, and **in that** the display component (22, 25) is activated for a duration extending from the end of the period during which the brightness bit (D0 to D3) was written to the end of the next period during which a new write is performed in the pixel concerned (12d, 12e).
6. Method according to Claim 5, **characterized in that** the memory (21, 27) of each pixel (12, 12a to 12e) is called first memory, **in that** each pixel (12d, 12e) comprises a second binary memory (43, 45) making it possible to pass the bit (D0 to D3) written in the first memory (21, 27) to the display component (22, 25) to activate it, **in that** the addressing means (13) drive the first memory (21, 27) by means of a write-enabling first signal (S1) and drive the second memory (43, 45) by means of a second signal (S2) distinct from the first signal (S1) and making it possible to activate the display component (22, 25).
7. Method according to any one of the preceding claims, **characterized in that** if the brightness is expressed as a number of R bits and the number of rows N is greater than 2^R-1 , then the binary word has added to it a number T of bits whose values are equal to zero, corresponding to a switching off of the display components so that N is less than or equal to 2^P-1 with $P = R+T$.
8. Method according to any one of Claims 1 to 6, **characterized in that**, if the brightness is expressed as a number of S bits and the number of rows N is greater than 2^S-1 , the matrix is divided into areas (11a, 11b) driven separately, each of the areas (11a, 11b) having a number of rows less than or equal to 2^S-1 .
9. Method according to any one of the preceding claims, **characterized in that**, if the matrix comprises a number of rows U , called number of real rows, less than 2^P-1 , then the distribution of the writes is configured to sequence the writes on N rows with $N = 2^P-1$ with U real rows and V rows called virtual rows with $U+V = N$, and **in that**, for the virtual rows, the binary word contains only bits of a value corresponding to a switching off of the display component.
10. Method according to any one of the preceding claims, **characterized in that**, for each given current row i , the writes on the rows $i+2^j$, from $j=1$ to $j=P$, of

the different bits are ordered so as to minimize an error over a desired duration separating two successive writes of a same pixel (12).

11. Method according to any one of the preceding claims, **characterized in that**, for each given current row i , the writes on the rows $i+2j$, from $j=1$ to $j=P$, of the different bits are performed for a duration less than the duration of a period equal to the duration of a frame divided by the number of rows written 2^P-1 .

15

20

25

30

35

40

45

50

55

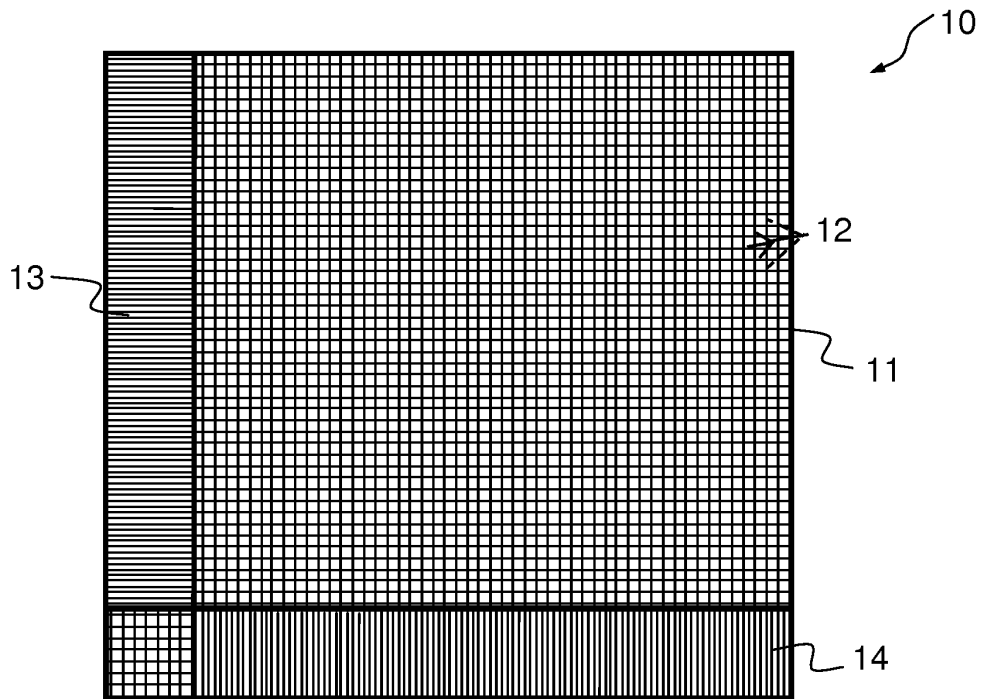


FIG. 1

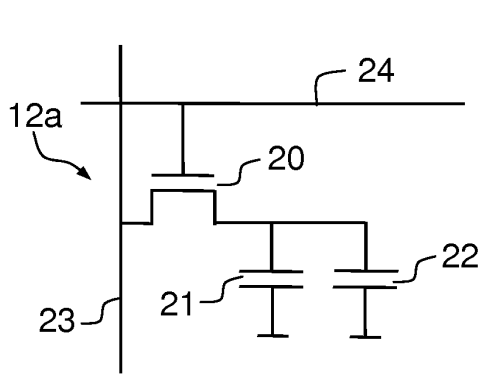


FIG. 2a

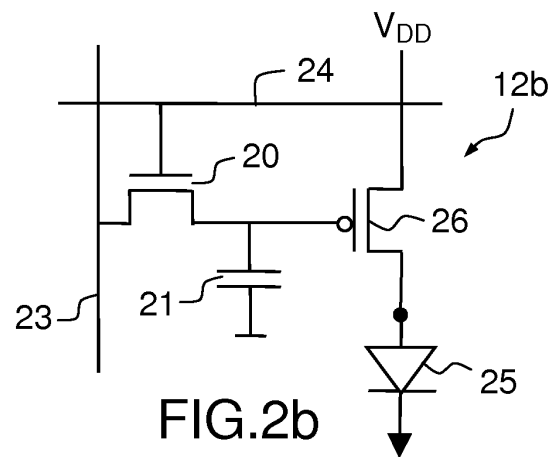


FIG. 2b

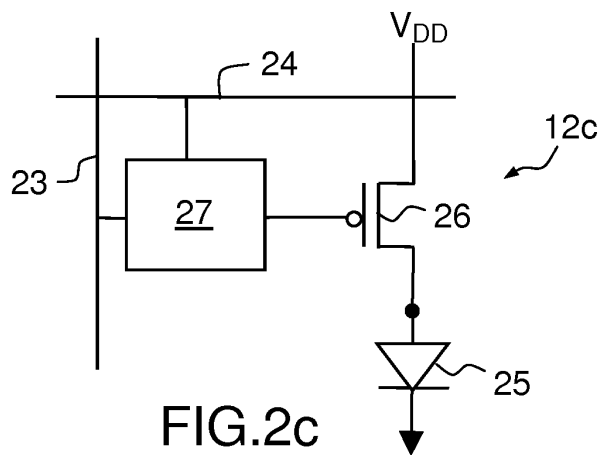


FIG. 2c

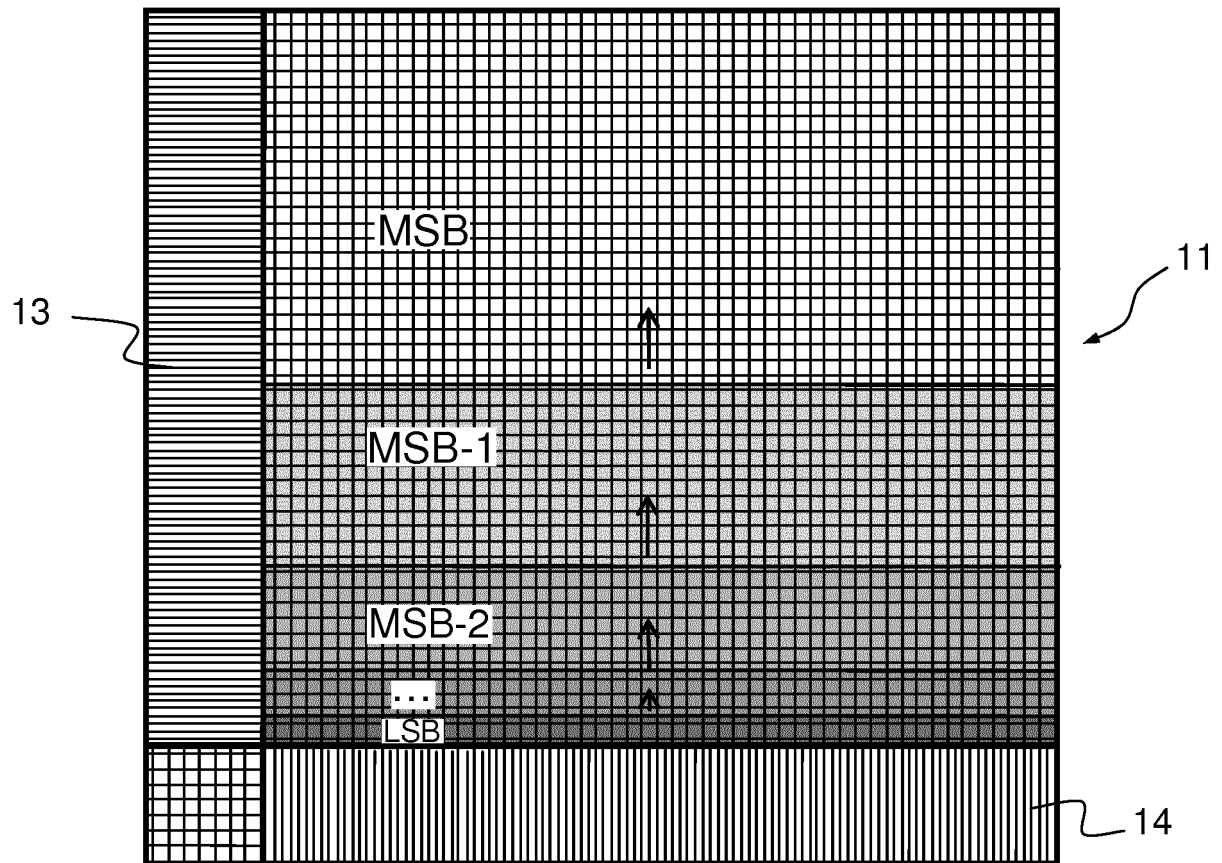


FIG.3

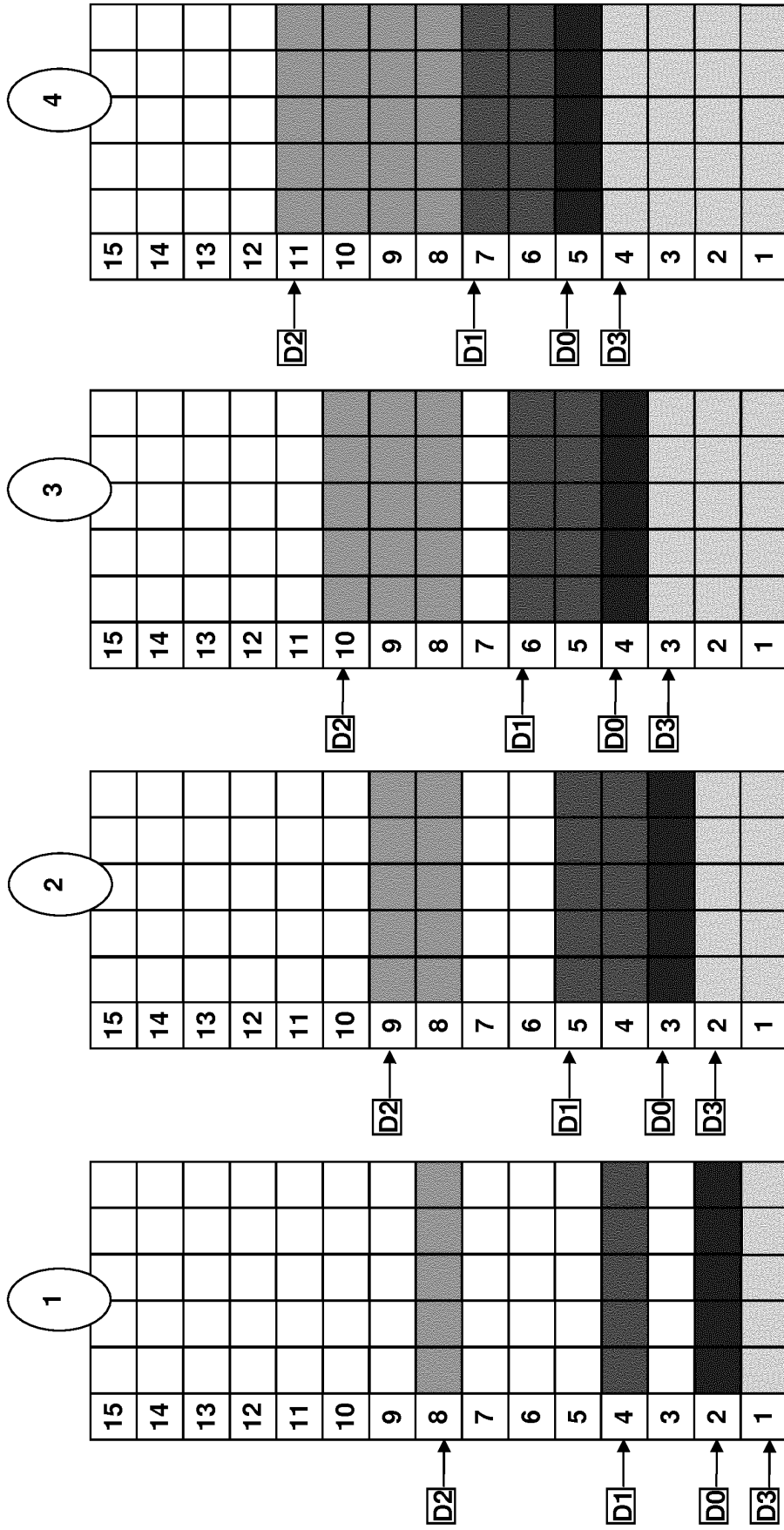


FIG.4a

FIG.4b

FIG.4c

FIG.4d

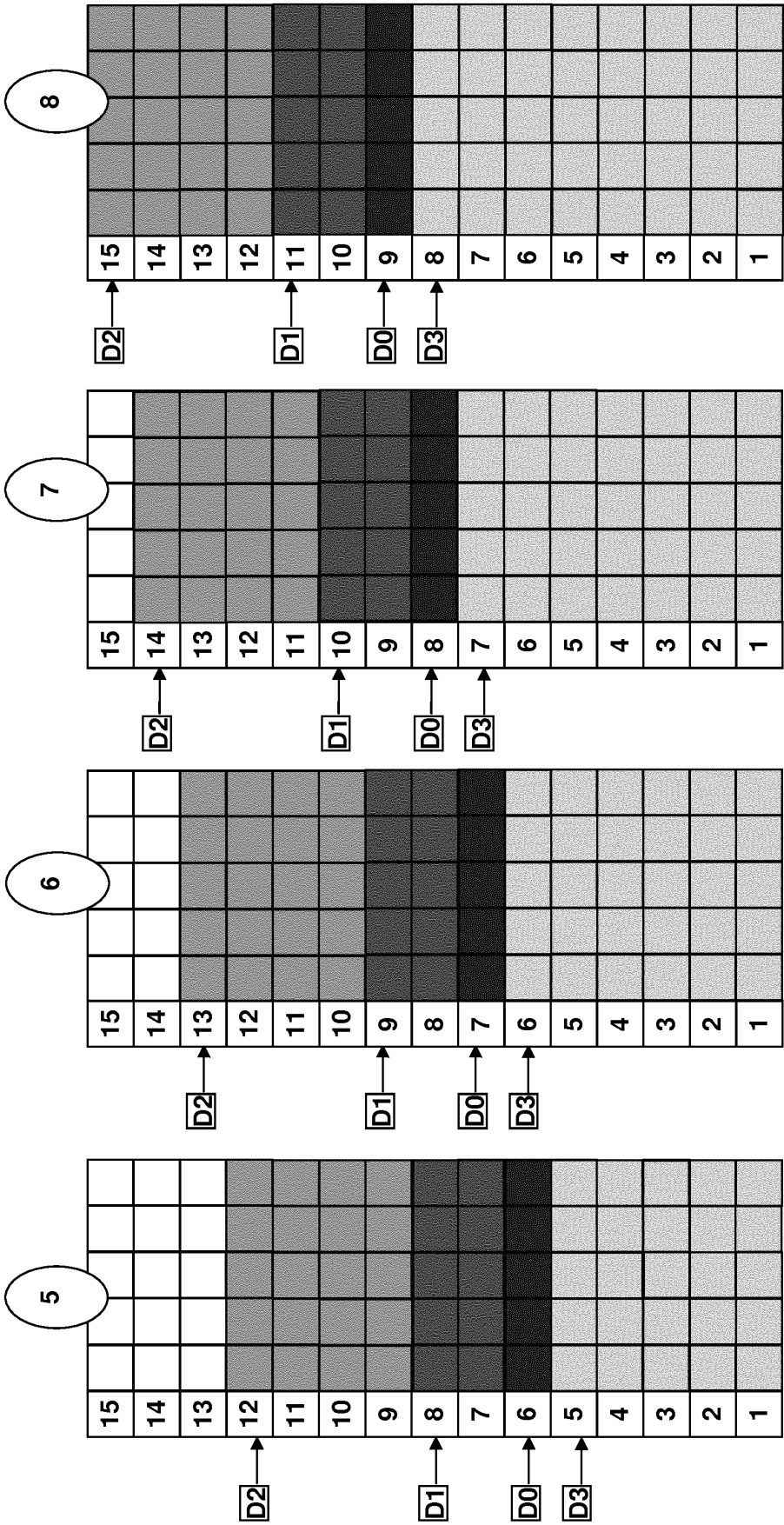


FIG.4h

FIG.4g

FIG.4f

FIG.4e

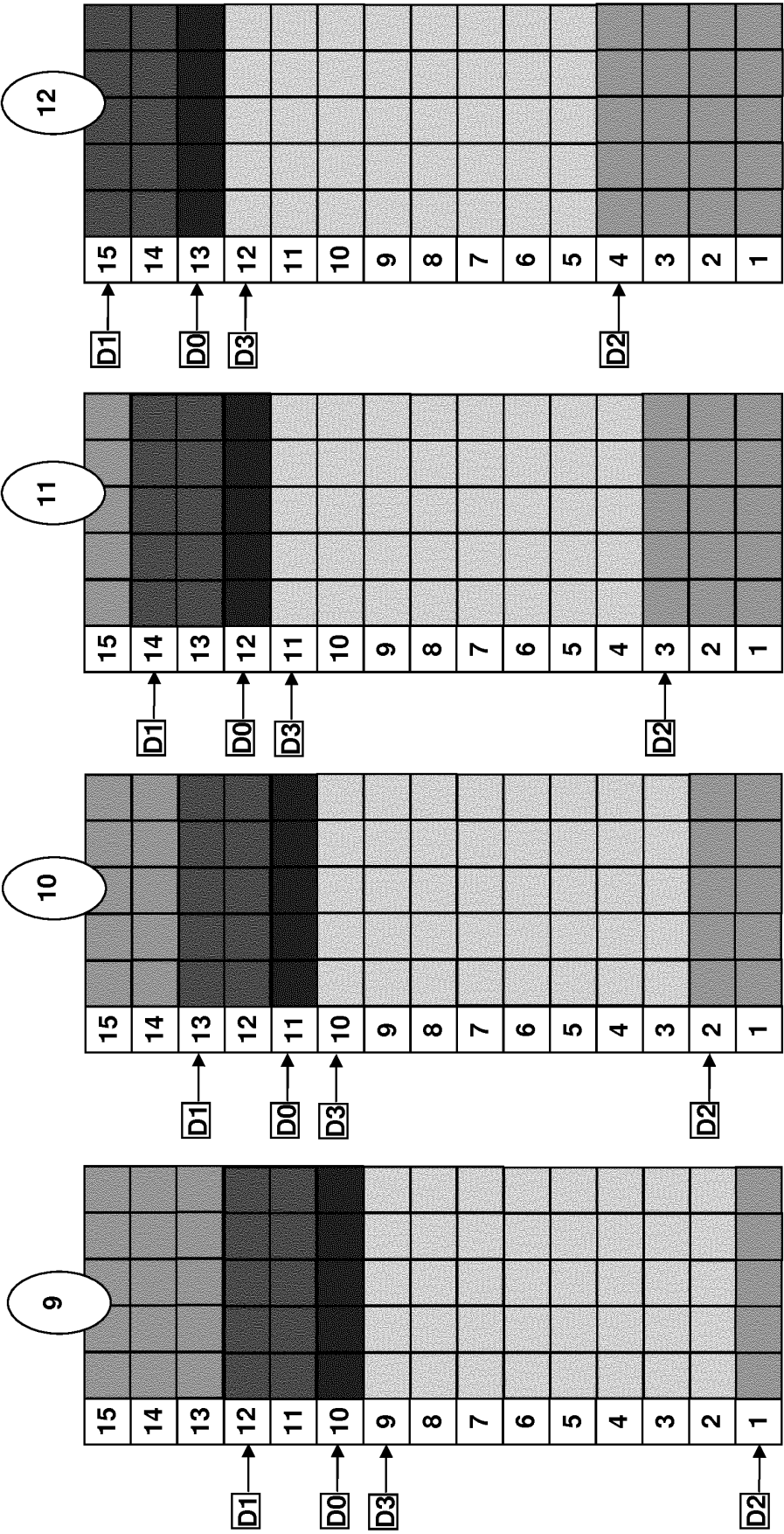
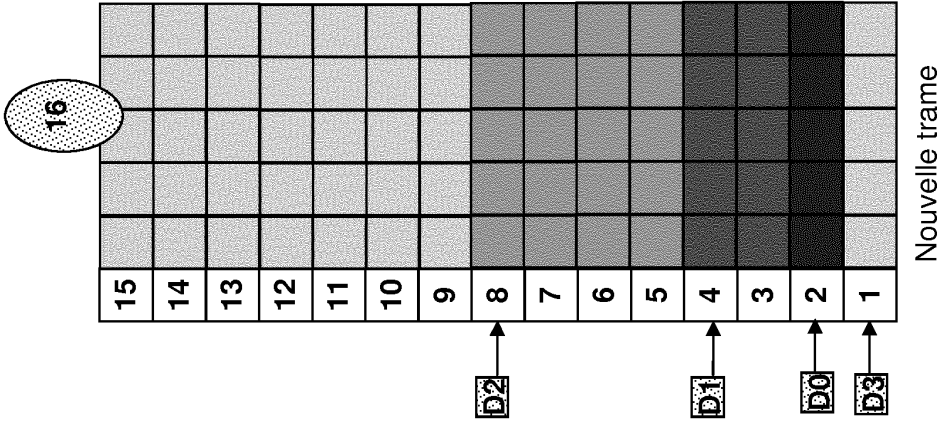


FIG.4i

FIG.4j

FIG.4k

FIG.4l



Nouvelle trame

FIG.4p

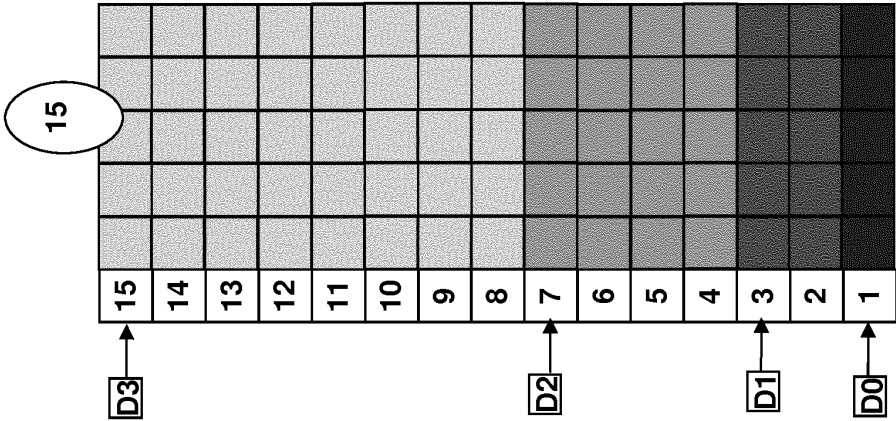


FIG.4o

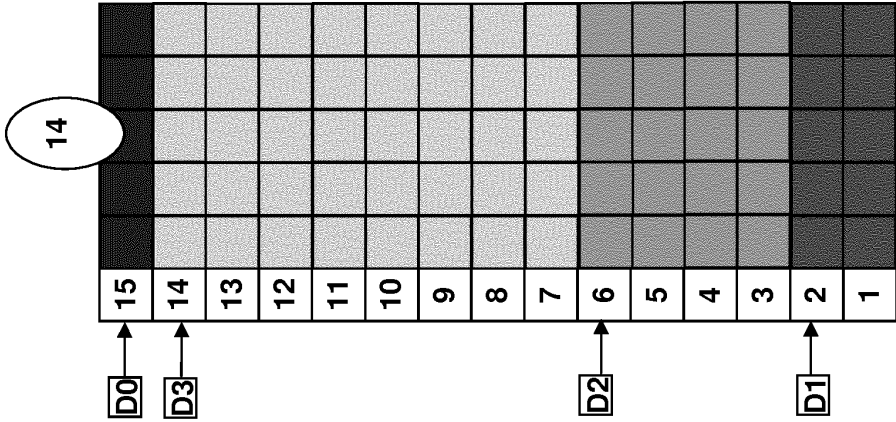


FIG.4n

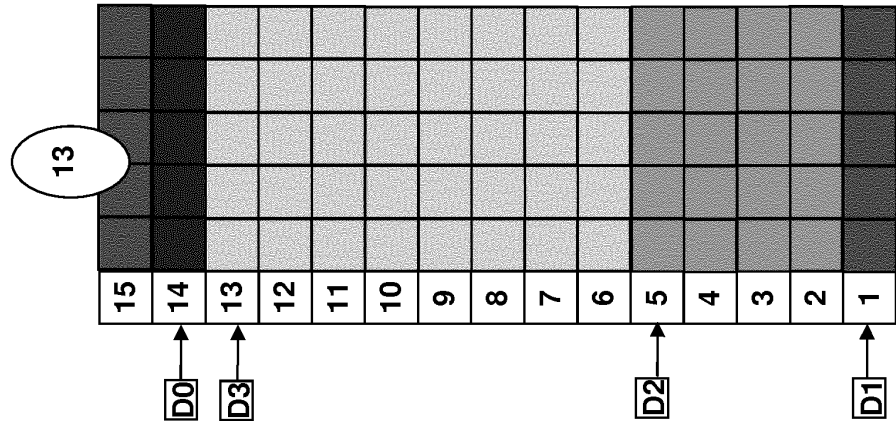


FIG.4m

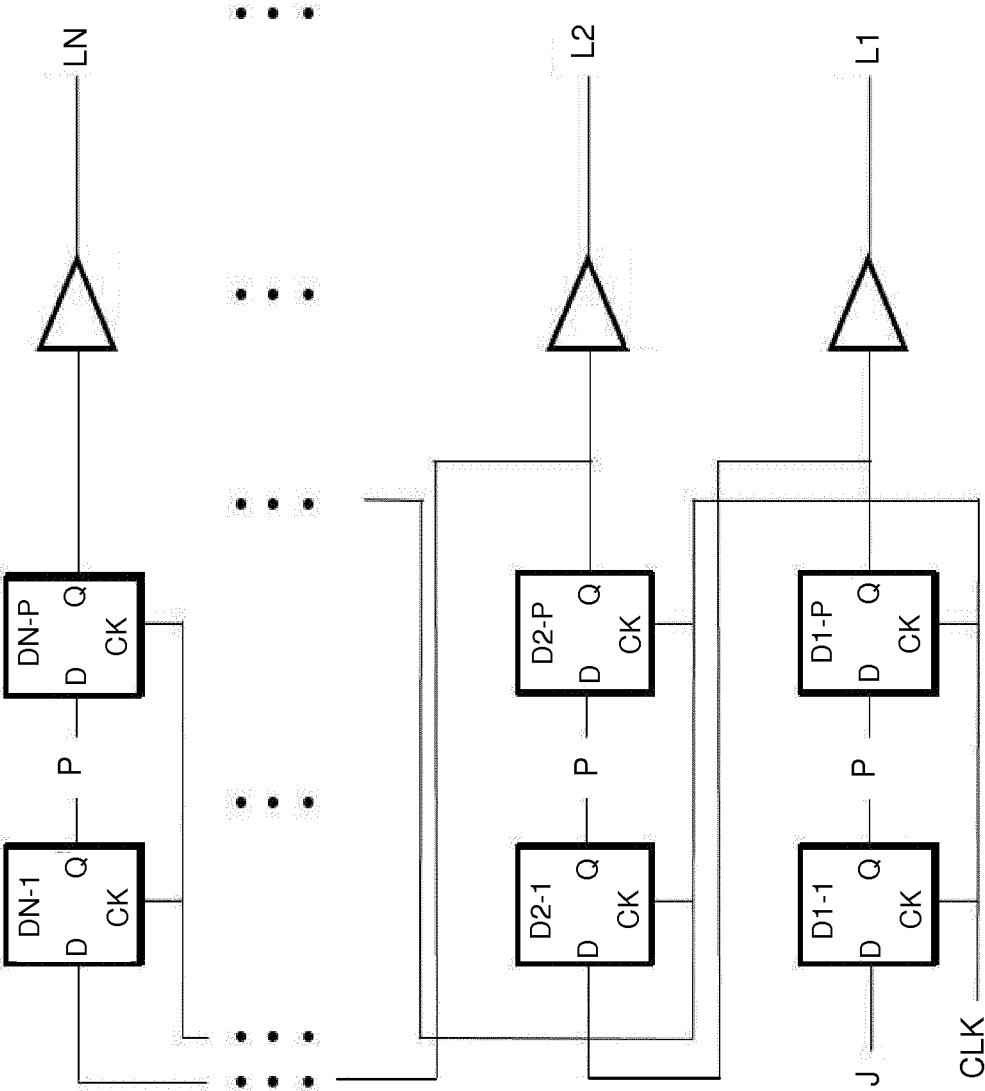
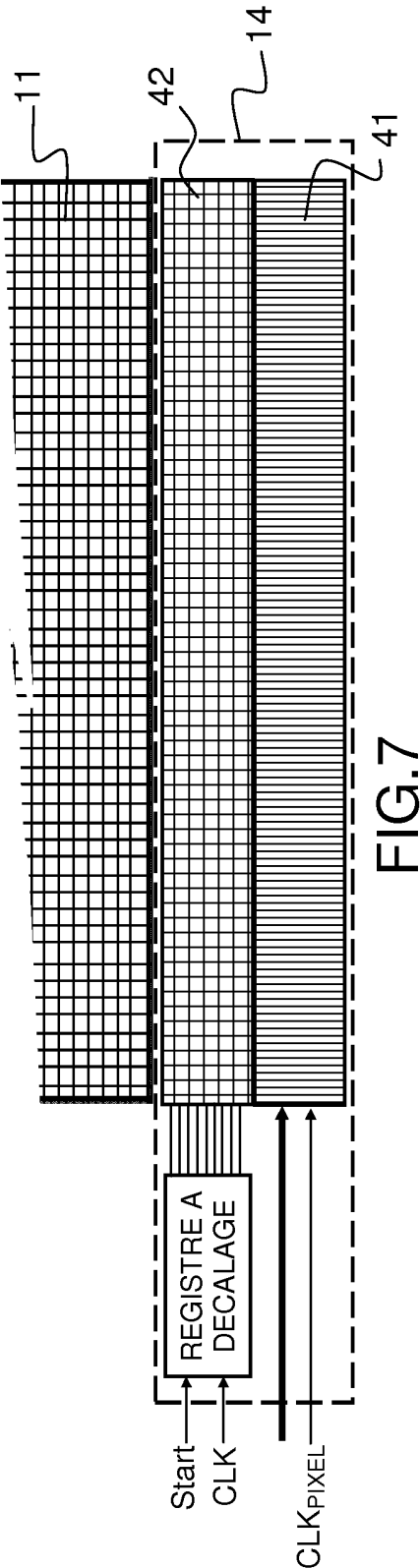
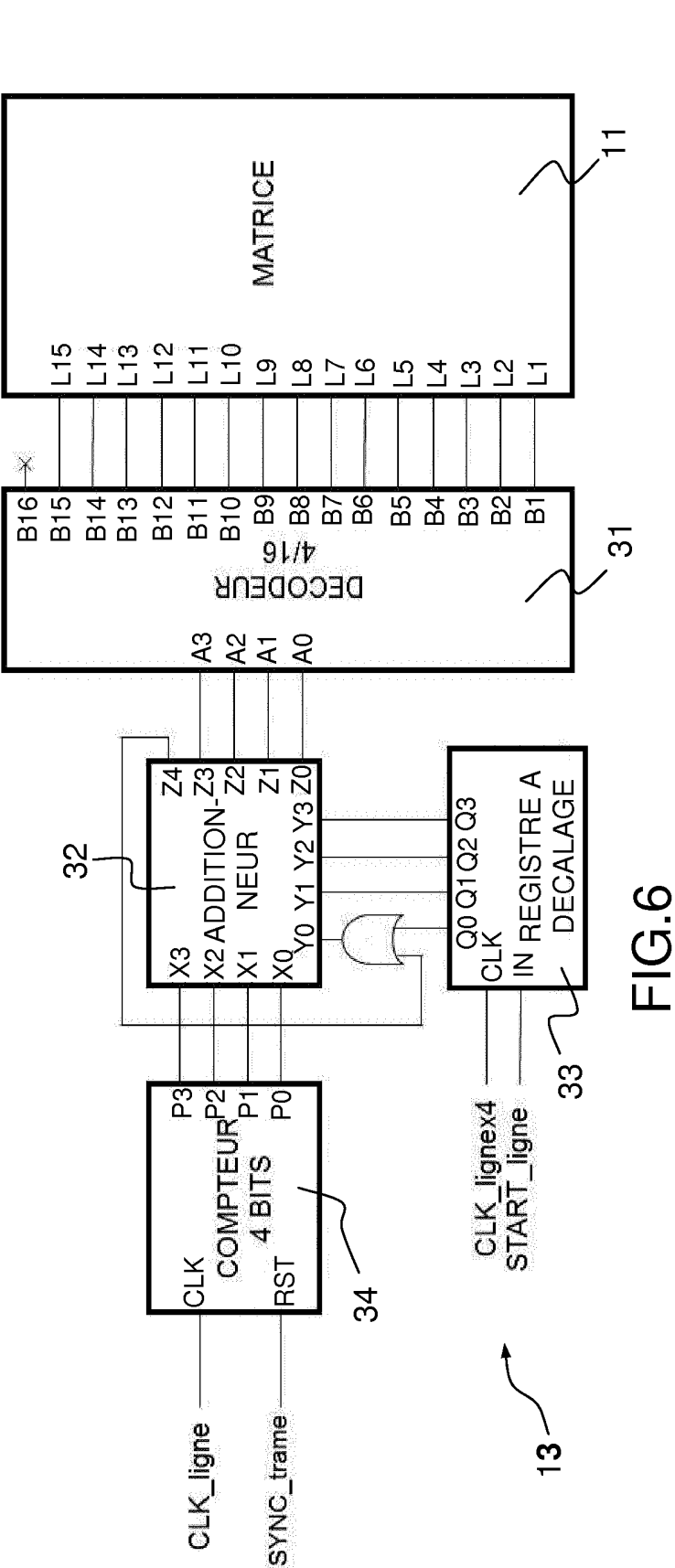


FIG.5



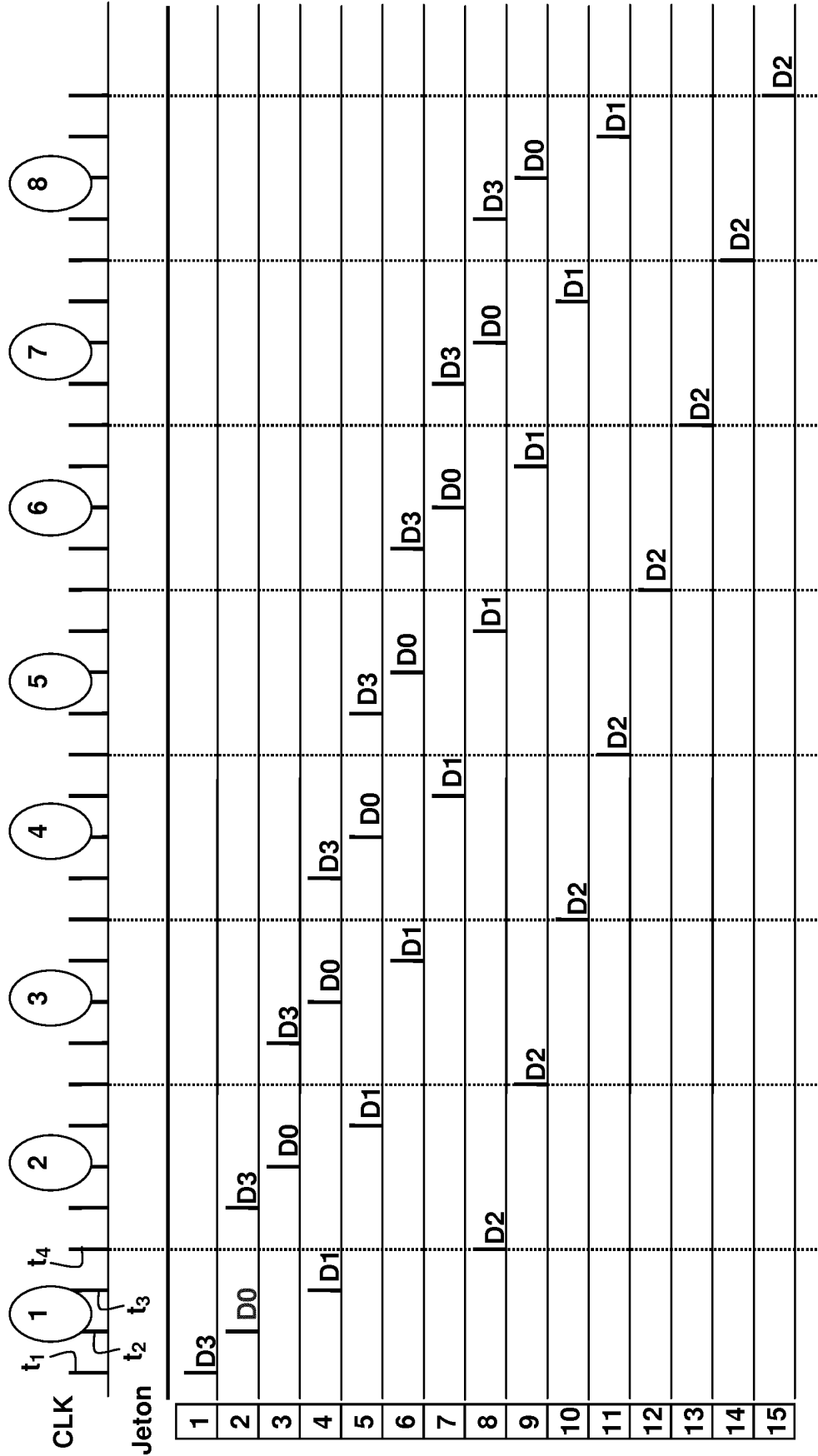


FIG.8a

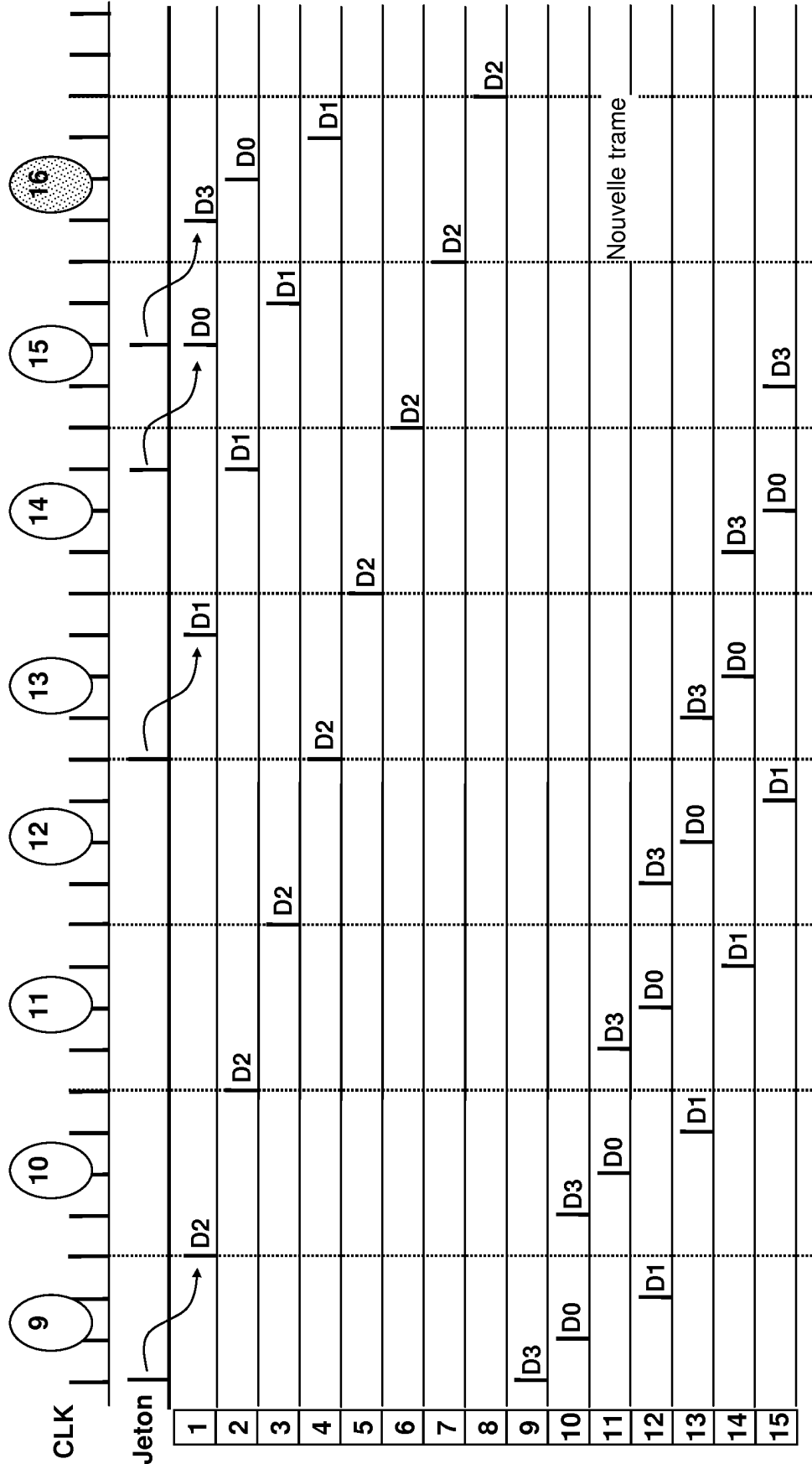


FIG.8b

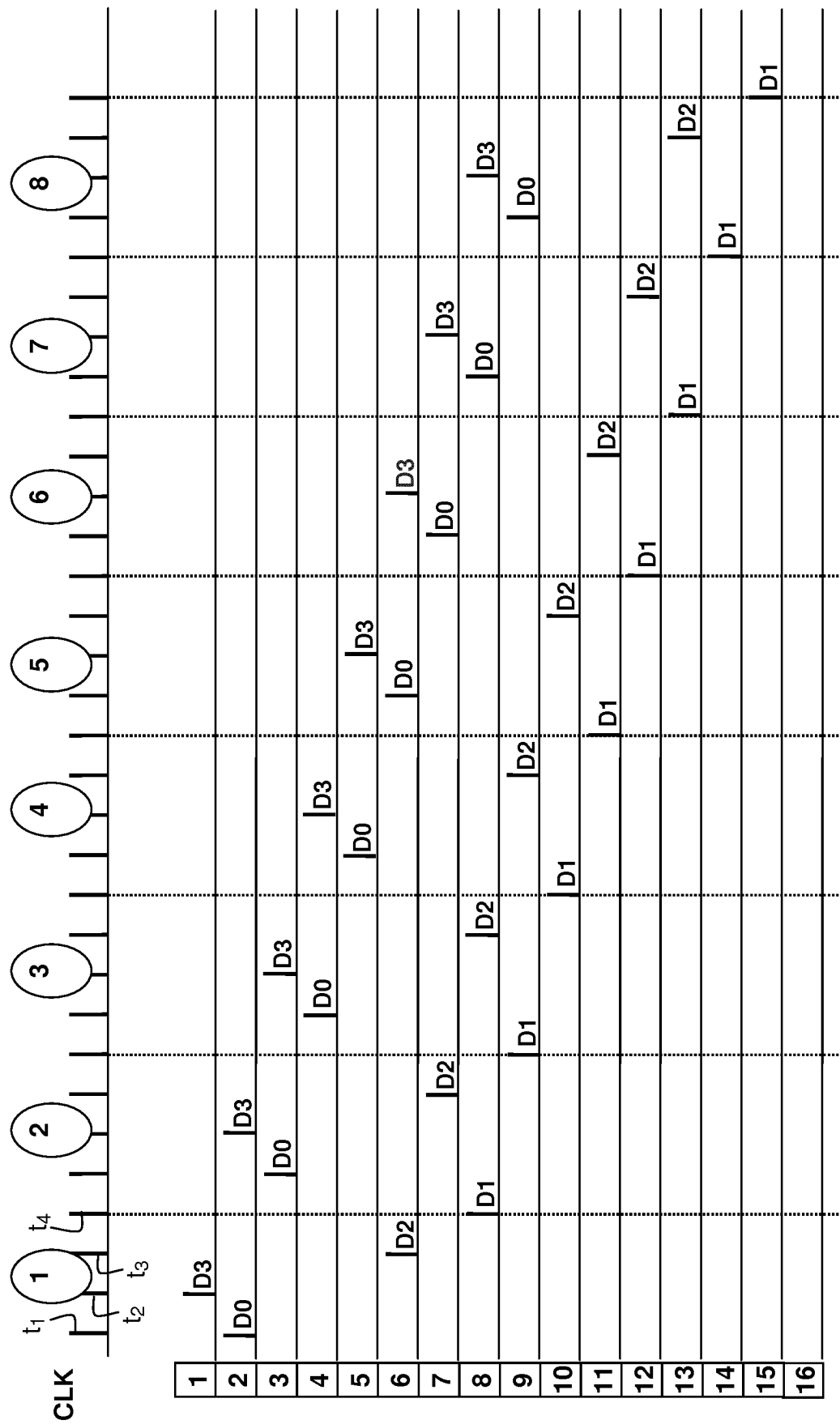


FIG.9

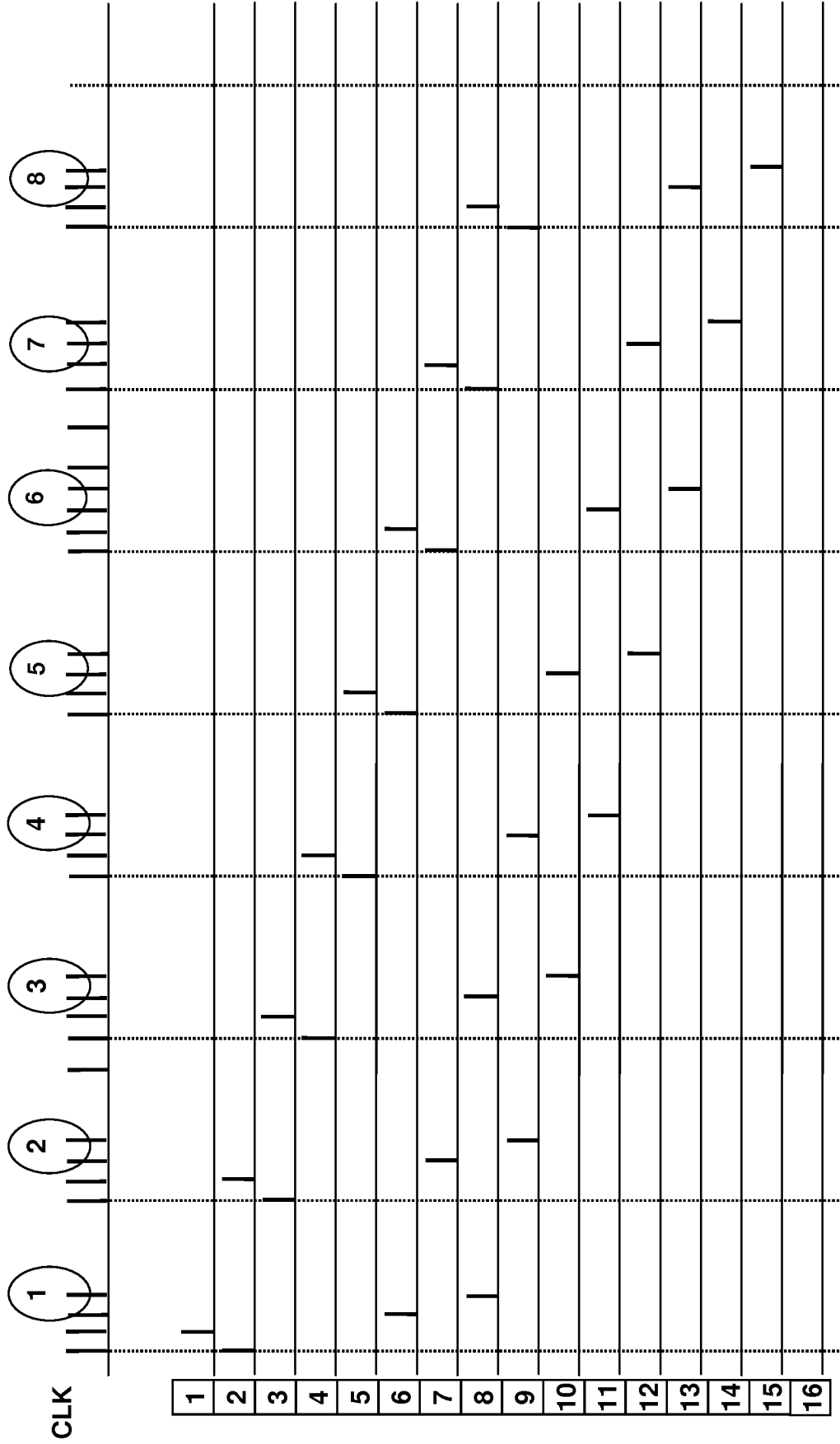


FIG.10

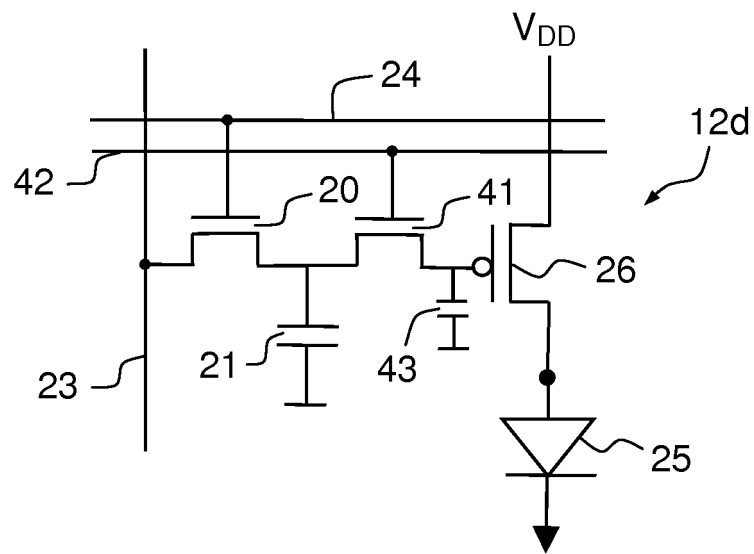


FIG.11a

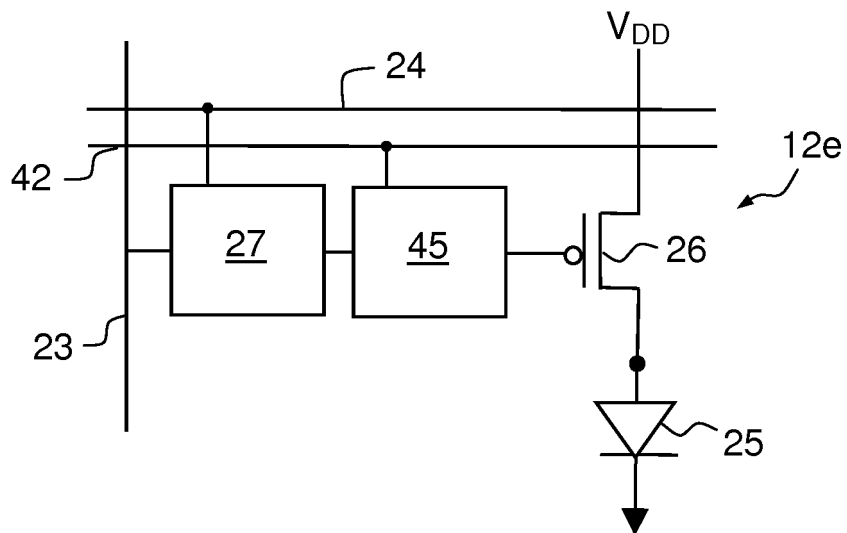


FIG.11b

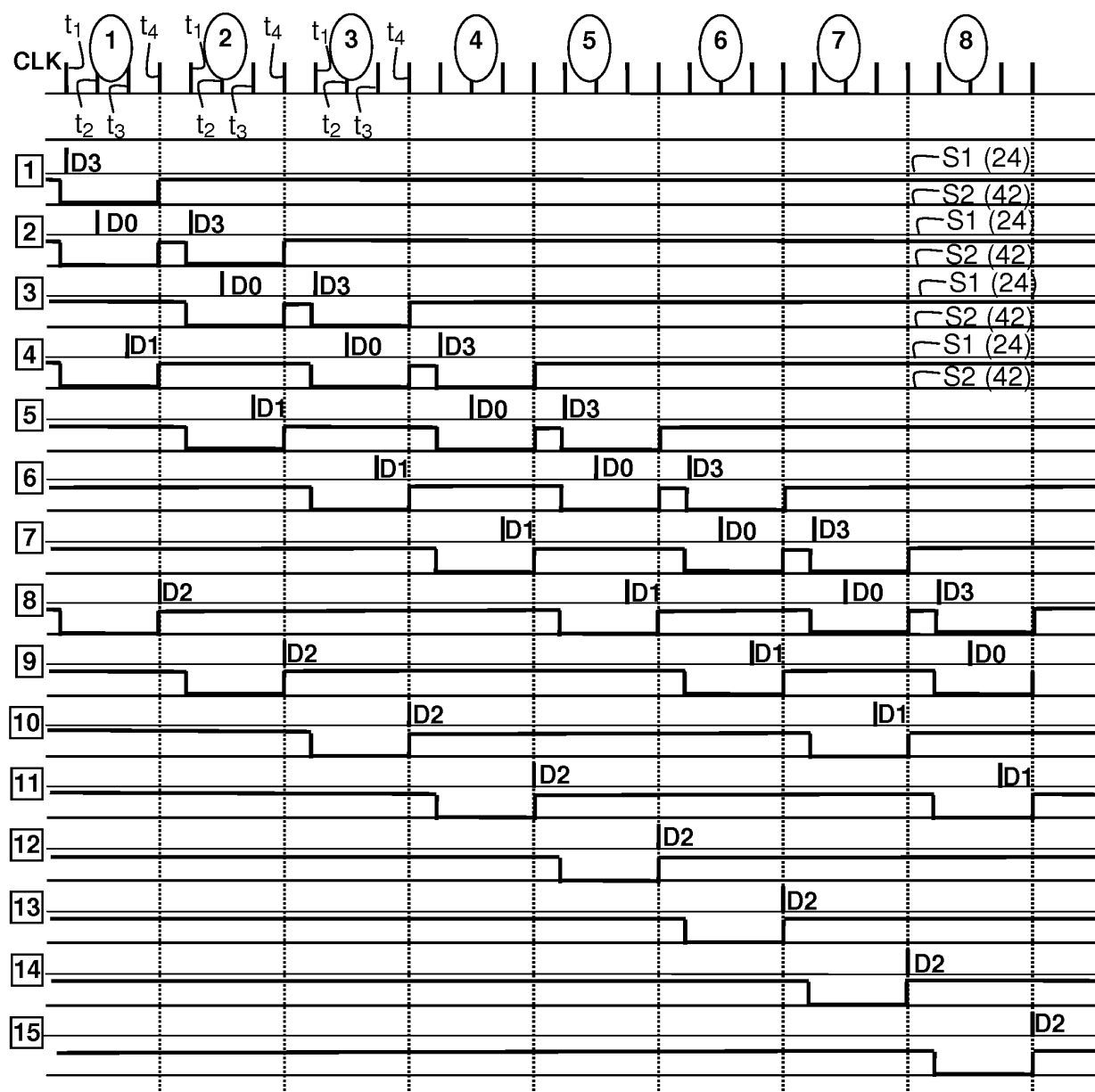


FIG.12

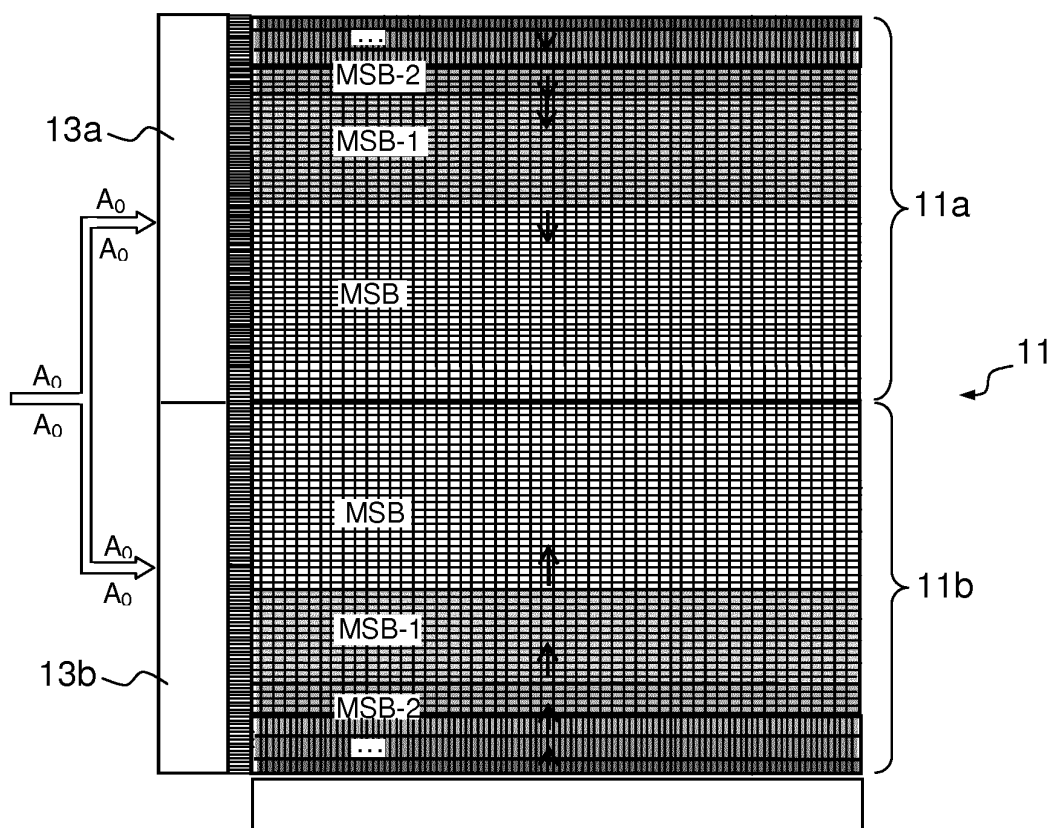


FIG.13

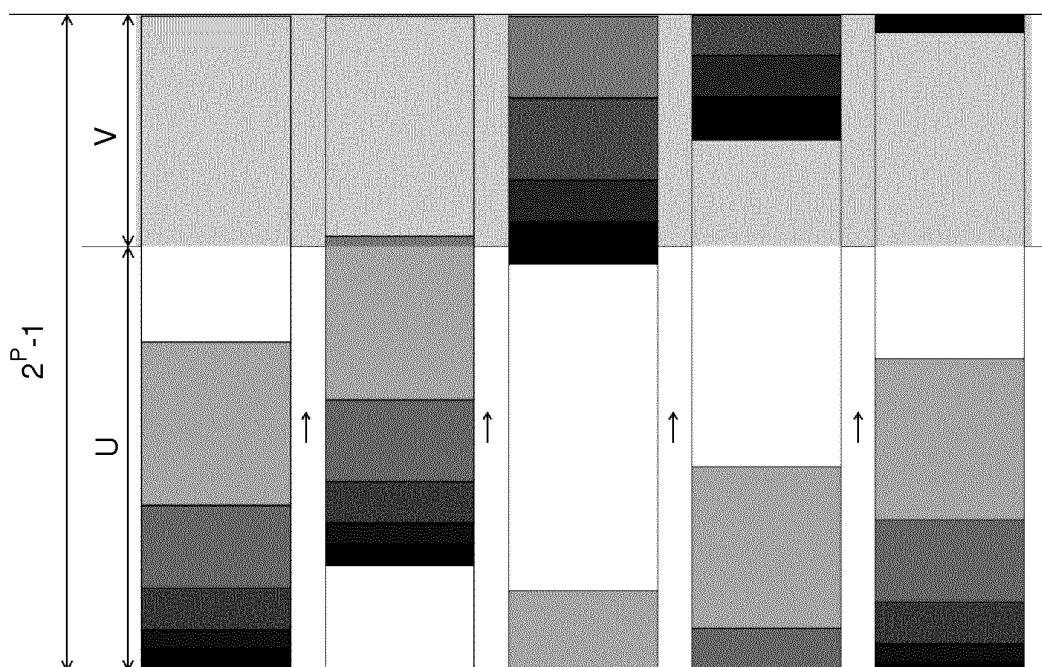


FIG.14

RÉFÉRENCES CITÉES DANS LA DESCRIPTION

Cette liste de références citées par le demandeur vise uniquement à aider le lecteur et ne fait pas partie du document de brevet européen. Même si le plus grand soin a été accordé à sa conception, des erreurs ou des omissions ne peuvent être exclues et l'OEB décline toute responsabilité à cet égard.

Documents brevets cités dans la description

- US 2003011314 A [0023]