



(11) **EP 3 674 953 A1**

(12) **DEMANDE DE BREVET EUROPEEN**

(43) Date de publication:
01.07.2020 Bulletin 2020/27

(51) Int Cl.:
G06F 21/71 (2013.01) G06F 21/77 (2013.01)

(21) Numéro de dépôt: **19217820.0**

(22) Date de dépôt: **19.12.2019**

(84) Etats contractants désignés:
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR
Etats d'extension désignés:
BA ME
Etats de validation désignés:
KH MA MD TN

• **STMicroelectronics (ALPS) SAS**
38000 Grenoble (FR)

(72) Inventeurs:
• **MOISUC, Diana**
38120 Saint Egreve (FR)
• **LAURENCIN, Christophe**
13124 Peypin (FR)

(30) Priorité: **28.12.2018 FR 1874293**

(74) Mandataire: **Cabinet Beaumont**
4, Place Robert Schuman
B.P. 1529
38025 Grenoble Cedex 1 (FR)

(71) Demandeurs:
• **STMicroelectronics (Rousset) SAS**
13790 Rousset (FR)

(54) **PROTECTION D'UN MICROCONTRÔLEUR**

(57) La présente description concerne un procédé de protection d'un circuit électronique et un microcontrôleur dans lequel on détecte un dysfonctionnement, exécute plusieurs vagues de contremesures sans interrom-

pre le fonctionnement du circuit, l'intervalle entre deux vagues de contremesures étant variable, et provoque une réinitialisation du circuit.

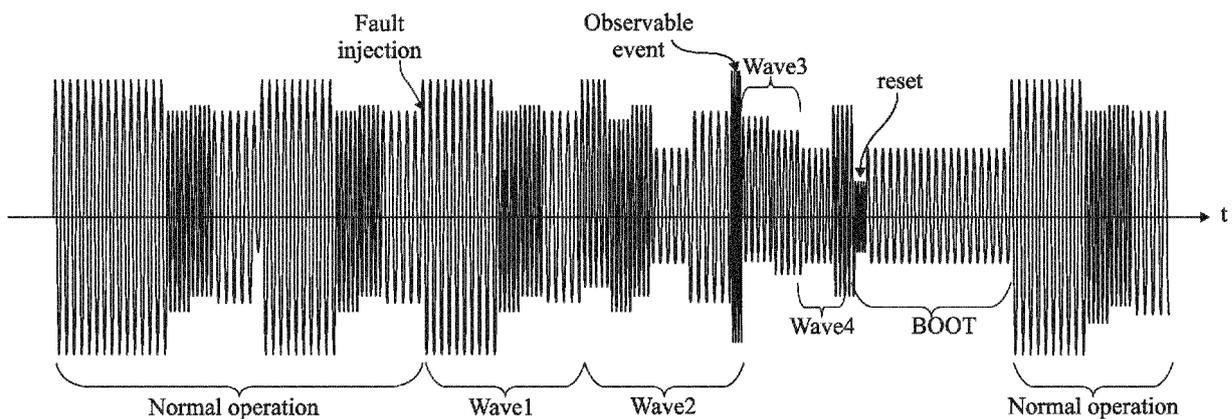


Fig 4

EP 3 674 953 A1

Description

Domaine technique

[0001] La présente description concerne de façon générale les circuits et systèmes électroniques et, plus particulièrement, une contremesure contre des attaques par injections de fautes.

Technique antérieure

[0002] Certains circuits électroniques manipulent des données ou exécutent des algorithmes ou programmes dont on souhaite réserver l'accès à des utilisateurs ou circuits autorisés. On fait alors généralement référence à des données secrètes ou algorithmes de chiffrement utilisant des clés dites secrètes.

[0003] Pour percer les secrets de tels circuits et, par exemple, découvrir les quantités ou données secrètes manipulées, une catégorie d'attaques consiste à injecter des fautes permanentes ou temporaires dans le circuit afin de pouvoir analyser sa réaction. Il s'agit, par exemple, d'analyses par canaux cachés analysant la consommation du circuit (analyse de la consommation de type SPA - Simple Power Analysis ou DPA - Differential Power Analysis), son rayonnement électromagnétique, etc. Il peut s'agir également d'analyses de la réponse du circuit (de ses entrées-sorties), etc.

[0004] L'injection de fautes s'effectue de plus en plus souvent sans utiliser les entrées-sorties du circuit mais par modification d'états internes, par exemple à l'aide d'un laser (attaques FIB - Focused Ion Beam), par perturbation électrique ou électromagnétique, ou de façon plus intrusive en forçant certains états internes en coupant ou détournant des chemins électriques de façon physique. Certaines de ces attaques font appel à des traitements préalables d'élimination de couches (attaques face arrière) ou de réalisation de fenêtres pour accéder aux couches actives.

[0005] Dans des circuits électroniques, par exemple des microcontrôleurs, dits sécurisés, le circuit est équipé de mécanismes pour contrer d'éventuelles attaques ou, à tout le moins en limiter les effets. En particulier, l'objectif des contremesures est d'empêcher que le pirate ne parvienne à extraire les données ou quantités secrètes du circuit protégé.

[0006] Une catégorie de contremesures à laquelle s'applique plus particulièrement les modes de réalisation décrits concerne les contremesures qui réinitialisent (reset) le circuit lorsqu'une tentative d'attaque est détectée. Une telle réinitialisation évite que l'attaquant ne puisse extraire des informations sensibles. Toutefois, une difficulté est qu'en rejouant l'attaque plusieurs fois de façon localisée, l'attaquant est susceptible d'identifier la zone du microcontrôleur où se trouvent les circuits provoquant la réinitialisation et/ou les conducteurs véhiculant les signaux de réinitialisation. Une fois cette identification effectuée, l'attaquant peut être en mesure de déjouer la

réinitialisation et le microcontrôleur n'est alors plus sécurisé.

Résumé de l'invention

[0007] Il existe un besoin d'amélioration des contremesures contre des attaques par injection de fautes.

[0008] Un mode de réalisation prévoit un procédé et un circuit de protection contre des attaques par injection de fautes palliant tout ou partie des inconvénients des solutions connues.

[0009] Un mode de réalisation prévoit un procédé de protection d'un circuit électronique, comprenant les étapes de :

détecter un dysfonctionnement ;
exécuter plusieurs vagues de contremesures sans interrompre le fonctionnement du circuit, l'intervalle entre deux vagues de contremesures étant variable ;
et
provoquer une réinitialisation du circuit.

[0010] Un mode de réalisation prévoit un microcontrôleur comportant :

au moins un détecteur d'un dysfonctionnement ;
un circuit de traitement de signaux fournis par le ou les détecteurs, destiné à exécuter plusieurs vagues de contremesures sans interrompre le fonctionnement du circuit, l'intervalle entre deux vagues de contremesures étant variable ; et
un circuit destiné à provoquer une réinitialisation du microcontrôleur.

[0011] Selon un mode de réalisation, un premier groupe de vagues ne comporte pas d'interruption non masquable.

[0012] Selon un mode de réalisation, le premier groupe comporte :

un blocage d'écriture dans une mémoire ;
un blocage de tout ou partie des sorties du circuit ;
une régénération de clés cryptographiques.

[0013] Selon un mode de réalisation, un deuxième groupe de vagues de contremesures comporte une ou plusieurs interruptions non masquables.

[0014] Selon un mode de réalisation, l'intervalle variable est aléatoire.

[0015] Selon un mode de réalisation, le nombre de vagues de contremesure varie d'une exécution à une autre.

[0016] Selon un mode de réalisation, le nombre de contremesures par vague varie d'une exécution à une autre.

[0017] Selon un mode de réalisation, les vagues de contremesures mettent en œuvres, à chaque détection d'un dysfonctionnement, les étapes successives suivantes :

blocage de toute programmation de la mémoire non volatile ;
 blocage des sorties du microcontrôleur ;
 attente d'une durée, de préférence aléatoire ;
 génération d'une interruption non masquable du programme exécuté par le microcontrôleur ;
 attente d'une durée, de préférence aléatoire ; et
 en parallèle, requête de réinitialisation et requête de désactivation de l'horloge principale du microcontrôleur.

Brève description des dessins

[0018] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 représente un exemple de circuit électronique du type auquel s'applique les modes de réalisation décrits ;

la figure 2 illustre, de façon très schématique et sous forme de chronogramme, un exemple de signature électromagnétique usuelle d'un microcontrôleur sécurisé lors de la détection d'une attaque potentielle ;

la figure 3 représente, sous forme de blocs, un mode de mise en œuvre d'un procédé de protection ; et

la figure 4 illustre, de façon très schématique et sous forme de chronogramme, par un exemple de signature en rayonnement électromagnétique d'un circuit du type de celui de la figure 1, un mode de mise en œuvre du procédé de protection décrit.

Description des modes de réalisation

[0019] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0020] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les applications ainsi que les fonctions mises en œuvre par le circuit électronique protégé n'ont pas été détaillées, les mécanismes de protection décrits étant compatibles avec les applications et fonctions des circuits usuels. De plus les détecteurs d'intrusions ou d'attaques n'ont pas été détaillés, les modes de réalisation décrits intervenant sur les contremesures et étant compatible avec tout détecteur usuel.

[0021] Sauf précision contraire, lorsque l'on fait réf-

rence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés ou couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés ou couplés par l'intermédiaire d'un ou plusieurs autres éléments.

[0022] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.

[0023] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

[0024] La figure 1 représente un exemple de circuit électronique du type auquel s'applique les modes de réalisation décrits.

[0025] Le circuit de la figure 1 est par exemple un microcontrôleur sécurisé 1.

[0026] Un tel microcontrôleur est basé sur un microprocesseur ou unité centrale 11 (CPU), susceptible de communiquer, par l'intermédiaire d'un ou plusieurs bus 13, avec différents autres circuits avec lesquels il est intégré. Pour simplifier, un bus 13 a été représenté en figure 1, mais il s'agit le plus souvent de plusieurs bus, respectivement d'adresses, de données et de commandes. En outre, certains composants du microcontrôleur peuvent également communiquer directement entre eux.

[0027] Typiquement, le microcontrôleur 1 intègre des circuits mémoires, par exemple une ou plusieurs mémoires non volatiles réinscriptibles 151 (NVM), une ou plusieurs mémoires à lecture seulement 153 (ROM), une ou plusieurs mémoires volatiles 155 (RAM). Le microcontrôleur peut également intégrer diverses fonctions matérielles ou circuits, symbolisés par un bloc 17 (FCT), par exemple une fonction cryptographique, des fonctions de calcul spécifiques, des interfaces d'entrée-sortie filaires et/ou sans fil, etc.

[0028] Selon l'application, le microcontrôleur 1 communique également, par le ou les bus 13, avec un ou plusieurs périphériques internes ou externes, symbolisés par un bloc 19 (PERIPH), par exemple, des détecteurs de caractéristiques environnementales (pression, température, etc.) ou autres.

[0029] Dans une application à un microcontrôleur sécurisé, celui-ci doit s'assurer qu'il soit toujours dans un état sécurisé, dans lequel des secrets contenus dans le système ne sont pas divulgués. Pour ce faire, le circuit ou microcontrôleur 1 comporte divers détecteurs (DET) matériels et/ou logiciels de tentatives d'attaques de son contenu ou de détection d'un dysfonctionnement accidentel ou volontaire. De tels détecteurs peuvent prendre divers aspects. Il s'agit, par exemple, de détecteurs matériels capables de détecter une perturbation électrique

ou électromagnétique après que le circuit ait subi une modification structurelle, telle que l'élimination de couches présentes en face arrière. Il peut également s'agir de détecteurs matériels d'attaques laser. Il peut encore s'agir de détecteurs logiciels capables de détecter un dysfonctionnement opérationnel de certaines fonctions du circuit. Les détecteurs peuvent ou non être associés à des fonctions spécifiques du microcontrôleur. En figure 1, on a illustré le cas où des détecteurs 211, 213 et 215 sont intercalés entre les mémoires 151, 153, 155 et le bus 13 et sont alors dédiés à la mémoire correspondante, et le cas d'un détecteur 217 indépendant d'une fonction particulière. Par ailleurs, les fonctions 17 et/ou les périphériques 19 du circuit 1 peuvent également être associés à des détecteurs (non représentés).

[0030] Tous les détecteurs de perturbations ayant pour objet de détecter une potentialité de faute sont électriquement reliés (de manière filaire) à un bloc 3 (HWCM) matériel et/ou logiciel de réaction ou de mise en place d'une contremesure à l'attaque suspectée. Le rôle du bloc 3 est, comme on le verra par la suite, d'agir sur plusieurs fonctions du circuit 1 ainsi que de déclencher une réinitialisation du circuit 1. En figure 1, on a symbolisé un circuit de réinitialisation 4 (RESET) distinct des autres circuits et fonctions. La fonction de réinitialisation peut, en variante, se trouver au niveau de l'unité centrale 11.

[0031] Le rôle de la réinitialisation est, en présence d'une alarme indicatrice d'un dysfonctionnement, qu'il soit accidentel ou volontaire (attaque), de s'assurer que le circuit 1 reste dans un état sécurisé. La réinitialisation répond à cet objectif dans la mesure où toutes les fonctions redémarrent dans leur état sécurisé d'origine. Cette réinitialisation évite que des zones sensibles du circuit ne deviennent accessibles par suite d'une attaque.

[0032] Toutefois, la réaction du système qui se traduit par une réinitialisation constitue une indication observable par l'attaquant, lui indiquant que son attaque a modifié le comportement du circuit.

[0033] En particulier, toute réaction du circuit, par exemple signature de consommation, de rayonnement, etc. qui est différente de ce qui se produit en fonctionnement normal renseigne l'attaquant. Si un attaquant identifie une réaction du circuit, cela le renseigne sur le fait que son attaque a provoqué un comportement atypique du circuit. Il peut alors effectuer une autre attaque consistant à inhiber la réaction du système. Par exemple, en identifiant la zone du circuit provoquant la réinitialisation, il peut intervenir pour en empêcher le fonctionnement. Il lui suffit ensuite de rejouer sa première attaque, le circuit n'étant plus dans un état sûr (« safe » ou « secure »). La réinitialisation d'un microcontrôleur est en outre particulièrement identifiable sur une signature en consommation ou électromagnétique.

[0034] Plus généralement, le circuit sécurisé auquel s'appliquent les modes de réalisation décrits peut être n'importe quel circuit ou système intégrant au moins un circuit de détection d'une tentative d'attaque et un circuit de réaction (contre mesure). Les modes de réalisation

décrits ne modifient en effet pas les méthodes ou façons usuelles de détecter une éventuelle attaque ou perturbation. Ils concernent une contremesure une fois une attaque détectée et s'appliquent quels que soient les mécanismes de détections utilisés (photoniques, électriques, magnétique, etc. ; localisés ou répartis dans le circuit, matériels ou logiciels, etc.).

[0035] La figure 2 illustre, de façon très schématique et sous forme de chronogramme, un exemple de signature électromagnétique usuelle d'un microcontrôleur sécurisé lors de la détection d'une attaque potentielle.

[0036] On suppose un fonctionnement initial normal du microcontrôleur (Normal opération).

[0037] Lors d'une injection de faute (Fault injection), ou plus généralement d'une action ou d'un fonctionnement détecté comme anormal par l'un des détecteur DET (figure 1), le circuit 3 provoque habituellement immédiatement une réinitialisation (reset) du microcontrôleur. Ce dernier est alors redémarré (BOOT), puis le microcontrôleur reprend son fonctionnement normal (Normal operation). Le redémarrage BOOT du microcontrôleur est aisément identifiable d'autant plus qu'il est généralement de durée fixe.

[0038] Selon les modes de réalisation décrits, en cas d'attaque ou de dysfonctionnement détecté par un des détecteurs DET, le bloc 3 ne provoque pas immédiatement une réinitialisation du microcontrôleur 1. Au lieu de cela, le bloc ou circuit 3 déclenche des contremesures par vagues qui s'apparentent à un fonctionnement habituel du microcontrôleur 1. En particulier, le fonctionnement du programme en cours d'exécution par le microcontrôleur est de préférence poursuivi. Pour parfaire la protection, une réinitialisation est effectuée, mais celle-ci intervient avec retard par rapport à la détection de l'attaque et le retard est variable d'une exécution à une autre. De préférence, les contremesures qui précèdent la réinitialisation sont choisies pour néanmoins sécuriser le microcontrôleur. Toujours préférentiellement, les premières contremesures qui suivent la détection d'une attaque sont choisies pour ne pas constituer de réaction observable, mais s'apparenter à un fonctionnement normal. En empêchant une réaction immédiate par une interruption non masquable telle qu'une réinitialisation, on empêche l'attaquant de trouver la zone pertinente pour effectuer sa deuxième attaque (bloquant une réinitialisation).

[0039] Les vagues de contremesures mises en œuvre entre la détection de l'attaque et la réinitialisation peuvent être réparties en deux catégories.

[0040] Une première catégorie concerne des contremesures non observables par l'attaquant, mais qui sécurisent néanmoins le microcontrôleur. Il s'agit, par exemple, d'un blocage de toute programmation dans la mémoire non volatile 151 ou d'un blocage des entrées-sorties du microcontrôleur. Selon un autre exemple, il s'agit de régénérer des clés servant à un processus cryptographique.

[0041] Une deuxième catégorie concerne des contre-

mesures qui sont observables. Il s'agit, par exemple, d'interruptions non masquables (NMI - Non Maskable Interrupt) qui, contrairement aux requêtes d'interruption standard (IRQ - Interrupt Request) qui peuvent accompagner les contremesures de la première catégorie, vont être identifiées par l'attaquant. Les interruptions non masquables peuvent être suivies d'une action logicielle, par exemple, le lancement d'un programme spécifique (par exemple effaçant les clés, vidant la mémoire volatile, etc.).

[0042] Selon un mode de réalisation préféré, en cas de détection d'attaque, le circuit 3 met en œuvre une ou plusieurs vagues de contremesures de la première catégorie, suivies d'une ou plusieurs vagues de contremesures de la deuxième catégorie. Chaque vague de contremesures comporte une ou plusieurs réactions du circuit.

[0043] La figure 3 représente, sous forme de blocs, un mode de mise en œuvre d'un procédé de protection.

[0044] Ce procédé est mis en œuvre, par exemple, par le bloc ou fonction 3 (figure 1). Ce bloc exécute de préférence une séquence d'instructions correspondant à la mise en œuvre des différentes vagues de contremesures, à la manière d'un programme. La séquence d'instructions peut être stockée à demeure pour une exécution matérielle (logique câblée) ou être un programme stocké, par exemple, en mémoire morte.

[0045] Lors de la détection d'une attaque (bloc 51, DETECT), le circuit 3 sélectionne (bloc 53, SELECT WAVE(S)) et exécute (bloc 55, EXEC WAVE(S)) une ou plusieurs vagues de contremesures plaçant le système dans un état sûr. Il s'agit, par exemple, comme indiqué précédemment, de verrouiller certaines zones de la mémoire non volatile, de bloquer certaines entrées-sorties du microcontrôleur, de changer des clés de processus cryptographiques, etc. Ces contremesures, dites arbitrairement de première catégorie, ne génère de préférence pas d'évènement observables par l'attaquant. En particulier, le fonctionnement applicatif en cours d'exécution par le microcontrôleur se poursuit et n'est pas interrompu.

[0046] Selon un mode de réalisation, une réinitialisation (bloc 57, RESET) du circuit, suivi d'un redémarrage (bloc 59, BOOT) est provoqué à l'issue de ces vagues de contremesures.

[0047] Selon un mode de réalisation préférée, le circuit 3 déclenche d'autres vagues de contremesures (boucle en pointillés en figure 3) qui peuvent comporter des interruptions non masquable. Ces contremesures se traduisent par des évènements observables par l'attaquant. Par exemple, ces contremesures restreignent graduellement les fonctionnalités du microcontrôleur. Ces contremesures, dites arbitrairement de deuxième catégorie, peuvent être entrecoupées ou mélangées à des contremesures de première catégorie, et être matérielles ou logicielles.

[0048] La figure 4 illustre, de façon très schématique et sous forme de chronogramme, par un exemple de si-

gnature en rayonnement d'un microcontrôleur du type de celui de la figure 1, un mode de mise en œuvre du procédé de protection décrit.

[0049] Le chronogramme de la figure 4 peut être comparé à celui de la figure 2 pour comprendre l'effet du mode de contremesure décrit.

[0050] Comme précédemment, on suppose un fonctionnement initial normal (Normal operation) du microcontrôleur.

[0051] Toutefois, à la détection d'une injection de faute (Fault injection), le circuit 3 ne provoque pas immédiatement de réinitialisation. Au lieu de cela, il commande un certain nombre de processus provoquant des réponses en termes de rayonnement électromagnétiques (Wave1, Wave2) qui s'apparente à une poursuite du fonctionnement normal du microcontrôleur. Ainsi, l'attaquant considère que la zone qu'il a attaquée n'était pas une zone sensible dans la mesure où il a l'impression que son attaque n'a pas entraîné de réaction. Dans l'exemple de la figure 3, on suppose deux vagues Wave1 et Wave2 de contremesures, de préférence de première catégorie. Toutefois, le nombre de contremesures et leur durée varie de préférence d'une exécution à l'autre (par exemple par une sélection aléatoire dans un ensemble de contremesures).

[0052] Selon le mode de réalisation illustré par la figure 4, le circuit 3 déclenche ensuite une interruption non masquable. Cette interruption n'est cependant pas une réinitialisation. Elle se traduit néanmoins par un évènement observable (Observable event) sur la signature électromagnétique du circuit. Selon ce mode de réalisation, cet évènement est suivi d'autres vagues de contremesures de première ou deuxième catégorie (Wave3, Wave4). Une réinitialisation (reset) du circuit intervient par exemple après ce deuxième ensemble de vagues. De façon usuelle, la réinitialisation est suivie d'un redémarrage (BOOT), puis d'une période de fonctionnement normal (Normal operation).

[0053] Un avantage du procédé illustré par les figures 3 et 4 est qu'il trompe l'attaquant sur les effets de son attaque. En effet, en faisant varier les opérations exécutées entre la détection de l'attaque et la réinitialisation, ainsi que leur durée, la réaction du microcontrôleur (son reset) est détecté à un moment où il est plus difficile de faire le lien avec l'évènement ayant provoqué la contremesure. En particulier, dans le cas où la première attaque constitue un balayage de différentes zones du circuit pour le faire réagir à l'attaque, il devient difficile de localiser la zone ayant provoqué la réaction, donc la zone contenant des informations secrètes.

[0054] De préférence, l'ordre dans lequel sont exécutées les contremesures est choisi pour retarder la détection de la réaction du circuit par l'attaquant.

[0055] De préférence, la durée des vagues de contremesure est variable d'une exécution à une autre et est, par exemple, aléatoire dans une plage de durées déterminées.

[0056] A titre d'exemple de réalisation, on prévoit une

durée totale comprise entre 100 ns et 1 ms entre la détection de l'attaque et la réinitialisation. Cette durée est choisie suffisamment courte pour ne pas rendre le circuit vulnérable pendant l'exécution du procédé de protection.

[0057] Selon un exemple particulier de réalisation, le procédé met successivement en œuvre les vagues de contremesure suivantes :

blocage de toute programmation de la mémoire non volatile ;
 blocage des sorties du microcontrôleur ;
 attente d'une durée, de préférence aléatoire ;
 génération d'une interruption non masquable du programme exécuté par le microcontrôleur ;
 attente d'une durée, de préférence aléatoire ; et
 en parallèle, requête de réinitialisation et requête de désactivation de l'horloge principale du microcontrôleur.

[0058] Un avantage des modes de réalisation décrits est que la réaction du circuit protégé est plus difficile à détecter par un attaquant.

[0059] Un autre avantage est que le placement du circuit dans un état de protection (par suite de la détection d'une attaque) n'est pas observable sur la signature électromagnétique ou de consommation du circuit.

[0060] Un autre avantage est que, grâce aux durées aléatoires entre les contremesures, les événements observables interviennent à des instants aléatoires.

[0061] Un autre avantage est qu'une attaque ayant réussie ne peut pas être répétée sur un circuit différent de même type ou sur le même circuit, car la réaction du circuit sera différente d'un point de vue matériel et logiciel.

[0062] Un autre avantage est qu'en maintenant le fonctionnement du programme exécuté par le circuit pendant la réaction, de nombreux points où l'attaque aurait pu se révéler efficace sont considérés comme non-pertinent par l'attaquant.

[0063] Divers modes de réalisation et variantes ont été décrits. L'homme de l'art comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à l'homme de l'art.

[0064] Enfin, la mise en œuvre pratique des modes de réalisation et variantes décrits est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus, en particulier, pour ce qui est du choix des réactions (contremesures) exécutées par le microcontrôleur par suite de la détection d'une attaque.

Revendications

1. Procédé de protection d'un circuit électronique, comprenant les étapes de :

détecter un dysfonctionnement ;

exécuter plusieurs vagues de contremesures sans interrompre le fonctionnement du circuit, l'intervalle entre deux vagues de contremesures étant variable ; et

provoquer une réinitialisation du circuit.

2. Microcontrôleur comportant :

au moins un détecteur (211, 213, 215, 217) d'un dysfonctionnement ;

un circuit (3) de traitement de signaux fournis par le ou les détecteurs, destiné à exécuter plusieurs vagues de contremesures sans interrompre le fonctionnement du circuit, l'intervalle entre deux vagues de contremesures étant variable ; et

un circuit (4) destiné à provoquer une réinitialisation du microcontrôleur.

3. Procédé selon la revendication 1, ou microcontrôleur selon la revendication 2, dans lequel un premier groupe de vagues ne comporte pas d'interruption non masquable.

4. Procédé ou microcontrôleur selon la revendication 3, dans lequel le premier groupe comporte :

un blocage d'écriture dans une mémoire ;
 un blocage de tout ou partie des sorties du circuit ;
 une régénération de clés cryptographiques.

5. Procédé ou microcontrôleur selon la revendication 3 ou 4, dans lequel un deuxième groupe de vagues de contremesures comporte une ou plusieurs interruptions non masquables.

6. Procédé selon l'une quelconque des revendications 1, 3 à 5, ou microcontrôleur selon l'une quelconque des revendications 2 à 5, dans lequel l'intervalle variable est aléatoire.

7. Procédé selon l'une quelconque des revendications 1, 3 à 6, ou microcontrôleur selon l'une quelconque des revendications 2 à 6, dans lequel le nombre de vagues de contremesure varie d'une exécution à une autre.

8. Procédé selon l'une quelconque des revendications 1, 3 à 7, ou microcontrôleur selon l'une quelconque des revendications 2 à 7, dans lequel le nombre de contremesures par vague varie d'une exécution à une autre.

9. Procédé selon l'une quelconque des revendications 1, 3 à 8, ou microcontrôleur selon l'une quelconque des revendications 2 à 8, dans lequel les vagues de contremesures mettent en œuvre, à chaque détec-

tion d'un dysfonctionnement, les étapes successives suivantes :

blocage de toute programmation de la mémoire non volatile ; 5
blocage des sorties du microcontrôleur ;
attente d'une durée, de préférence aléatoire ;
génération d'une interruption non masquable du programme exécuté par le microcontrôleur ;
attente d'une durée, de préférence aléatoire ; et 10
en parallèle, requête de réinitialisation et requête de désactivation de l'horloge principale du microcontrôleur.

15

20

25

30

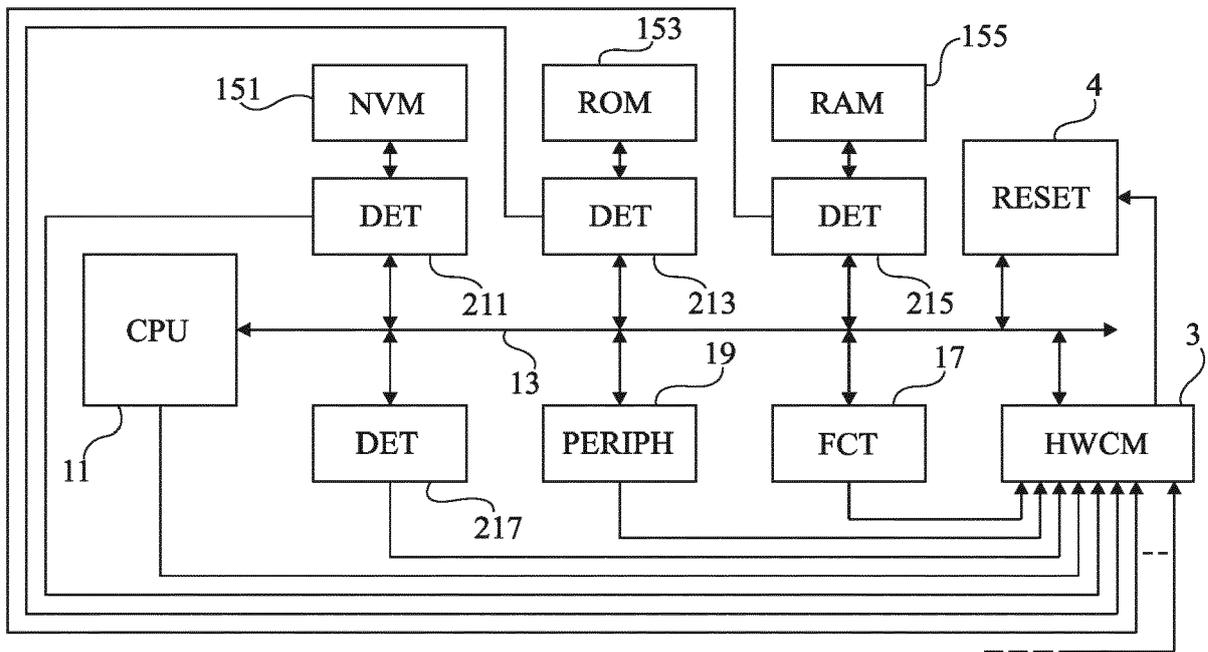
35

40

45

50

55



1

Fig 1

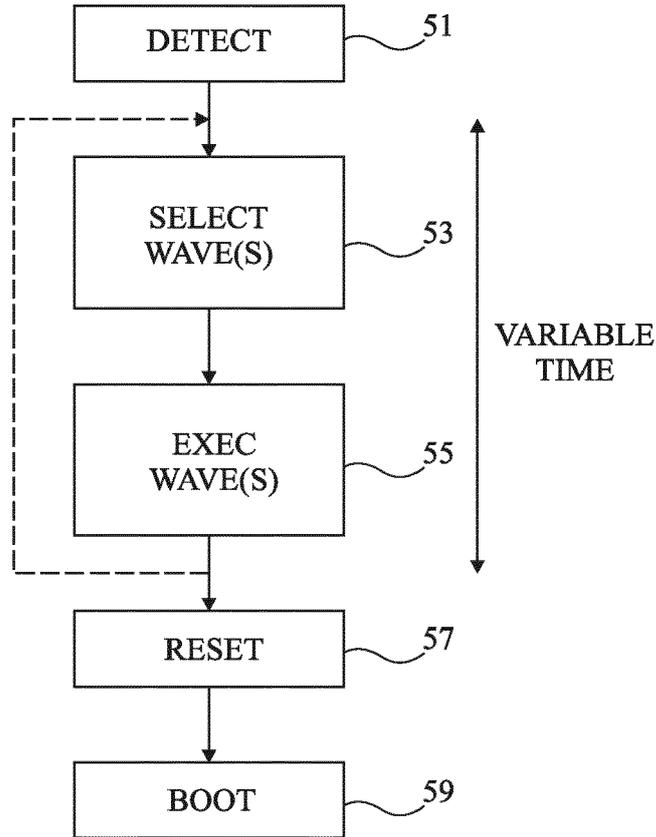


Fig 3

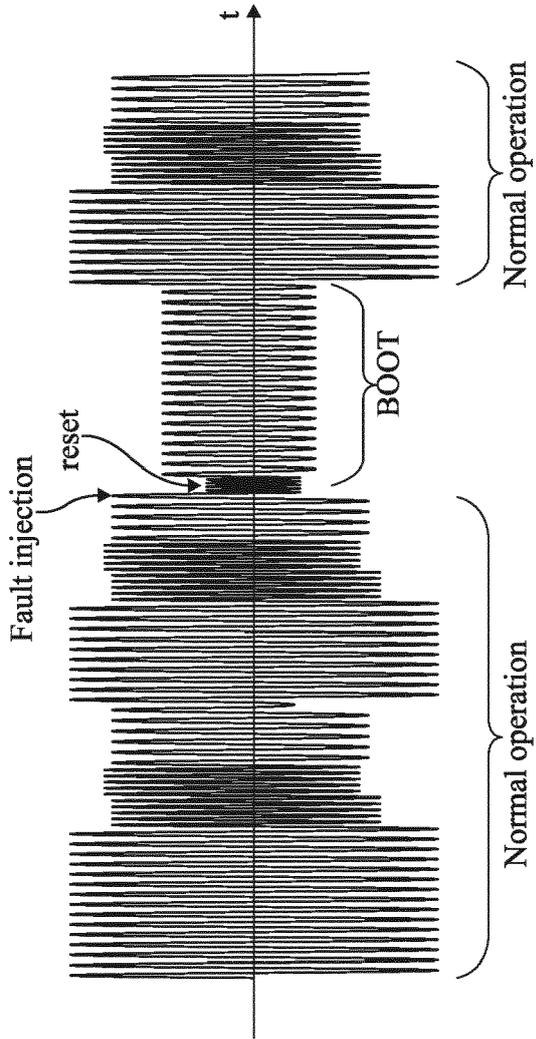


Fig 2

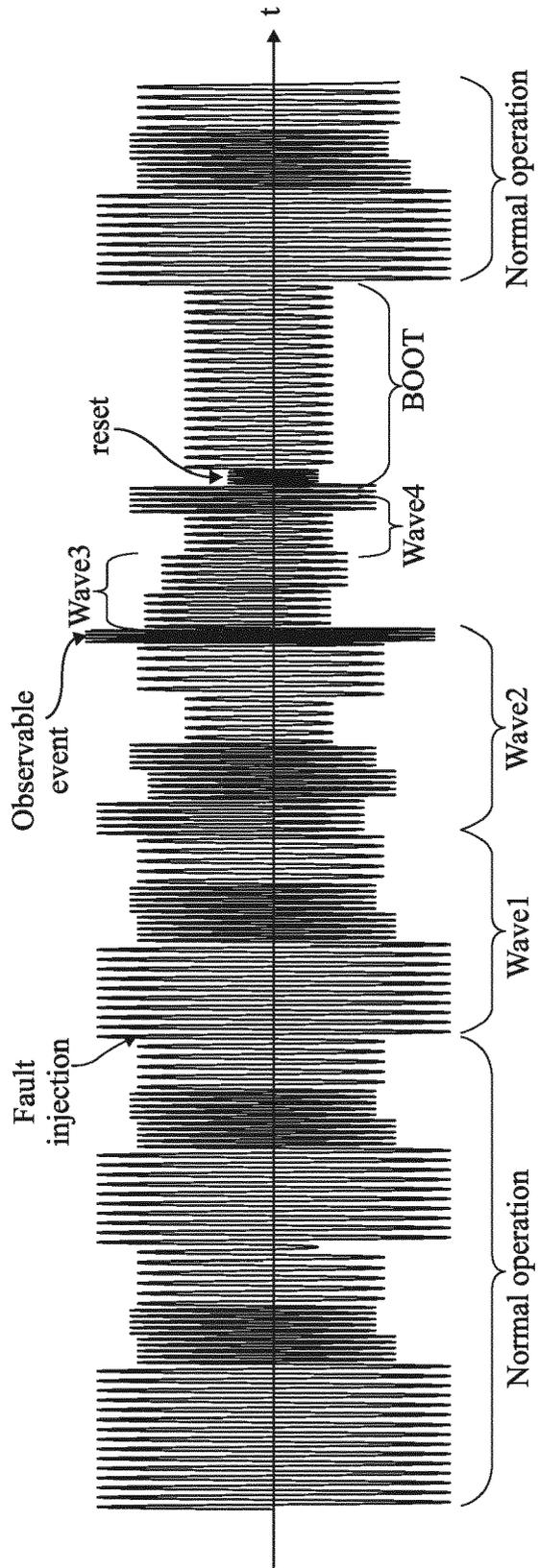


Fig 4



RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 19 21 7820

5

10

15

20

25

30

35

40

45

50

55

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (IPC)
X	Christoph Hillebold: "Compiler-Assisted Integrity against Fault Injection Attacks", 1 décembre 2014 (2014-12-01), XP055545234, Extrait de l'Internet: URL:http://diglib.tugraz.at/download.php?id=576a756128aff&location=browse [extrait le 2019-01-21]	1,2,6-8	INV. G06F21/71 G06F21/77
A	* page 6, alinéa 3 * * page 2, alinéa 1 * * page 34, alinéa 1 - alinéa 5 * -----	3-5,9	
A	US 2018/349600 A1 (ELENES JAVIER [US] ET AL) 6 décembre 2018 (2018-12-06) * alinéa [0025] - alinéa [0031]; figure 6 * * revendications 1-4 * -----	1-9	
A	US 2012/124680 A1 (DANGER JEAN-LUC [FR] ET AL) 17 mai 2012 (2012-05-17) * alinéa [0018] - alinéa [0020] * -----	1-9	DOMAINES TECHNIQUES RECHERCHES (IPC) G06F
1 Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche La Haye		Date d'achèvement de la recherche 12 février 2020	Examineur Vinck, Bart
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503 03.02 (P04C02)

ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.

EP 19 21 7820

5 La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

12-02-2020

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2018349600 A1	06-12-2018	CN 108986857 A US 2018349600 A1	11-12-2018 06-12-2018
US 2012124680 A1	17-05-2012	AT 545095 T CA 2733667 A1 CN 102124470 A EP 2324442 A1 ES 2386061 T3 FR 2935059 A1 JP 5891562 B2 JP 2012505563 A KR 20110083591 A US 2012124680 A1 WO 2010018071 A1	15-02-2012 18-02-2010 13-07-2011 25-05-2011 08-08-2012 19-02-2010 23-03-2016 01-03-2012 20-07-2011 17-05-2012 18-02-2010

EPO FORM P0480

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82